



Caractérisation et modélisation de la fiabilité relative au piégeage dans des transistors décananométriques et des mémoires SRAM en technologie FDSOI

Alexandre Subirats

► To cite this version:

Alexandre Subirats. Caractérisation et modélisation de la fiabilité relative au piégeage dans des transistors décananométriques et des mémoires SRAM en technologie FDSOI. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2015. Français. NNT : 2015GREAT003 . tel-01159286

HAL Id: tel-01159286

<https://theses.hal.science/tel-01159286>

Submitted on 3 Jun 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nano Electronique et Nano Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

Alexandre Subirats

Thèse dirigée par **Gérard GHIBAUDO** et
co-encadrée par **Xavier GARROS**

préparée au sein du **CEA-LETI** et de **l'IMEP-LAHC**
dans **l'École Doctorale Electronique, Electrotechnique,**
Automatique et Traitement du Signal

Caractérisation et modélisation de la fiabilité relative au piégeage de charges dans des transistors décananométriques et mémoires SRAM en technologie FDSOI

Thèse soutenue publiquement le **30 janvier 2015**,
devant le jury composé de :

Monsieur Brice GAUTHIER

Professeur à l'INSA de Lyon (Président de jury)

Monsieur Guido GROESENEKEN

Professeur à KUL/IMEC (Rapporteur)

Madame Nathalie LABAT

Professeur à l'IMS-Bordeaux (Rapporteur)

Monsieur Xavier GARROS

Ingénieur de recherche au CEA-LETI (Co-encadrant)

Monsieur Gérard GHIBAUDO

Directeur de recherche à l'IMEP-LAHC (Directeur de thèse)

Monsieur Vincent HUARD

Ingénieur à STMicroelectronics (Examineur)



En mémoire de Cathy...

Remerciements

Ce travail de thèse a été réalisé dans le cadre d'une collaboration entre plusieurs laboratoires : le LCTE du CEA-LETI et l'IMEP-LAHC. J'ai également apprécié travailler avec les membres du groupe de l'équipe de caractérisation électrique et de fiabilité de STMicroelectronics. Dans ces quelques pages, je tiens à remercier toutes les personnes qui ont pu rendre ce travail de thèse possible.

Dans un premier temps, je tiens à remercier les membres du jury pour avoir accepté ce rôle. Je remercie M. Guido Groeseneken et Mme Nathalie Labat d'avoir été les rapporteurs de ma thèse et d'avoir examiné mon manuscrit. Merci également à M. Brice Gauthier pour avoir présidé le jury. Enfin, un merci particulier à M. Vincent Huard, examinateur du jury et avec qui j'ai particulièrement apprécié travailler au cours de ces trois années de thèse.

Maintenant, je tiens à remercier Xavier Garros. Je ne sais pas très bien par où commencer, il y a tellement de choses que j'aimerais dire. Tout d'abord, merci de m'avoir pris comme thésard, de mon côté, je peux dire que j'ai été très heureux de t'avoir comme tuteur. Tu as su me faire évoluer, me faire murir, et quand je vois aujourd'hui le chemin parcouru, un seul mot me vient : Merci. Je te remercie également pour tous ces moments passés ensemble en dehors du CEA : ces journées ski à Villard dans la poudreuse entre les sapins, ces matchs et soirées de foots, ces vacances inoubliables à Hawaii... Encore une fois, merci pour tout.

J'exprime toute ma reconnaissance à mon directeur de thèse Gérard Ghibaudo. Tu as toujours su être accessible et partager tes connaissances scientifiques afin de me guider tout au long de la thèse. C'était un véritable honneur de t'avoir comme directeur de thèse.

Un grand merci au laboratoire LCTE où j'ai passé l'essentiel de mon temps et dans lequel j'ai vraiment apprécié venir travailler tous les jours durant ces presque quatre années de thèse et de stage. Tout d'abord, merci à Gilles Reimbold de m'avoir accueilli au sein du laboratoire et de m'avoir accompagné au cours de ma thèse. Merci pour nos discussions, tes conseils et ton implication qui m'ont beaucoup touché. Merci également à Mickael « Mike » Cassé, grand maître de la mobilité, tant physique qu'électrique ! Merci à Charles Leroux pour sa gentillesse et ses conseils, merci à Jean Coignus, lui aussi grand amateur caché de P & T. Merci également à Jacques Cluzel, maître des SIAM et du HTBASIC, et à Luca Perniola, qui restera toujours pour moi un membre du LCTE et du bureau B261, pour m'avoir accueilli dans le meilleur bureau du labo ! Merci à Julien Duvernay, qui aura réussi à me faire courir l'Ekiden, et à Antoine Laurent, dont les blagues me manqueront (mais peut-être pas l'organisation !) de nous avoir rejoint dans le bureau. Merci à l'équipe des tests paramétriques, Fabienne Alain pour ta bonne humeur, Giovanni Romano, qui aura persévéré dans son espoir que j'apprenne un mot d'italien, Alain Toffoli, supporter invétéré des Verts et Rabah Kies, avec qui j'ai apprécié discuter et travailler. Merci également à Patrick Grosgeorge, qui est parti trop tôt à la retraite mais dont l'esprit (et la photo !) subsistent dans le labo. Merci à Denis Blachier pour son aide sur les SIAM et qui

était mon ami nocturne du labo les soirs de rédactions. Merci à Carlo Cagli et William Van den Daele, arrivés en fin de thèse et avec qui j'ai apprécié échanger. Je remercie également Stéphane Becu, Alain « Big Boss » Lopez et Matthieu Nongaillard, c'était toujours un plaisir de passer discuter avec vous dans votre bureau. Enfin, je remercie également tous les thésards et post doc/CDD du labo : Alexandre Vernet, Blend Mohammad, Carlos Segovia, Cheikh Diouf, Illias Nifa, Clément Nguyen, Philippe... Merci pour votre sympathie et votre disponibilité.

Évidemment, je remercie Estelle Brague ! Merci de m'avoir aidé tout au long de ma thèse pour toutes les procédures et démarches. Merci également pour ta bonne humeur, et tes solutions à tous les problèmes ! Je pense que tu as clairement gagné le titre de « Super Estelle » !

Merci également aux chercheurs et doctorants de STMicroelectronics avec qui j'ai pu travailler et apprécier les qualités. Merci donc à Xavier Federspiel, Florian Cacho, Pascal Mora et Mustapha Rafiq. Nos réunions et discussions sur la fiabilité m'ont beaucoup apporté. Je remercie également Marine Saliva, Wafa Arfaoui et Anas Bezza et je vous souhaite bon courage pour la fin de votre thèse.

Je tiens à remercier particulièrement mes amis et doctorants du CEA-LETI. Merci à Assawer Soussou, pour m'avoir montré les joies du LaTeX et pour toutes nos pauses café. Merci à Guillaume Besnard, que je laisse à sa rédaction et la préparation de conférence. Merci à Jonathan Lehmann pour nous avoir laissé squatter, Guillaume et moi, son bureau pour nos « réunions des thésards » et qui, bizarrement, ne s'en plaignait jamais. Merci à Johan Pelloux-Prayer, pour nous avoir supporté dans son bureau. Merci à Remy Berthelon, véritable footeux et fan de l'OM ? Ou du PSG ?

Je pense aussi à tous les thésards et post-doc du CEA qui m'ont précédé et que j'ai pu croiser tout au long de ma thèse : Laurent Brunet, le premier formé à la prestigieuse « Xav School » ©, Florence Bellenger, Sylvain Baudot, Eddie « Bobby » Tirano, Pierre Leroux, Jérôme Mazurier, Remy Coquand, Marinela Barci, Danielle Garbin, Gabriele...

Je tiens également à adresser des remerciements tout particulier à mes amis qui m'ont accompagné au cours de ces 6 années sur Grenoble : Antony, dit « fassa », pour toutes nos « Aram » et « Normal Game », Damien, notre éternel blessé, Ismaël qui a finalement préféré son nord natal aux montagnes de Grenoble, Salomé, avec qui j'ai partagé beaucoup de bon moments et j'espère en partager encore beaucoup d'autres, je te souhaite bon courage pour ta soutenance, Sandra, dont la maîtrise du bremsstrahlung (?) m'aura bluffé (je peux maintenant dire : Sade Kray !), Jérôme, skieur de toujours et nouveau maître du 7 Wonders, Julien, qui aura fini par abandonner le ski pour le snow après 5 ans !

Je souhaite maintenant remercier mes amis de toujours : Simon, qui m'aura soutenu tout au long de ma thèse et jusqu'à la soutenance. Merci également à Florent pour ces week end skis avant Noël et à Marine pour sa bonne humeur, son soutien et ces super vacances en Croatie. Merci à Amaël pour toutes ces soirées sur skype et à Tchong avec qui on aura tout essayé pour passer diamant. Merci à Jeremy pour ton amitié au cours de toutes ces années. Merci à Camille pour toutes nos discussions. Je pense également à Brice et je te souhaite bon courage pour la fin de ta thèse. Merci également à Julie que j'avais promis un jour de citer dans ces lignes. Je remercie aussi Manu, véritable fan de l'ASM malgré la supériorité du MHSC.

Enfin, ces remerciements ne seraient pas complets sans ma famille. Merci donc à mon père et ma mère que j'aime du fond du cœur et qui m'ont permis d'arriver où je suis aujourd'hui. Mon frère, que j'aime énormément et qui a toujours été là pour moi. Enfin merci également à Mamie, Monique et Patrick, Bernie, Gilles, Alexandra, Rodolphe, Arnaud, Géraldine, Mélisande, Séreina, Soline, Josie, Marc et Nicole.

Table des matières

Introduction générale	11
1 Introduction à la variabilité et la fiabilité du transistor MOS	15
1.1 Introduction	17
1.2 Le transistor MOS à effet de champ	18
1.2.1 Présentation du transistor MOS	18
1.2.2 Principe de fonctionnement du transistor MOS	18
1.2.3 Caractérisation d'un transistor MOS à effet de champ	21
1.2.4 Technologie FDSOI	24
1.3 Variabilité des paramètres électriques du transistor	26
1.3.1 Variabilité statique	26
1.3.2 Variabilité dynamique	32
1.4 Techniques de caractérisation de la variabilité dynamique	42
1.4.1 Mesure standard de la dégradation BTI et HCI	42
1.4.2 Techniques de mesures rapides	43
1.4.3 Caractérisation du piégeage dans des transistors décananométriques	47
1.4.4 Résumé des techniques de caractérisations	56
1.5 Influence des procédés technologiques	57
1.5.1 Étude de la dégradation NBTI sur la technologie SiGe	57
1.5.2 Étude de l'effet de nitruration de la grille sur la dégradation NBTI	59
1.6 Conclusion	61
2 Compréhension et Modélisation de la dégradation NBTI sur dispositifs FD-SOI	67
2.1 Introduction	69
2.1.1 Historique de la dégradation NBTI	69
2.1.2 Limitations du modèle historique	70
2.1.3 Nouveau modèle de la dégradation BTI	71
2.1.4 Cadre de notre étude de la dégradation NBTI	71
2.2 Dégradation NBTI - Techniques de caractérisation	73
2.2.1 Méthodologie de stress DC	73
2.2.2 Méthodologie de stress AC	73
2.2.3 Méthodologie de stress via pattern	75
2.3 Propriétés du NBTI observées par des mesures DC	77
2.3.1 Dispositifs testés	78

2.3.2	Le NBTI est il la résultante d'un seul ou plusieurs types de défauts? . . .	78
2.3.3	La dégradation NBTI est elle cumulative?	79
2.3.4	Le NBTI est il activé en température?	84
2.3.5	Résumé des propriétés NBTI obtenues par des mesures DC	85
2.4	Propriétés du NBTI observées par des mesures AC	85
2.4.1	Intérêt des stress BTI en mode AC	85
2.4.2	Le stress AC NBTI peut il évaluer la dégradation permanente?	86
2.4.3	Pourquoi des pièges recouvrables se remplissent au cours d'un stress AC?	87
2.5	Modélisation de la dégradation NBTI	90
2.5.1	Modélisation de la dégradation permanente : loi de puissance temporelle	90
2.5.2	Modélisation de la dégradation recouvrable : modèle SRH	90
2.5.3	Modélisation de la dégradation recouvrable : modèle Multi Phonon Non Radiatif	92
2.5.4	Modèle de piégeage simplifié - Modèle RC	100
2.6	Dégradations AC NBTI - Expériences et Simulations	109
2.6.1	Dépendance de la dégradation NBTI en fonction du Duty Factor	109
2.6.2	Dépendance de la dégradation NBTI en fonction de la fréquence	109
2.6.3	Origine de la dépendance en fréquence de la dégradation AC NBTI	112
2.6.4	Résultats avec stress AVGP - Expériences et Simulations	115
2.6.5	Limites du modèle RC et de la CET-MAP	119
2.7	Modèle composite et dégradation NBTI	119
2.7.1	Modèle composite	120
2.7.2	Vérification du modèle composite	121
2.7.3	Modélisation de la partie recouvrable	123
2.7.4	Modélisation simple de la dégradation et extraction de durée de vie	126
2.8	Conclusion	129
3	Variabilité dynamique sur des transistors FDSOI de tailles $<0.1\mu\text{m}^2$	135
3.1	Introduction	137
3.2	Caractérisation de la variabilité dynamique	139
3.2.1	Dérive du V_T induite lors de stress BTI	139
3.2.2	Modèles analytiques décrivant les distributions de ΔV_T sur des dispositifs de taille nanométrique	142
3.2.3	Description des distributions de ΔV_T sur une technologie FDSOI standard avec les modèles de Skellam et de Kaczer	148
3.2.4	Limites des modèles de Skellam et de Kaczer	151
3.2.5	Problématique soulevée par le DCM	152
3.3	Simulations électrostatiques et Mesures Expérimentales	154
3.3.1	Description de la simulation	155
3.3.2	Résultats de simulations en éléments finis	157
3.3.3	Distributions Exponentielles et DCM	158
3.3.4	Influence de la dimension sur la variabilité dynamique	163
3.4	Structures réalistes de transistors FDSOI	167
3.4.1	Problématique liée aux hypothèses du DCM	167
3.4.2	Revue détaillée du DCM	171
3.4.3	Application aux SRAM	182

3.5	Conclusion	186
4	Impact de la dégradation BTI sur le fonctionnement de cellules SRAM	191
4.1	Introduction	193
4.2	La cellule SRAM	194
4.2.1	Présentation de la cellule SRAM	194
4.2.2	Effet de la variabilité et de la dégradation BTI sur une cellule SRAM . .	196
4.3	Évaluation de la dégradation d'une SRAM par simulations SPICE	199
4.3.1	Caractérisation des paramètres électriques des transistors	199
4.3.2	Évaluation de la dégradation des cellules	205
4.4	Mesures BTI rapides de cellules SRAM	208
4.4.1	Mesures rapides de la stabilité en lecture des cellules : technique SRRV .	209
4.4.2	Évaluation de la variabilité temporelle, due au BTI, des cellules SRAM .	214
4.4.3	Influence de la dégradation sur la stabilité en lecture des cellules SRAM .	221
4.5	Conclusion	227
	Conclusion générale	231
	Annexe A	235
	Annexe B	239
	Liste des publications de l'auteur	251

Introduction générale

La microélectronique est certainement le domaine qui a le plus influencé notre quotidien au cours des dernières années. En effet, elle a permis la naissance et le développement de nombreuses applications comme l'informatique, la robotique, la téléphonie mobile, les consoles de jeux vidéos, l'aérospatiale et bien d'autres encore. Le monde moderne, tel que nous le connaissons aujourd'hui, repose donc sur une industrie travaillant à l'échelle du micromètre. Au cœur de cette industrie se trouve le transistor MOSFET (pour Metal Oxyde Semiconductor Field Effect Transistor) dont l'invention remonte à Décembre 1947 par les américains John Bardeen, William Shockley et Walter Brattain. Ce composant est l'élément de base de tout circuit logique et c'est lui qui a permis l'essor de toute l'industrie microélectronique.

Si les procédés de fabrication utilisés lors de la conception du premier transistor étaient sommaires, ils se sont largement améliorés depuis. Notamment, à partir des années 60, on assiste à une réduction continue de la taille de ces dispositifs élémentaires. Cette réduction a tout d'abord eu un but économique : elle a permis de réduire les coûts de fabrication en construisant plus de dispositifs sur une même surface. De plus, cette miniaturisation entraîne aussi une augmentation des performances des dispositifs.

En 1965, Gordon E. Moore, postule que le nombre de transistors présents dans un circuit intégré dense doublera tous les 2 ans. Cette prédiction a été vérifiée sur les 40 dernières années et sert encore aujourd'hui de guide pour la poursuite de la recherche dans le domaine de la microélectronique. A titre de comparaison, quand Gordon E. Moore établit cette loi empirique en 1965, le circuit le plus performant ne comportait que 64 transistors tandis qu'aujourd'hui, un microprocesseur en compte plus d'un milliard.

Jusqu'à la fin des années 1990, le transistor a gardé la même architecture, à savoir un substrat en silicium, un oxyde constitué de silicium oxydé (SiO_2) et une grille en polysilicium. La diminution des dimensions poursuivie par l'industrie s'est alors heurtée à une difficulté de taille : les fuites à travers l'oxyde de grille. En effet, la diminution de la taille caractéristique des transistors passe par la réduction de l'épaisseur du SiO_2 afin de maintenir un couplage capacitif suffisant pour contrôler le courant délivré par le transistor en fonctionnement. Pour contourner ce problème, des matériaux supplémentaires ont été incorporés dans l'oxyde de grille des transistors : les matériaux High-K (nommés ainsi par rapport à leur grande constante diélectrique). Cette innovation technologique a permis de repousser plus loin le problème des fuites de grilles propres à la technologie « tout silicium ». Par la suite, de nombreuses autres innovations ont été adoptées (utilisation de grilles métalliques, incorporation de germanium, ...) et ont permis de continuer à appliquer la loi de Moore sur les transistors classiques.

Aujourd'hui, l'industrie microélectronique est à un nouveau tournant de son histoire. En effet, là où une seule technologie, dite du transistor « planaire », existait auparavant, on voit aujourd'hui apparaître de nouvelles architectures. Elles ont été développées afin d'améliorer les

performances des transistors et augmenter le contrôle électrostatique de la grille sur le canal de conduction. Parmi ces architectures on peut en distinguer deux importantes :

- L'architecture FinFET choisie par Intel et commercialisée en 2012 (par exemple dans les processeurs Ivy Bridge) dans laquelle on voit apparaître une grille qui vient enrober le canal du transistor. Le transistor ressemble alors à un aileron (Fin en anglais). Cette innovation technologique est majeure car on passe de la configuration planaire historique à une configuration 3D.

- L'architecture FDSOI (pour Fully Depleted Silicon On Insulator) soutenue par STMicroelectronics par exemple. Dans cette configuration, le transistor garde une architecture planaire mais adopte un oxyde enterré, appelé BOX (pour Buried OXide), permettant d'isoler électriquement la zone active du substrat en silicium massif.

La nature tridimensionnelle de la technologie FinFET autorise une forte densité d'intégration. En revanche les transistors FDSOI sont de type planaire, à l'instar des dispositifs historiquement utilisés, ce qui autorise un transfert de certaines étapes technologiques et facilite la conception des cellules standards, en comparaison aux dispositifs FinFET.

Pour la première fois dans l'histoire de la microélectronique, on observe un changement radical de l'architecture du transistor telle qu'elle a été imaginée à l'origine. De plus, on voit que des directions différentes sont empruntées par les leaders du milieu industriel. Ces innovations ont permis de continuer à avancer sur le chemin de la réduction des dimensions des transistors.

Une autre problématique majeure liée à la miniaturisation des dimensions des transistors est la difficulté croissante d'avoir des caractéristiques électriques qui soient les plus proches possibles d'un dispositif à l'autre. En effet, des transistors supposés être identiques théoriquement sont, en pratique, différents. On parle alors de **variabilité**. Ce phénomène impacte les performances électriques des transistors et notamment leur tension de seuil (V_T) et il se répercute au niveau des circuits analogiques (paires différentielles, miroirs de courants...) et il affecte également les applications numériques en termes de courant de fuite et de délai de fonctionnement. Aujourd'hui, cette variabilité est un paramètre important avec lequel les ingénieurs doivent composer pour développer une nouvelle filière technologique viable.

En plus des phénomènes de variabilité, il est nécessaire de composer avec les problèmes de vieillissement des dispositifs. En effet, si la problématique de la variabilité permet de valider une technologie à l'état initial, c'est à dire en sortie d'usine, il est nécessaire que les dispositifs composant les circuits intégrés soient opérationnels pendant plusieurs années. On parle cette fois de **fiabilité** et on peut la définir comme « la probabilité qu'un dispositif exécute une fonction exigée dans les conditions indiquées pendant une période donnée ». En règle générale, on souhaite que nos dispositifs soient fiables aux conditions normales de fonctionnement d'un circuit pendant 10 ans. Évidemment, compte tenue de l'allure à laquelle la microélectronique évolue de nos jours, il est impensable de laisser fonctionner un dispositif pendant 10 ans pour voir s'il répond toujours aux critères de fiabilité. Tout l'enjeu des études de fiabilité et de réaliser des vieillissements accélérés des dispositifs afin de modéliser cette dégradation le plus efficacement possible pour pouvoir ensuite prédire la dégradation aux conditions normales de fonctionnement.

La majeure partie des mécanismes de défaillances affectant les transistors se situe dans l'oxyde de grille. La criticité de cette partie du transistor, en termes de fiabilité, s'est trouvée encore plus affectée lors de l'adoption des technologies High-K. La dégradation des paramètres électriques des transistors au cours du temps est, en grande partie, due aux mécanismes de cap-

ture de porteurs du canal par le biais de défauts situés dans l'oxyde, aussi appelés pièges. Avec l'adoption des nouvelles architectures (FinFET et FDSOI), il est vital de comprendre comment l'ajout de zones susceptibles d'accueillir des pièges va influencer la fiabilité des dispositifs de demain.

C'est dans ce contexte précis que se situe le travail de cette thèse. L'objectif principal est de développer de nouvelles méthodes de caractérisation pour évaluer la fiabilité des transistors de nœuds avancés. Parallèlement, on cherchera à développer de nouveaux modèles pour décrire cette dégradation et évaluer, sur le long terme, la durée de vie de nos dispositifs.

Pour répondre à ces problématiques, ce manuscrit a été scindé en quatre grands Chapitres :

(1) Le Chapitre 1 présentera tout d'abord le fonctionnement du transistor MOS classique. Ensuite, on exposera en détail les deux types de variabilité, statique et dynamique, pouvant affecter les dispositifs. On présentera également les avantages et inconvénients de la technologie FDSOI vis à vis de ces problématiques. Enfin, la dernière partie du Chapitre sera consacrée aux techniques de mesures utilisées dans le Chapitre suivant pour évaluer la dégradation des transistors. On mettra en particulier l'accent sur l'importance des mesures rapides pour réaliser des évaluations correctes de la durée de vie des dispositifs.

(2) Le Chapitre 2 abordera spécifiquement la fiabilité liée à la dégradation NBTI (Negative Bias Temperature Instability). Dans un premier temps, une introduction présentera le modèle historique permettant de décrire la dégradation NBTI : le modèle de Réaction-Diffusion. En particulier, on exposera les raisons qui ont poussé à abandonner ce modèle au profit de modèles plus complexes. Ensuite, les mesures rapides développées précédemment ainsi que de nouvelles mesures, imaginées spécialement pour étudier le comportement de la dégradation NBTI, seront utilisées pour caractériser la fiabilité de nos transistors. A la lumière des résultats obtenus, plusieurs modèles utilisés aujourd'hui pour décrire la dégradation NBTI seront confrontés aux résultats expérimentaux. Finalement, on retiendra un modèle de cinétique du premier ordre (de type RC) simplifié pour réaliser des descriptions correctes de la dégradation obtenue sur nos dispositifs. Enfin, on discutera des avantages et des inconvénients du modèle RC et on proposera un modèle composite permettant d'évaluer la durée de vie de nos dispositifs.

(3) Le Chapitre 3 se concentrera sur la dégradation affectant les transistors de petites dimensions. On montrera dans un premier temps l'impossibilité d'utiliser la loi normale classique pour modéliser la dégradation obtenue sur de larges populations de petits transistors. Puis on comparera deux modèles utilisés habituellement pour décrire les distributions de ΔV_T : le modèle de Skellam et le modèle Defect Centric. Ensuite, à l'aide de simulation 3D électrostatique, on expliquera pour quelles raisons le modèle Defect Centric est utilisable dans le cas de transistors FDSOI. Enfin, on proposera une « revue » du modèle Defect Centric dans laquelle on étudiera l'influence de la présence de deux couches distinctes dans l'oxyde de grille : un oxyde interfacial et une couche de diélectrique High-K.

(4) Le Chapitre 4 étudiera comment la variabilité et la fiabilité des transistors peuvent affecter le fonctionnement d'un circuit. Le cas de la cellule mémoire SRAM (Static Random Access Memory) sera choisi pour étudier ces influences. On présentera tout d'abord le principe de fonctionnement de ces cellules et on montrera comment les variabilités statiques et dynamiques affectant les transistors peuvent perturber son fonctionnement. On présentera ensuite

deux études de l'évaluation de la dégradation de cellule SRAM. Une première étude, proche de celles couramment utilisées dans l'évaluation de la dégradation des cellules, dans laquelle la dégradation BTI sera mesurée sur des dispositifs isolés puis « transposée » au niveau de la cellule par des simulations. Enfin une deuxième méthode, basée sur des mesures rapides et permettant de mesurer directement la variation de la stabilité des cellules au cours de la dégradation. Dans cette dernière approche, on utilisera le modèle composite du Chapitre 2 et le modèle Defect Centric du Chapitre 3 pour évaluer la dégradation des cellules aux conditions normales de fonctionnement.

Chapitre 1

Introduction à la variabilité et la fiabilité du transistor MOS

Sommaire

1.1	Introduction	17
1.2	Le transistor MOS à effet de champ	18
1.2.1	Présentation du transistor MOS	18
1.2.2	Principe de fonctionnement du transistor MOS	18
1.2.2.1	Le régime d'accumulation	19
1.2.2.2	Le régime de déplétion	20
1.2.2.3	Régime d'inversion faible	20
1.2.2.4	Régime d'inversion forte	20
1.2.3	Caractérisation d'un transistor MOS à effet de champ	21
1.2.3.1	Courbes de transfert - $I_d(V_g)$	21
1.2.3.2	Tension de seuil : V_T	22
	Méthode par extrapolation en régime linéaire	22
	Méthode d'extraction de V_T à courant constant	23
1.2.4	Technologie FDSOI	24
1.3	Variabilité des paramètres électriques du transistor	26
1.3.1	Variabilité statique	26
1.3.1.1	Fluctuation du nombre de dopants : Random Dopant Fluctuation	26
1.3.1.2	Rugosité de bord : Line Edge Roughness	27
1.3.1.3	Granularité de la grille métallique : Metal Gate Granularity	28
1.3.1.4	Modèle de Pellgrom	30
1.3.1.5	Variabilité statique et technologie FDSOI	31
1.3.2	Variabilité dynamique	32
1.3.2.1	Nature des pièges responsables de la variabilité dynamique	32
	Défauts d'interface : Centres P_b	32
	Défauts de volumes dans le SiO_2	34
	Défauts de volumes dans le $HfSiON$	34
1.3.2.2	Variabilité dynamique « à l'équilibre » : Bruit Basse Fréquence ou Random Telegraph Noise	34

1.3.2.3	Variabilité dynamique « <i>hors l'équilibre</i> » induite par un stress Bias Temperature Instability	36
1.3.2.4	Variabilité dynamique « <i>hors l'équilibre</i> » induite par un stress Hot Carrier Injection	40
1.3.2.5	Similitudes entre RTN et BTI	41
1.4	Techniques de caractérisation de la variabilité dynamique	42
1.4.1	Mesure standard de la dégradation BTI et HCI	42
1.4.2	Techniques de mesures rapides	43
1.4.2.1	Importance des mesures rapides pour évaluer la dégradation BTI	43
1.4.2.2	Mesures rapides : Appareil de mesure	44
1.4.2.3	Erreur sur la dégradation réelle lors de mesures lentes	45
1.4.3	Caractérisation du piégeage dans des transistors décanométriques	47
1.4.3.1	Caractérisation électrique de pièges individuels	47
1.4.3.2	Caractéristiques des pièges d'oxyde	48
1.4.3.3	Caractérisation des temps de capture et d'émission des pièges : Time Dependent Defect Spectroscopy	49
	Temps d'émission τ_e :	50
	Temps de capture τ_c :	51
1.4.3.4	Mesure directe du temps de capture d'un piège	52
1.4.3.5	Énergie d'activation de pièges individuels	56
1.4.4	Résumé des techniques de caractérisations	56
1.5	Influence des procédés technologiques	57
1.5.1	Étude de la dégradation NBTI sur la technologie SiGe	57
1.5.1.1	Étude sur des dispositifs de grandes dimensions	57
1.5.1.2	Étude sur des dispositifs de petites dimensions	59
1.5.2	Étude de l'effet de nitruration de la grille sur la dégradation NBTI	59
1.6	Conclusion	61

1.1 Introduction

Ce premier Chapitre se veut être une introduction sur les problèmes de fiabilité et de variabilité affectant les transistors MOS. Aussi, le Chapitre sera divisé en trois grandes parties.

Dans une première partie, on présentera rapidement le principe de fonctionnement du transistor MOS. On présentera également comment le caractériser et quels sont les paramètres électriques qui permettent de déterminer ses performances électriques.

Après ce bref rappel, on se penchera sur les thématiques de variabilité et de fiabilité affectant les transistors. On présentera en détail les principales sources susceptibles de provoquer une variabilité des paramètres électriques des transistors. Ensuite, nous présenterons les défauts, ou pièges, qui sont les principaux acteurs de la variabilité dynamique, ou fiabilité. On verra qu'il est possible de distinguer deux types de variabilité dynamique : une variabilité dite *à l'équilibre* et une dite *hors équilibre*.

Enfin, dans la dernière partie, on présentera les principales méthodes de caractérisation utilisables pour évaluer cette variabilité dynamique. Tout d'abord, on montrera les mesures lentes « classiquement » utilisées pour déterminer la fiabilité des transistor. Ensuite, on mettra l'accent sur l'importance des mesures rapides. On verra notamment que ce type de mesure est d'une importance de premier ordre pour réaliser une bonne évaluation de la dégradation affectant nos transistors. Pour finir, on présentera des méthodes de caractérisation utilisables sur des transistors de petites surfaces (typiquement avec $S < 0.01 \mu\text{m}^2$), permettant d'étudier le comportement des pièges individuels.

1.2 Le transistor MOS à effet de champ

Le MOSFET (pour Metal-Oxide-Semiconductor Field-Effect-Transistor), également appelé transistor MOS, est l'élément de base de la microélectronique contemporaine et est utilisé dans tous les circuits intégrés.

Au cours des dernières années, le transistor n'a cessé d'évoluer pour répondre aux exigences toujours croissantes de l'industrie.

Ainsi, de nombreuses optimisations ont été apportées au fil des nœuds technologiques afin de surmonter les effets parasites induits par la miniaturisation des dimensions caractéristiques et par l'augmentation de la densité d'intégration. Des dispositifs ayant des longueurs de grille très faibles ont pu voir le jour, de nouveaux matériaux comme les oxydes à forte permittivité et les grilles métalliques ont été adoptés.

Dans cette partie, on présentera le principe de fonctionnement du transistor MOS à effet de champ.

1.2.1 Présentation du transistor MOS

Le transistor MOS constitue l'élément de base des circuits intégrés utilisés dans le domaine de la micro électronique. La fonction première d'un transistor est globalement celle d'un interrupteur. Son rôle est de laisser passer le courant ou de le bloquer. Il existe deux types de transistors : les NMOS, pour lesquels les porteurs dans le canal de conduction sont des électrons, et les PMOS, pour lesquels les porteurs sont des trous. Deux types de transistors sont nécessaires pour réaliser des applications logiques (Inverseurs, portes NAND...).

Durant plusieurs décennies, les transistors MOS étaient fabriqués sur silicium massif, donnant ainsi le nom de « BULK » à cette technologie. Le substrat du transistor était de type P pour les NMOS et N pour les PMOS. Le transistor comprend également des zones fortement dopée, N pour les NMOS et P pour les PMOS, qui constituent ses électrodes de sources et de drains et sont les réservoirs des porteurs.

La dernière zone importante du transistor est l'électrode de grille. En appliquant une tension sur la grille, un champ électrique vertical est généré dans l'oxyde de grille et permet ainsi le contrôle de la conduction dans le canal. La grille est isolée électriquement du canal de silicium par un isolant diélectrique : l'oxyde de grille. Cet isolant est constitué d'un oxyde interfacial (aussi appelé Inter Layer, ou IL) et d'un diélectrique haute permittivité (dit High-K pour sa haute constante diélectrique k).

La Figure 1.1 montre le schéma d'un transistor BULK classique.

1.2.2 Principe de fonctionnement du transistor MOS

La conduction dans le canal du transistor MOS est modulée par le champ électrique vertical contrôlé par l'électrode de grille. On appelle le potentiel électrique à l'interface oxyde/substrat le potentiel de surface, Ψ_S .

La différence de type de dopant entre le canal et les jonctions source-drain crée une barrière de potentiel dont la hauteur dépend de la polarisation appliquée par l'électrode de grille.

On introduit la grandeur Φ_f correspondant au potentiel de Fermi, ou niveau de Fermi. Elle représente l'écart entre le niveau de Fermi extrinsèque (pour un semi conducteur ayant une concentration N_a de dopant de type accepteur) et le niveau de Fermi intrinsèque (pour le même semi conducteur non dopé) :

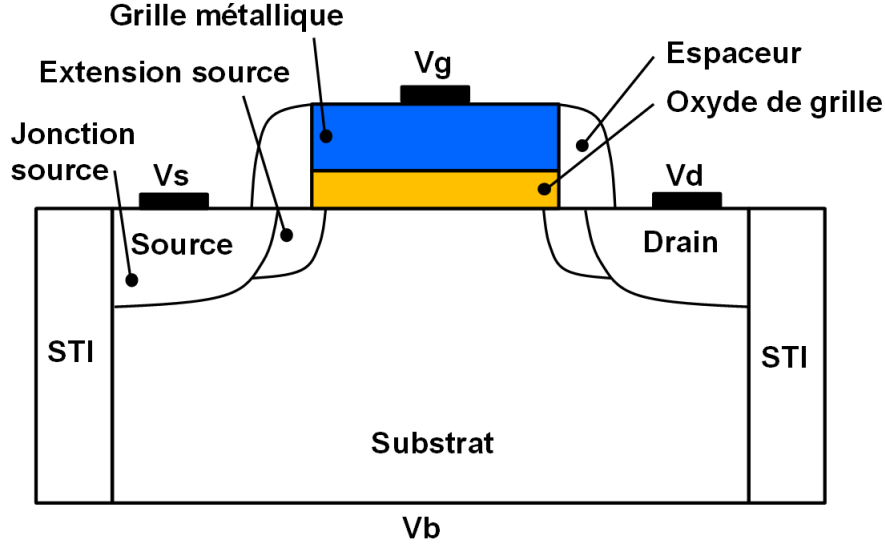


FIGURE 1.1 – Schéma d'un transistor BULK

$$\Phi_f = \frac{k_B \cdot T}{q} \cdot \ln \left(\frac{Na}{ni} \right) \quad (1.1)$$

Avec ni la densité intrinsèque de porteurs du semiconducteur (typiquement $ni = 1.10^{10} \text{cm}^{-3}$ à 300K).

On appelle la tension de bande plate, V_{FB} , la tension qu'il faut appliquer sur la grille du transistor pour que le potentiel de surface Ψ_S soit nul. Elle est définie par :

$$V_{FB} = \Phi_m - \Phi_s - \frac{Q_{SS}}{C_{ox}} \quad (1.2)$$

Avec Φ_m le travail de sortie de la grille, Φ_s le travail de sortie du semiconducteur du substrat et Q_{SS} l'ensemble des charges piégées à l'interface oxyde/substrat et des défauts chargés présents dans le volume de l'oxyde de grille.

On peut maintenant déterminer les différents régimes de fonctionnement du transistor MOS en fonction de la valeur du potentiel Ψ_S . On prend le cas d'un transistor NMOS pour détailler les différents régimes.

1.2.2.1 Le régime d'accumulation

On se trouve dans le régime d'accumulation lorsque $\Psi_S < 0$. Cela correspond à $V_g < V_{FB}$.

Dans ce régime, les porteurs majoritaires du substrat (ici les trous) sont attirés vers l'oxyde de grille et s'accumulent à l'interface substrat/oxyde.

La barrière de potentiel empêche les porteurs minoritaires présents dans la source de rentrer dans le canal. Dans ce régime le transistor est bloqué et aucun courant ne circule entre la source et le drain.

1.2.2.2 Le régime de déplétion

On se trouve dans le régime de déplétion lorsque $0 < \Psi_S < Ef$. Cela correspond à $Vg > V_{FB}$.

Dans ce régime, les porteurs majoritaires (trous) sont repoussés de l'interface oxyde/substrat. Il se crée ainsi une zone déplétée, dépourvue de porteurs libres.

La barrière de potentiel entre le canal et les jonctions source-drain est plus faible que dans le régime d'accumulation. Cependant, elle ne permet pas encore aux porteurs minoritaires de circuler dans le canal. Dans ce régime aussi, le transistor est bloqué.

1.2.2.3 Régime d'inversion faible

Le régime d'inversion est atteint lorsque $\Phi_f < \Psi_S < 2\Phi_f$. Cela correspond à $V_{FB} < Vg < V_T$. Avec V_T qui constitue la tension de seuil du transistor et qui est définie par :

$$V_T = V_{FB} + 2\Phi_f - \frac{Q_{DEP}}{C_{ox}} \quad (1.3)$$

Avec Q_{DEP} la charge de déplétion dans le canal.

Cette tension est un paramètre très important du transistor MOS. Elle détermine la limite entre l'état bloqué et l'état passant du transistor.

Dans ce régime, les porteurs majoritaires du substrat sont toujours repoussés loin de l'interface oxyde/substrat. De plus, la barrière de potentiel est suffisamment basse pour que les porteurs minoritaires commencent à la franchir. Ces porteurs forment une couche de minoritaires à l'interface oxyde/substrat.

La densité de porteurs minoritaires (électrons) reste inférieure à la quantité de majoritaires (trous) dans le substrat.

Pour avoir une circulation des porteurs de la source vers le drain, une tension positive est appliquée sur l'électrode de drain. Le courant de drain évolue exponentiellement avec la tension appliquée sur l'électrode de grille Vg .

Les porteurs se déplacent grâce à un gradient de charges suivant un mécanisme de diffusion. Les électrons vont de la zone de forte concentration (côté source) vers la zone de faible concentration (côté drain). La tension de seuil, V_T , est atteinte lorsque la concentration de porteurs minoritaires à proximité de l'interface oxyde/substrat devient égale à la concentration des porteurs majoritaires dans le substrat, ce qui intervient quand $\Psi_S = 2\Phi_f$.

1.2.2.4 Régime d'inversion forte

Le régime d'inversion est atteint lorsque $\Psi_S > 2\Phi_f$. Cela correspond à $Vg > V_T$.

Dans ce régime, la concentration de porteurs minoritaires (électrons) à proximité de l'interface oxyde/substrat est beaucoup plus grande que la concentration de porteurs majoritaires dans le substrat.

Le courant de drain dépend des polarisations appliquées sur le drain et la grille. On peut distinguer deux régimes différents :

- Lorsque $Vd < Vg - V_T$. Le transistor est en régime ohmique, ou linéaire. Le courant de drain, noté I_{din} , dépend linéairement de la tension Vg . L'équation donnant le courant dans ce régime est rappelée ici :

$$Id_{lin} = \frac{\mu_{eff} \cdot C_{ox} \cdot W}{L} \left(Vg - V_T - \frac{Vd}{2} \right) \cdot Vd \quad (1.4)$$

Avec W la largeur du canal, L la longueur du canal et μ_{eff} la mobilité effective des porteurs.

- Lorsque $Vd > Vg - V_T$. Le canal de conduction n'est plus présent sur toute la longueur de la grille. Une zone avec une charge d'inversion nulle apparaît près du drain et a tendance à s'agrandir (en se rapprochant de la source) avec l'augmentation de Vd . Cette zone est appelée point de pincement. Dans ce régime, le courant ne dépend plus de la tension de drain, d'où le nom de régime de saturation. Le courant, noté Id_{sat} , est donné par :

$$Id_{sat} = \frac{1}{2} \frac{\mu_{eff} \cdot C_{ox} \cdot W}{L} (Vg - V_T)^2 \quad (1.5)$$

Ces deux équations permettent de calculer le courant du transistor MOS dans les deux différents régimes (linéaire et saturé).

1.2.3 Caractérisation d'un transistor MOS à effet de champ

On a vu quels étaient les différents régimes de fonctionnement du transistor MOS. On présente maintenant les différentes façon de caractériser un transistor et les grandeurs extraites lors des caractérisations. Ces grandeurs caractéristiques vont permettre de déterminer les performances électriques des transistors.

1.2.3.1 Courbes de transfert - $Id(Vg)$

Il existe de nombreux paramètres permettant de caractériser électriquement les transistors MOS. Une grande partie de ces paramètres peut être déterminée lors de mesures des courbes de transfert $Id(Vg)$. La Figure 1.2 montre une courbe caractéristique $Id(Vg)$ et les paramètres électriques extraits sur la courbe.

La courbe de transfert permet une extraction directe de plusieurs paramètres :

- Le courant du transistor aux conditions de fonctionnement dans un circuit, c'est à dire quand la tension de grille est égale à la tension d'alimentation utilisée dans des circuits : V_{dd} . Sur notre exemple on l'extrait à $Vg = V_{dd} = 1V$. On le note Id_{lin} quand il est extrait en régime linéaire ($Vd = 0.1V$) et Id_{sat} pour le régime de saturation ($Vd = 1V$).

- La pente sous le seuil des transistors, noté SS pour « Subthreshold Slope ». Elle correspond à la pente, en échelle logarithmique, de la caractéristique $Id(Vg)$ pour $Vg < V_T$.

- Le courant de fuite, noté Id_{off} . Il correspond au courant quand le transistor n'est pas alimenté ($Vg = 0$). Ce paramètre résulte de la somme des courants tunnel entre la grille et le substrat (I_{GB}) et entre la grille et les extensions du drain (I_{GD}) et de la source (I_{GS}), de la qualité des jonctions PN côté source et côté drain impactant les courants entre le drain et le substrat (I_{DB}) et entre la source et le substrat (I_{SB}), ainsi que de la hauteur de la barrière de potentiel entre le canal et les extensions (impactant le courant entre la source et le drain I_{SD}).

- La tension de seuil, noté V_T . On a introduit théoriquement ce que représentait la tension de seuil V_T lors de la présentation des régimes de fonctionnement du transistor. En pratique,

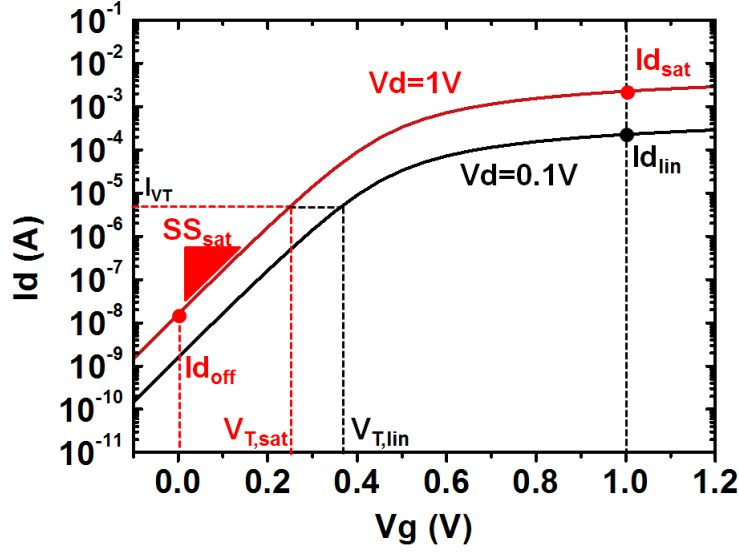


FIGURE 1.2 – Courbes caractéristiques $I_d(V_g)$ mesurées en régime linéaire ($V_d=0.1V$) et en régime saturé ($V_d=0.9V$)

c'est un paramètre très important qui détermine la limite entre l'état bloqué et l'état passant d'un transistor.

Dans la suite, on s'intéressera aux méthodes d'extraction classiques de cette tension de seuil V_T à partir des courbes caractéristiques $I_d(V_g)$.

1.2.3.2 Tension de seuil : V_T

La tension de seuil représente un paramètre clé des transistors. On présente ici les méthodes d'extraction qui permettent de la déterminer à partir des courbes $I_d(V_g)$. Il existe deux méthodes principales pour déterminer la tension de seuil, V_T , d'un dispositif :

Méthode par extrapolation en régime linéaire La première méthode d'extraction du V_T se base sur l'expression du courant de drain en régime linéaire donné par l'expression 1.4. La mobilité effective des porteurs, donnée dans l'expression 1.4, peut s'exprimer sous la forme :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1 (V_g - V_T - V_d/2) + \theta_2 (V_g - V_T - V_d/2)^2} \quad (1.6)$$

Avec μ_0 la mobilité des porteurs à champ faible, θ_1 et θ_2 les facteurs de réduction de mobilité dues aux interactions porteurs/phonons du réseau cristallin et à la rugosité Si/SiO_2 [1], [2].

En définissant le paramètre de gain en transconductance $\beta = \mu_0 W C_{ox} / L$, on peut écrire le courant de drain sous la forme :

$$I_d = \beta \frac{V_g - V_T - V_d/2}{1 + \theta_1 (V_g - V_T - V_d/2) + \theta_2 (V_g - V_T - V_d/2)^2} \quad (1.7)$$

1.2. Le transistor MOS à effet de champ

On définit la transconductance, Gm , d'un transistor par :

$$Gm = \frac{\partial Id}{\partial Vg} \quad (1.8)$$

En dérivant 1.7 on obtient :

$$Gm = \beta \frac{1 - \theta_2 (Vg - V_T - Vd/2)^2}{\left[1 + \theta_1 (Vg - V_T - Vd/2) + \theta_2 (Vg - V_T - Vd/2)^2\right]^2} \quad (1.9)$$

On définit V_{ext} la tension de grille extrapolée linéairement à partir du point d'inflexion de la caractéristique $Id(Vg)$ et $Vg_{Gm_{max}}$ la tension Vg pour laquelle Gm atteint son maximum. On a donc :

$$V_{ext} = Vg_{Gm_{max}} - \frac{Id(Vg_{Gm_{max}})}{Gm_{max}} \quad (1.10)$$

Ce qui donne :

$$V_{ext} = V_T + \frac{Vd}{2} - \frac{\theta_1 (Vg_{Gm_{max}} - V_T - Vd/2)^2 + 2\theta_2 (Vg_{Gm_{max}} - V_T - Vd/2)^3}{1 - \theta_2 (Vg_{Gm_{max}} - V_T - Vd/2)^2} \quad (1.11)$$

D'où, si on néglige les réductions de mobilité ($\theta_1 = \theta_2 = 0$), on obtient :

$$V_T = V_{ext} - \frac{Vd}{2} = Vg_{Gm_{max}} - \frac{Id(Vg_{Gm_{max}})}{Gm_{max}} - \frac{Vd}{2} \quad (1.12)$$

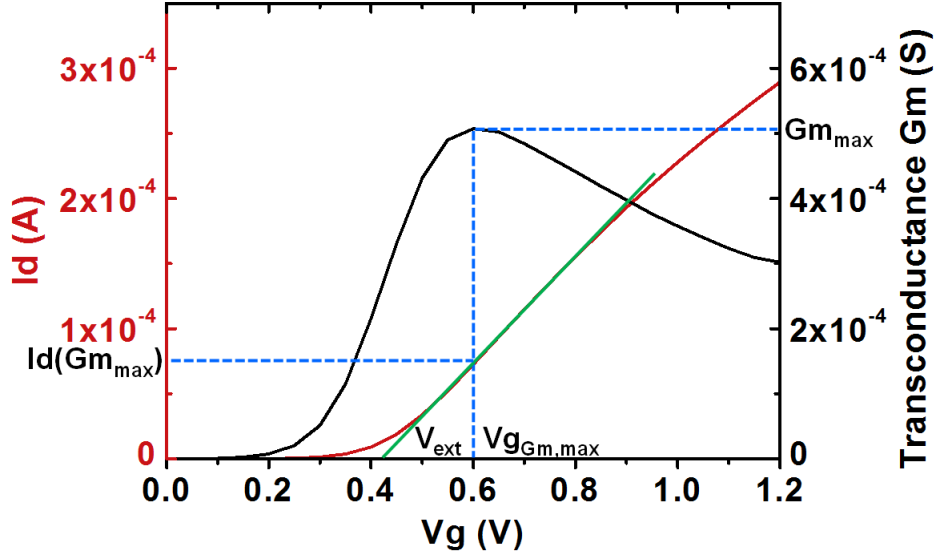
La Figure 1.3 montre comment extraire le V_T avec cette méthode sur une courbe $Id(Vg)$. Cette méthode est donc la seconde permettant d'obtenir la valeur de V_T des transistors.

Méthode d'extraction de V_T à courant constant Dans cette méthode, on cherche à évaluer la tension de grille qui permet au courant d'atteindre un certain critère : I_{VT} . Ce critère est choisi de manière à ce que la tension de seuil extraite avec cette méthode corresponde à la tension de seuil extraite avec la méthode du V_T extrapolé.

De manière générale, les critères pour les transistors PMOS et NMOS sont donnés par les formules :

$$I_{VT,PMOS}(A) = 3 \cdot 10^{-7} \frac{W}{L} \quad (1.13)$$

$$I_{VT,NMOS}(A) = 0.7 \cdot 10^{-7} \frac{W}{L} \quad (1.14)$$


 FIGURE 1.3 – Extraction du V_T par extrapolation

Avec L la longueur de grille du transistor et W sa largeur.

Une représentation de l'extraction de la tension de seuil à courant constant a déjà été montrée sur la Figure 1.2.

Le principal avantage de cette technique est sa simplicité d'utilisation. De plus, elle permet des évaluations rapides du V_T ce qui permet, de ce fait, des utilisations à grande échelle (notamment pour extraire la tension de seuil sur de larges populations de transistors).

On notera également que cette méthode est aussi bien utilisable pour extraire le courant en régime linéaire qu'en régime saturé. Elle permet notamment de déterminer les effets de DIBL (pour Drain Induced Barrier Lowering) qui est la différence de tension de seuil extraite à courant constant dans les deux régimes et est définie par :

$$DIBL = V_T(V_d \text{ fort}) - V_T(V_d \text{ faible}) \quad (1.15)$$

Le DIBL est un effet canal court, ou SCE (pour Short Channel Effect) qui apparaît avec la réduction des dimensions des transistors [3].

En pratique, dans la thèse, la méthode la plus couramment utilisée est la méthode d'extraction à critère de courant constant. En effet, cette méthode, plus simple et plus rapide, sera utile pour les extractions multiples de V_T au cours de dégradation BTI ou lors de mesures sur un grand nombre de dispositifs par exemple.

1.2.4 Technologie FDSOI

Comme présenté précédemment, la miniaturisation des dimensions des transistors induit des effets parasites qui altèrent leurs performances. Ces effets parasites ont été à chaque fois repoussés par des innovations technologiques et ont permis à la technologie BULK de « repousser » ses limites pour atteindre des nœuds technologiques très avancés.

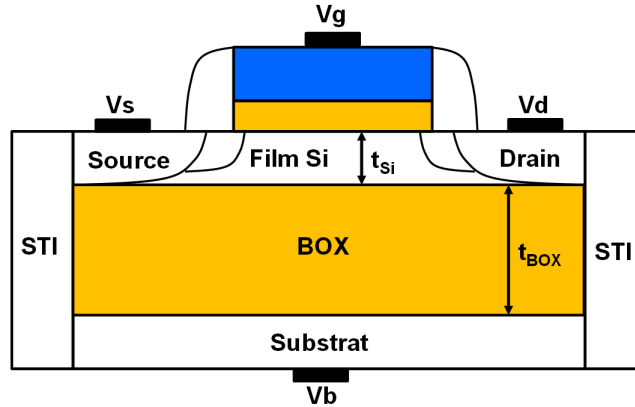


FIGURE 1.4 – Schéma d'un transistor SOI

Cependant, pour poursuivre les spécifications de l'ITRS (pour International Technology Roadmap for Semiconductor) [4], une complexification du processus d'intégration était nécessaire. En effet, pour des nœuds inférieur à 30nm, la technologie BULK atteignait des limites intrinsèques sur plusieurs domaines comme la maîtrise des effets de canaux courts ou la variabilité entre dispositifs. D'autres technologies ont donc vu le jour pour remplacer la traditionnelle technologie BULK.

Parmi celles ci, on trouve la technologie à Silicium sur Isolant, nommé SOI pour Silicon On Insulator. La Figure 1.4 présente le schéma d'un transistor fabriqué dans cette technologie.

Dans cette architecture, contrairement à la technologie BULK, le substrat SOI est constitué d'un film de Silicium non dopé (typiquement, le taux de dopage est $N_A \approx 10^{15} \text{cm}^{-3}$). Le film de silicium, qui constitue la zone active, est isolé du substrat par un oxyde enterré, le BOX pour Burried Oxide. Des détails sur les procédés de fabrication, et notamment la technique de Smart CutTM utilisée pour fabriquer les plaques SOI, peuvent être trouvés dans [5], [6].

Deux nouveaux paramètres essentiels apparaissent pour caractériser les transistors SOI : l'épaisseur du film de Silicium t_{Si} , et l'épaisseur de l'oxyde enterré, t_{BOX} .

Deux types de transistors FDSOI peuvent être réalisés avec des substrat SOI :

- Les transistors PDSOI, pour Partially Depleted SOI. Lorsque l'épaisseur t_{Si} est supérieure à la zone de déplétion (typiquement $t_{Si} > 50 \text{nm}$), une partie du film n'est pas inversée lorsque $V_g > V_T$. Le film comporte alors une zone neutre non déplétée.
- Les transistors FDSOI, pour Fully Depleted SOI. Lorsque l'épaisseur t_{Si} est inférieure à la zone de déplétion. La zone de déplétion atteint alors le BOX du transistor et tout le film est inversé.

Dans cette thèse, seule la technologie FDSOI a été étudiée. En effet, les épaisseurs de film de Silicium des transistors utilisés ne dépassaient pas 10nm. Cette technologie a apporté de nombreuses améliorations aux transistors MOS, principalement en terme de contrôle des effets de canaux courts [7] et de variabilité statique [8].

Il est intéressant de noter que la technologie FDSOI n'est pas la seule à avoir repoussé les limites du transistor planaire classique. La technologie Trigate, ou FinFET, adoptée notamment par Intel [9], a permis elle aussi d'améliorer considérablement les performances des transistors. La technologie FinFET est particulière car elle adopte une architecture 3D, contrairement aux

structures « planaires » utilisées habituellement en microélectronique.

1.3 Variabilité des paramètres électriques du transistor

Les transistors sont le produit de très longs procédés de fabrication. Ainsi, on veut que les paramètres clés d'un transistor : sa tension de seuil V_T , son courant de drain à I_d , sa pente sous le seuil SS, soient les meilleurs possibles. Cependant, atteindre de bonnes performances électriques n'est pas suffisant pour valider une technologie.

En effet, la grande complexité intervenant au cours de la réalisation des transistors dans les nœuds technologiques avancés entraînent une fluctuation des paramètres électriques des transistors : on parle de variabilité. Les paramètres électriques qui caractérisent des transistors, supposés identiques, varient en fait d'un transistor à l'autre. On qualifiera cette variabilité de variabilité statique, car due aux procédés de fabrication et n'évoluant pas avec le temps.

De la même façon, les paramètres électriques des transistors ne sont pas « figés ». Ils sont susceptibles de varier, se dégrader, avec le temps, et surtout avec le fonctionnement des transistors. De ce fait, on qualifiera cette variabilité de variabilité dynamique ou temporelle.

Arriver à contrôler ces deux types de variabilité est vital aujourd'hui car elles apparaissent comme un frein important à une poursuite de la miniaturisation des dispositifs ([10], [11] pour la variabilité statique et [12], [13] pour la variabilité dynamique).

On présentera dans cette partie ces deux types de variabilité, quelles sont leur sources et leurs effets sur les transistors.

1.3.1 Variabilité statique

La variabilité statique correspond à la variabilité initiale des transistors, c'est à dire, la variabilité qui résulte majoritairement des procédés de fabrication.

Plusieurs sources sont susceptibles de générer une variabilité des paramètres électriques des transistors. Dans cette partie, on passe en revue les différentes sources de variabilité statique.

1.3.1.1 Fluctuation du nombre de dopants : Random Dopant Fluctuation

Une source de variabilité importante, pour les technologies BULK, est la variation du nombre de dopants dans le canal, le RDD (pour Random Discrete Dopant) [14], aussi appelé RDF. Le RDD est devenue la source de variabilité la plus importante des technologies BULK [15] et apparaît comme un frein intrinsèque à cette architecture.

Comme présenté précédemment, le transistor BULK possède deux types de dopage. Les sources et drains dopés N (respectivement P) et le substrat dopé P (respectivement N) pour un transistor NMOS (respectivement PMOS). Lorsque les dimensions des transistors étaient importantes, le nombre de dopants présents dans le canal d'un transistor évoluait peu d'un transistor à l'autre.

Avec la réduction drastique des dimensions, le nombre de dopants présents dans le substrat d'un transistor est devenu suffisamment faible pour que les fluctuations du nombre de dopants entre deux transistors affectent grandement leurs caractéristiques. Cette variation entraîne une variabilité de tous les paramètres électriques des transistors. La Figure 1.5 montre la variabilité uniquement due au RDD sur des courbes caractéristiques $I_d(V_g)$.

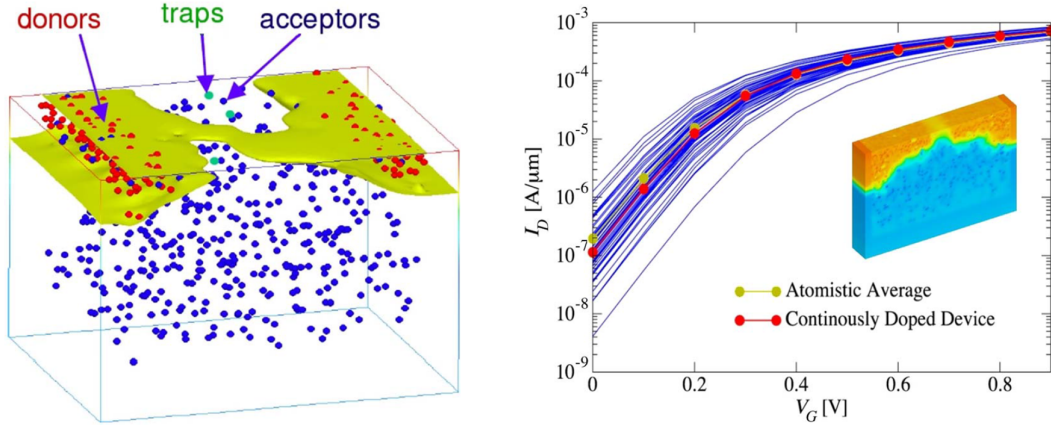


FIGURE 1.5 – (Gauche) Simulations atomistiques d'un transistor NMOS BULK de longueur et largeur de grille égale à 35nm. (Droite) Effet sur les courbes caractéristiques $I_D(V_G)$ [16]

Dans ces simulations, tous les transistors sont supposés être identiques : mêmes dimension, mêmes procédés de fabrication. Cependant la répartition aléatoire et le nombre variable de dopants entre deux transistors entraîne une forte variabilité des paramètres électriques des transistors comme on peut le voir sur les courbes $I_D(V_G)$. Sur les simulations, la courbe correspondant à un dopage continu, c'est à dire sans variabilité, est représentative de ce qu'on pourrait attendre sur des dispositifs de grandes tailles (car peu affectés par la fluctuation du nombre de dopants). On voit que le RDD affectant les dispositifs de petites tailles entraîne une fluctuation de tous les paramètres électriques des transistors (I_D , G_m et SS) autour de la valeur moyenne donnée par les simulations obtenues sur des dispositifs avec un dopage continu.

1.3.1.2 Rugosité de bord : Line Edge Roughness

Si le RDD est considéré comme étant la principale source de variabilité statique sur transistor BULK [17]. Il existe d'autres sources non négligeables.

Les fluctuations des longueurs de grille, créant ainsi des longueurs de grille effectives, représentent une autre source de variabilité importante. Cette source est principalement due aux procédés de gravure, on l'appelle LER pour Line Edge Roughness.

De la même façon que pour le RDD, le LER était une source de variabilité de moindre intérêt dans le passé quand les dimensions étaient bien plus importantes. Cependant, avec la miniaturisation accrue opérée au cours des dernières années, nous avons atteint des dimensions où la rugosité de surface joue un rôle important sur la variabilité.

Typiquement, le LER a une grandeur caractéristique de l'ordre de 5nm [18]. De ce fait, aux longueurs de grille actuelles ($\approx 30\text{nm}$) cette source de variabilité commence à prendre une importance non négligeable.

Sur la Figure 1.6 on représente tout d'abord une simulation réalisée sur un transistor de longueur 30nm et de largeur 200nm montrant les effets physiques du LER sur un transistor. Puis, on montre des résultats de simulations, réalisés par Dave Reid [17], modélisant les effets du LER et du RDD sur la distribution de V_T de transistors MOS.

Les simulations de variabilité des paramètres électriques sont aussi effectuées sur des transistors avec une longueur de grille de 30nm et une largeur de 200nm. A ces dimensions les variations

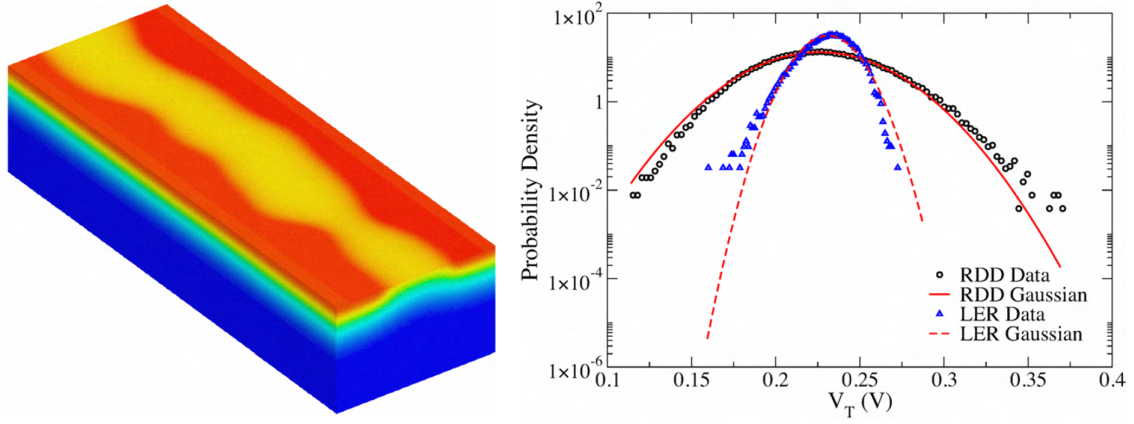


FIGURE 1.6 – Illustration de l'effet du LER sur la zone Source/Canal/Drain d'un transistor de dimensions $L=30\text{nm}$ et $W=200\text{nm}$ et de ses effet sur la tension de seuil [17]

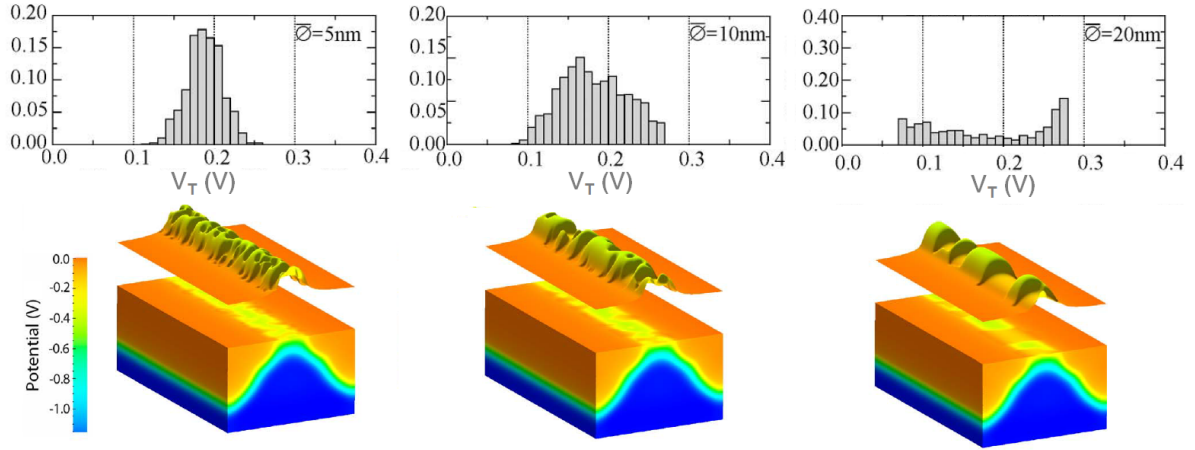


FIGURE 1.7 – Illustration de l'effet de MGG sur la distribution de V_T en fonction du diamètre moyen des grains ($\bar{\phi}$) dans la grille métallique sur un transistor de taille $35 \times 35 \text{ nm}^2$ [19]

de la longueur de grille effective due aux procédés de gravure ont un impact non négligeable. On remarque par ailleurs que la variabilité du V_T due au LER, si elle est non négligeable, reste néanmoins moins importante que celle due au RDD.

1.3.1.3 Granularité de la grille métallique : Metal Gate Granularity

La grille métallique des transistors est une autre source de variabilité affectant nos dispositifs. Cette source repose sur la nature polycristalline de la grille. Celle ci est composée de grains de différentes tailles et avec des orientations cristallographiques différentes créant ainsi des travaux de sorties différents à l'interface Metal/High-K. Ces variations des travaux de sorties entraînent des variations locales de la tension de seuil dans la région de la grille.

La Figure 1.7 présente la variabilité de la tension de seuil de transistors BULK en fonction de la taille moyenne des grains métalliques présents dans la grille [19].

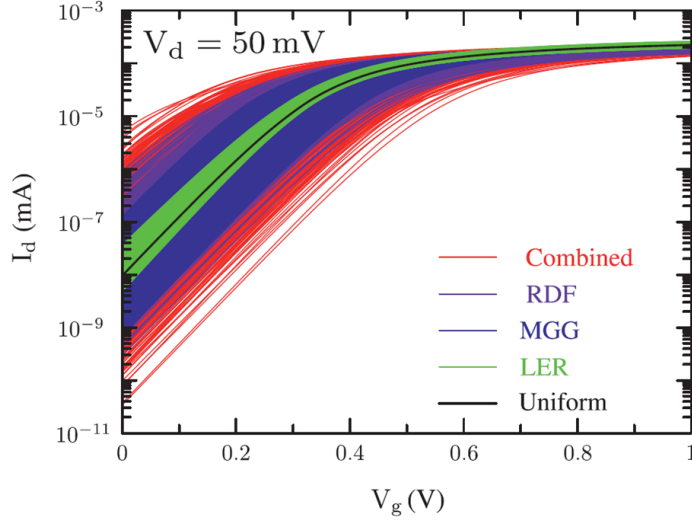


FIGURE 1.8 – Illustration de l’effet de toutes les variabilités statiques combinées (RDD+LER+MGG) sur les courbes caractéristiques $I_d(V_g)$ de transistors de petites dimensions ($W=35\text{nm}$ et $L=35\text{nm}$) [20]

L’étude porte sur un transistor de longueur et de largeur de grille égale à 35nm. Sur ces résultats de simulations, on note que la taille moyenne des grains présents dans la grille métallique a une forte influence sur la distribution de V_T . En particulier, plus la taille moyenne des grains présents dans la grille est importante et plus le V_T des dispositifs est dispersé.

On insistera sur le fait que la variabilité due à cette granularité de la grille métallique est très difficilement évaluable en pratique. En effet, si les effets électrostatiques peuvent être facilement simulés, mesurer effectivement l’impact de cette variabilité est impossible expérimentalement.

Il est important de noter que toutes ces sources de variabilité s’additionnent. Ainsi, la variabilité statique totale, $\sigma V_T(tot)$, est donnée par :

$$\sigma V_T(tot) = \sqrt{\sigma V_{T,RDF}^2 + \sigma V_{T,LER}^2 + \sigma V_{T,MGG}^2} \quad (1.16)$$

Avec $\sigma V_{T,RDF}$, $\sigma V_{T,LER}$, et $\sigma V_{T,MGG}$ les variances du V_T dues au RDF, LER et MGG respectivement.

La Figure 1.8 montre bien comment les différentes sources de variabilité se combinent pour donner la variabilité statique globale [20].

On peut voir que, comparativement aux dispositifs de grandes tailles, représentés par une répartition uniforme de tous les paramètres variables (position et nombre de dopants, longueurs et largeurs de grille, tailles et orientations des grains métalliques), les petits dispositifs, qui sont affectés par une distribution stochastique de tous ces paramètres, souffrent d’une variabilité importante. Tous les paramètres électriques des transistors de petites dimensions peuvent fortement varier autour de la valeur moyenne représentée par la distribution uniforme.

Nous avons présenté ici les critères de variabilités statique principaux pour les technologies BULK. Il en existe d’autres comme la variation des épaisseurs d’oxyde (dit OTF, pour Oxyde

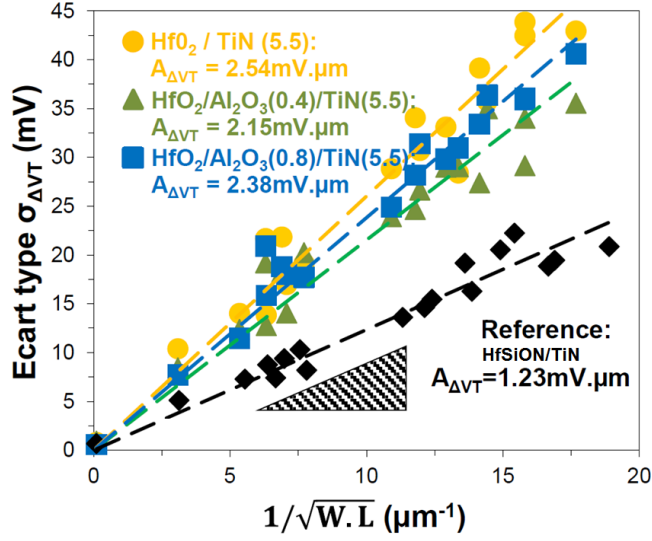


FIGURE 1.9 – Variabilité statique pour différents empilement de grille d'une technologie FDSOI [8]

Thickness Fluctuation) [21] ou encore la granularité du polysilicium (dit PSG, pour Poly Silicium Granularity) [22].

Toutes ces sources de variabilité se combinent pour donner la variabilité statique.

1.3.1.4 Modèle de Pelgrom

Il est important de pouvoir évaluer l'importance de la variabilité sur une technologie donnée.

Habituellement, on utilise le modèle de Pelgrom [23] pour décrire la variabilité statique sur nos dispositifs. Le modèle suppose que chacune des sources de variabilité locale s'exprime sous forme d'une variable aléatoire distribuée selon une loi normale. Le paramètre $A_{\delta V_T}$, représentatif du contrôle de la variabilité statique, est définie par :

$$A_{\delta V_T} = \sigma_{\delta V_T} \cdot \sqrt{WL} \quad (1.17)$$

Avec δV_T qui représente, dans le cadre de la variabilité statique, la différence de V_T , ou « Mismatch », entre deux transistors supposés identiques (dessinés au plus proche des règles de dessin).

Le paramètre $A_{\delta V_T}$ permet de qualifier la variabilité statique d'une technologie et s'extraite facilement par régression linéaire sur un graphique où l'on représente $\sigma_{\delta V_T}$ en fonction de $1/\sqrt{WL}$ (aussi appelé diagramme de Pelgrom). La Figure 1.9 montre une comparaison des variabilités statiques sur plusieurs empilements de grille.

Les mesures de variabilités sur différentes dimensions pour les 4 variantes technologies ont permis d'extraire une valeur de $A_{\delta V_T}$ pour chaque variante. Il est ainsi possible de déterminer quelle variante est la moins critique du point de vue de la variabilité statique. Sur cet exemple, l'utilisation de HfO₂ dans l'empilement de grille à la place du diélectrique HfSiON (utilisé pour les dispositifs de référence) dégrade fortement la variabilité des dispositifs.

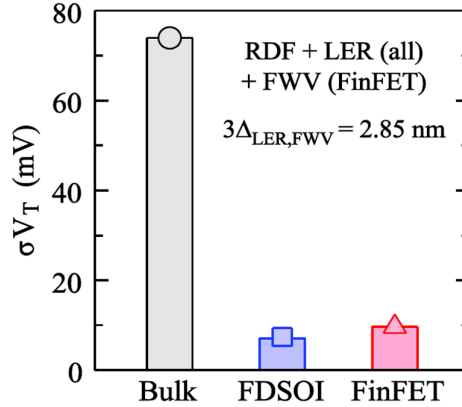


FIGURE 1.10 – Comparaison de la variabilité induite par le LER et le RDF sur technologies BULK, FDSOI et FinFET [24]

1.3.1.5 Variabilité statique et technologie FDSOI

Il est intéressant de noter que certaines sources de variabilité peuvent être atténuées grâce à des améliorations des procédés technologiques. Le LER, par exemple, peut être réduit grâce à une amélioration des procédés de lithographie, ou le RDD peut être atténué par des procédés de recuit. À l'inverse, d'autres sources de variabilité apparaissent comme intrinsèques à une technologie et ne pourront qu'augmenter avec la diminution des dimensions. C'est le cas du RDD, déjà la source de variabilité principale sur technologie BULK. La réduction de cette source de variabilité, propre au BULK, est en partie ce qui a poussé à chercher de nouvelles technologies pour continuer l'objectif principal de la microélectronique : la réduction des dimensions des dispositifs.

La technologie FDSOI apporte des solutions aux problèmes de variabilité statique de la technologie BULK.

Comme nous l'avons précédemment expliqué dans la section 1.2.4, les transistors FDSOI présentent un canal dépourvu de dopants. De ce fait, la variabilité due à la fluctuation du nombre de dopants entre deux dispositifs (le RDD) disparaît complètement avec cette technologie. Cette amélioration constitue un des atouts majeurs de la technologie FDSOI pour lutter contre la variabilité statique. La Figure 1.10 présente des résultats de simulations montrant l'évolution de la variabilité du V_T en fonction de la technologie considérée (BULK, FDSOI et FinFET) [24].

On voit bien sur la Figure que la variabilité est clairement diminuée par l'élimination du RDD (on peut considérer que la technologie FinFET, comme la technologie FDSOI, possède très peu de dopants dans le canal de silicium).

Il convient cependant de noter que la technologie FDSOI introduit une nouvelle source de variabilité liée à l'épaisseur du film de silicium t_{Si} . En effet, l'épaisseur du film influence fortement les caractéristiques électriques des transistors FDSOI. Il est donc important de maîtriser ce paramètre pour contrôler la variabilité de la technologie. La thèse de Jérôme Marurier [8] se penche sur cet aspect particulier de la technologie FDSOI.

En plus de l'épaisseur du t_{Si} , l'épaisseur du BOX, t_{BOX} , est un autre paramètre propre aux transistors FDSOI qui peut être source de variabilité.

Toutefois, malgré l'apparition de ces deux paramètres susceptibles d'être des sources de variabilité supplémentaires, il convient de noter que la technologie FDSOI permet de nettement améliorer les performances des dispositifs vis à vis de la variabilité statique. En effet, de nombreuses études ont montré à quel point cette technologie a permis de réduire la variabilité intrinsèque affectant les dispositifs [25], [26], [24].

1.3.2 Variabilité dynamique

Les paramètres électriques des transistors ne sont pas « figés » : ils peuvent varier au cours du temps. Historiquement, l'étude de la fluctuation de ces paramètres électriques au cours du temps relève du domaine de la fiabilité. Cependant, avec la réduction des dimensions des dispositifs, la variation des paramètres électriques change énormément d'un transistor à l'autre. Pour cette raison, on préférera plutôt parler de variabilité temporelle ou dynamique.

Par la suite, on distinguera deux types de variabilité dynamique :

- La première, représentant une variabilité dynamique « à l'équilibre ». Elle est le fruit de pièges dans l'oxyde de grille qui vont capturer et émettre des porteurs vers le substrat. Ces événements de capture et d'émissions vont entraîner la fluctuation des paramètres électriques des transistors autour d'une valeur moyenne.

- La seconde, représentant une variabilité dynamique « hors équilibre ». Cette fois, les paramètres électriques des transistors évoluent avec le temps (ils n'oscillent plus autour d'une valeur moyenne). On parlera de dégradation quand les paramètres électriques se détériorent (augmentation du V_T , diminution de I_d , ...) ou de relaxation quand les paramètres retournent vers leurs valeurs d'origines après s'être dégradés.

Dans cette partie on présentera dans un premier temps les défauts, ou pièges, responsables de cette variabilité dynamique. Ensuite, on présentera comment ces pièges impactent les performances électriques des transistors et génèrent ainsi cette variabilité temporelle.

1.3.2.1 Nature des pièges responsables de la variabilité dynamique

La variabilité dynamique est essentiellement due à des défauts, ou pièges, présents dans les transistors. Physiquement, deux zones particulières sont susceptibles de présenter des défauts :

- L'interface entre le substrat cristallin (Si) et l'oxyde interfacial (SiO_2). Ces défauts proviennent du désaccord de maille existant entre la structure cristalline du silicium dans le substrat et la silice amorphe.

- Les défauts présents dans l'oxyde de grille du transistor. Ils peuvent être localisés dans l'oxyde interfacial (SiO_2) ou dans le diélectrique HK (HfSiON)

On présente ici brièvement la nature de ces différents défauts.

Défauts d'interface : Centres P_b A cause du désaccord de maille entre la structure cristalline du substrat et de la silice amorphe, certains atomes de silicium de l'interface se retrouvent liés avec 3 autres atomes de silicium. De ce fait, ces atomes ne peuvent plus se lier avec un atome d'oxygène présent dans l'oxyde. L'atome de silicium a donc une liaison pendante et devient électriquement actif.

L'existence de ces défauts a été mise en évidence par des mesures ESR [27]. On les appelle des centres P_b .

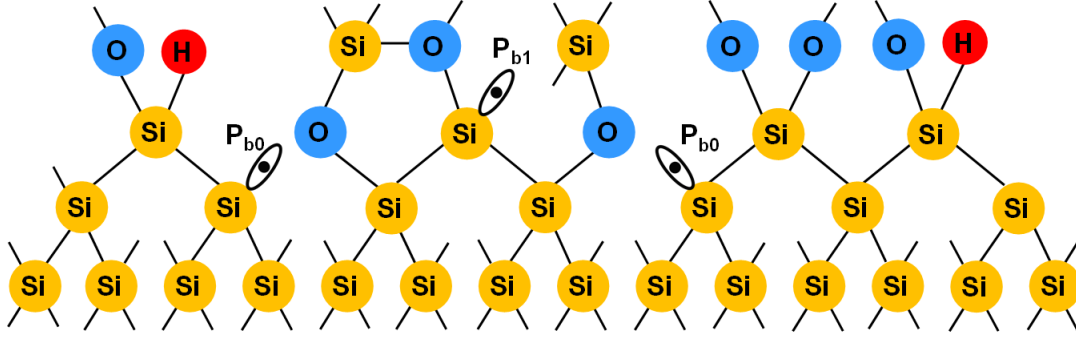


FIGURE 1.11 – Défauts P_{b0} et P_{b1} à l'interface entre le substrat de silicium cristallin (Si) et l'oxyde amorphe (SiO_2)

En tout, deux types de défauts d'interface ont été identifiés :

- Les centres P_{b0} correspondant à des liaisons : $\bullet\text{Si} \equiv \text{Si}_3$ [28]
- Les centres P_{b1} correspondant à des liaisons : $\text{Si}_2 = \text{Si} \bullet - \text{Si} \equiv \text{Si}_2\text{O}$ [29]

La Figure 1.11 montre ces deux types de défauts à l'interface entre le substrat de silicium cristallin (Si) et l'oxyde amorphe (SiO_2).

En pratique, on voit donc qu'il existe deux types de pièges. Cependant, des études ont montré que les centres P_{b1} étaient moins nombreux que les centres P_{b0} [30]. Par la suite, on se référera aux centres P_{b0} et P_{b1} sous l'appellation de défauts d'interfaces, notés Dit , sans chercher à les différencier.

Il est intéressant de noter que les centres P_b sont de nature amphotère, c'est à dire qu'ils peuvent capturer à la fois des trous et des électrons. En particulier, ils sont de type donneur (i.e. sont des pièges à trous) si le niveau d'énergie du piège, E_T , se situe dans la partie inférieure de la bande interdite ($E_V < E_T < E_i$). De la même façon, les centres sont de type accepteur (i.e. sont des pièges à électrons) si leur niveau d'énergie est au dessus de la moitié de la bande interdite du silicium ($E_T > E_i$).

Les dynamiques de remplissage et de vidage de ces pièges peuvent être modéliser par un modèle SRH (pour Shockley Read Hall) [31]. Ces défauts d'interface jouent donc un rôle dans le domaine de la variabilité dynamique. En effet, le remplissage de ces états d'interface influencent les paramètres électriques des transistors comme le V_T selon $\Delta V_{T,Dit}$:

$$\Delta V_{T,Dit} = \frac{q\Delta Dit(\Psi_S)}{C_{ox}} \quad (1.18)$$

Avec $q\Delta Dit$ la variation du nombre de porteurs piégées dans ces défauts. Le taux de remplissage des défauts d'interface dépend donc du niveau de Fermi au travers de Ψ_S .

Enfin, il est important de noter que ces défauts peuvent être passivés électriquement. Une méthode de passivation est le recuit à haute température (typiquement $T=400^\circ\text{C}$) sous atmosphère hydrogénée. Le recuit permet une passivation des centres P_b avec des atomes d'hydrogène [32], formant ainsi une liaison électriquement neutre. Sur la Figure 1.11 on voit quelques centres P_b qui ont été passivés par des liaisons Si-H.

Il est toutefois intéressant de noter que, les centres Si-H, obtenus par cette passivation, s'ils permettent de réduire le nombre de défauts d'interface présents à l'état initial, seront une des sources de la dégradation NBTI qui sera décrite plus loin. En effet, sous l'effet de la température et du champ électrique vertical, la liaison Si-H peut se casser et réactiver le défaut d'interface.

Défauts de volumes dans le SiO_2 De nombreux types de défauts sont présents dans le volume de SiO_2 [33]

- Les oxygènes non liants : $O_3 \equiv Si - O\bullet$
- Les silicium bivalents : $O_2 \equiv Si \bullet\bullet$
- Les centres E' : $O_3 \equiv Si\bullet$
- Les lacunes d'oxygène : $O_3 \equiv Si - Si \equiv O_3$
- Les ponts peroxydes : $O_3 \equiv Si - O - Si \equiv O_3$

En règle générale, on considère que les centres E' sont les défauts les plus présents dans l'oxyde [34]. Ce défaut est important car il a été identifié comme un des principaux acteurs de la dégradation NBTI [35].

Défauts de volumes dans le $HfSiON$ De par la réduction des dimensions dans la microélectronique, les transistors ont intégrés des matériaux High-K (typiquement $HfSiON$ et HfO_2) pour constituer l'oxyde de grille. Ces diélectriques présentent eux-aussi des défauts susceptibles d'interagir avec les porteurs du canal.

Les matériaux High-K sont plus récents et donc moins bien connus que l'oxyde de silicium classique. Toutefois, deux types de défauts ont pu être identifiés [36]

- Les groupements moléculaires contenant des atomes d'oxygène interstitiels. Les atomes d'oxygène peuvent être neutres (O^o) ou chargés négativement (O^- ou O^{2-})
- Les lacunes d'oxygène qui présentent différents niveaux de charge : V_O^+ , V_O^{2+} , V_O^- ou encore V_O^{2-} . Ces défauts sont considérés comme étant à l'origine des problèmes de piégeage dans les High-K [37].

Ces pièges peuvent donc être de types accepteur ou donneur. On considère qu'ils jouent un rôle important dans le PBTI où le piégeage dans le High-K est considéré comme prédominant.

1.3.2.2 Variabilité dynamique « à l'équilibre » : Bruit Basse Fréquence ou Random Telegraph Noise

Comme présenté dans la partie précédente, l'oxyde de grille des transistors comportent un certain nombre de pièges. Ces pièges sont susceptibles de capturer des porteurs du canal de conduction. Lors de la capture d'un porteur, ces pièges deviennent chargés. Par la suite, ils peuvent alors réémettre un porteur vers le canal pour retourner vers leur état neutre initial. Ces phénomènes d'émission et de capture de porteurs entraînent une fluctuation des paramètres électriques du transistor. On appelle cette variabilité temporelle le RTN (pour Random Telegraph Noise).

Ces événements discrets de fluctuation de courant ont été observés pour la première fois sur des dispositifs de taille $< 0.1\mu m^2$ en 1984 par K. S. Ralls [38]. En effet, de la même façon que pour le RDD, la réduction des dimensions a entraîné la diminution du nombre de pièges présents dans la grille des transistors. Cette diminution est telle qu'aujourd'hui le nombre de pièges est suffisamment faible pour pouvoir observer leur manifestation individuelle.

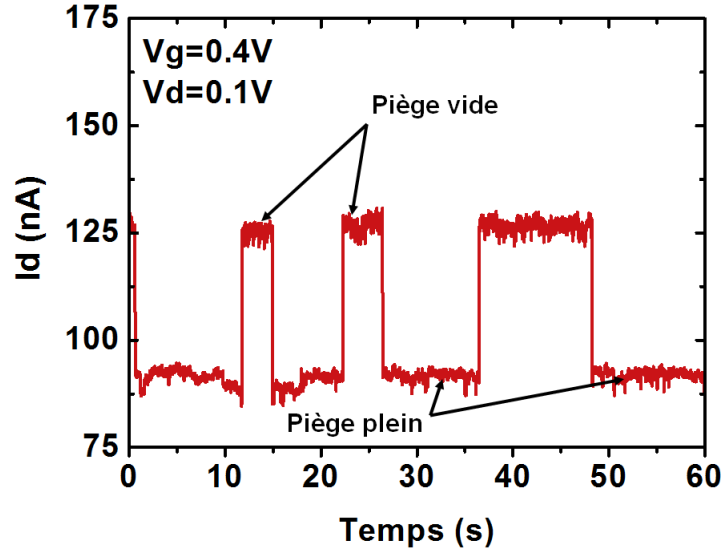


FIGURE 1.12 – Mesure du bruit RTN sur un transistor FDSOI de dimension $W=80nm$ et $L=30nm$

La Figure 1.12 montre les fluctuations du courant de drain, à cause d'un piège unique, mesurées sur un transistor FDSOI décananométrique ($W=80nm$ et $L=30nm$).

Sur la Figure, on voit que le piège présent dans le transistor capture et émet un porteur faisant ainsi osciller le courant mesuré sur l'électrode de drain.

Lorsque le piège est chargé, le courant I_d du transistor diminue à cause de la répulsion Coulombienne induite par le défaut chargé. Lorsque le piège réémet le porteur vers le canal, le courant retourne vers sa valeur initiale. Le courant de drain peut donc prendre deux valeurs, correspondant aux deux états du piège, et oscille autour d'une valeur moyenne (ici $\approx 110nA$ sur la Figure).

Il est intéressant de noter qu'à un unique piège correspondent deux valeurs de courant possibles. Ainsi, sur un transistor présentant 3 pièges par exemple il sera possible de mesurer six valeurs de courant différentes. Ceci peut rendre l'étude du RTN passablement complexe et nécessiter de long temps d'échantillonnage pour caractériser complètement les différents pièges, notamment pour obtenir leurs temps caractéristiques de capture et d'émission.

La mesure directe du RTN sur des dispositifs a permis d'étudier leur comportement. En particulier, on notera que les pièges sont tous entièrement déterminés par un trio de facteurs : leur temps moyen d'émission τ_e , leur temps moyen de capture τ_c et leur impact sur le courant ΔI_d qui traduit en fait une variation de la tension de seuil ΔV_T .

On considère que cette variabilité est « à l'équilibre » car elle n'évolue pas avec le temps. Le piège observé dans la Figure 1.12 se manifeste pour des conditions de mesures précises (V_g , V_d) et fera fluctuer le courant de drain autour d'une valeur moyenne. En somme, le courant ne fera qu'osciller entre deux valeurs distinctes.

Il est intéressant de noter que l'influence des pièges est maximale lorsque le transistor est en régime de fonctionnement sous le seuil. La Figure 1.13 montre l'impact d'un piège sur le courant de drain ($\Delta I_d/I_{d0}$) d'un transistor pour plusieurs polarisations de grille possible.

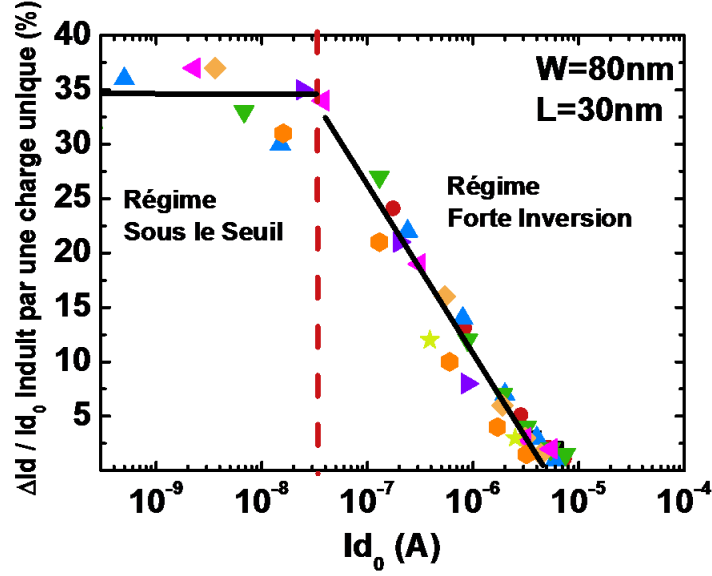


FIGURE 1.13 – Impact d'un piège sur le courant de drain du transistor en fonction du courant circulant de le canal

On distingue deux zones de fonctionnement différentes pour le piège. Une zone dans laquelle son influence sur le courant du transistor est maximale ($\Delta Id/Id_0 \approx 35\%$) et constante. Cette zone correspond au régime de fonctionnement sous le seuil du transistor. Et une seconde zone dans laquelle l'impact du piège diminue avec l'augmentation du courant de drain. Cette diminution de l'effet du piège vient de l'écrantage électrostatique de la couche d'inversion qui augmente en régime de forte inversion [39] selon l'expression donnée par [40] :

$$\frac{\Delta Id}{Id} = \frac{Gm}{Id} \frac{q}{WLC_{ox}} \quad (1.19)$$

1.3.2.3 Variabilité dynamique « hors l'équilibre » induite par un stress Bias Temperature Instability

On se concentre maintenant sur la variabilité dynamique dite « hors équilibre ». Dans cette variabilité, les paramètres électriques des transistors vont évoluer. Ils pourront devenir moins bons, on parlera alors de dégradation. Mais ils pourront aussi, après s'être dégradés, retourner vers leur valeur initiale (c'est à dire non dégradée), on parlera alors de relaxation.

La dégradation BTI (pour Bias Temperature Instability) est la principale source de variabilité dynamique des transistors actuels.

Il existe deux mécanismes de dégradation BTI, un pour les transistors NMOS, le PBTI (pour Positive BTI) et un pour les transistors PMOS, le NBTI (pour Negative BTI). Cette dégradation se manifeste lorsqu'une tension (ou Bias) est appliquée sur la grille des transistors tandis que la source et le drain sont maintenus à 0V. Par la suite, cette tension sera appelée tension de contrainte, ou tension de stress $V_{gStress}$.

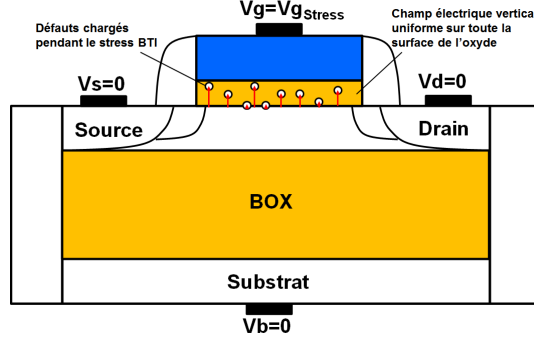


FIGURE 1.14 – Illustration de la dégradation BTI sur un transistor FDSOI

Ainsi, contrairement au RTN, le BTI se caractérise par une **dégradation** des paramètres électriques des transistors (I_d , G_m et V_T). En effet, à mesure que le temps de stress, t_{Stress} , augmente, on observe une dégradation continue de ces paramètres.

Au cours d'un stress BTI, il est important de rappeler que la tension de drain est nulle. De ce fait, aucun courant ne circule dans le canal. Lorsque la tension de stress est appliquée sur la grille, il se forme un fort champ vertical, uniforme sur toute la surface du transistor. La Figure 1.14 illustre la configuration du transistor lors d'un stress BTI.

Une particularité du BTI est l'aspect réversible de la dégradation. En effet, les paramètres dégradés au cours du stress ont tendance à revenir vers leur valeur initiale une fois le stress arrêté. On parle alors de relaxation. La tension de grille appliquée au cours de cette phase est nulle en règle générale, on la note V_{gRelax} . De même, on note t_{Relax} le temps où l'on maintient la tension de grille à V_{gRelax} .

La Figure 1.15 montre l'évolution des courbes $I_d(V_g)$ (en régime linéaire), mesurées sur un transistor PMOS FDSOI (large $W=1\mu m$ et court $L=30nm$), pour différents temps de stress et de relaxation. Les mesures ont été effectuées à $T=125^\circ C$ car la dégradation NBTI est un phénomène qui est plus important à haute température.

On voit clairement une diminution des performances électriques du transistor au cours de la phase de stress (diminution de I_d et augmentation de $|V_T|$). On voit également que la dégradation diminue dans la phase de relaxation et les paramètres électriques du transistors ont tendance à revenir vers leur valeur initial.

Par la suite, on se concentrera souvent sur l'effet du BTI sur le V_T des transistors et, plus particulièrement, sur le décalage de tension de seuil induit par le BTI, appelé ΔV_T , et définie par :

$$\Delta V_T(t) = |V_T(t) - V_T(t_0)| \quad (1.20)$$

Avec t qui représente le temps de stress ou de relaxation, et t_0 le temps de stress nul. Ainsi, $V_T(t_0)$ est la tension de seuil des transistors non stressés.

De la même façon, on peut définir les paramètres ΔG_m et ΔSS qui caractériseront la dégradation de la transconductance et de la pente sous le seuil au cours du stress :

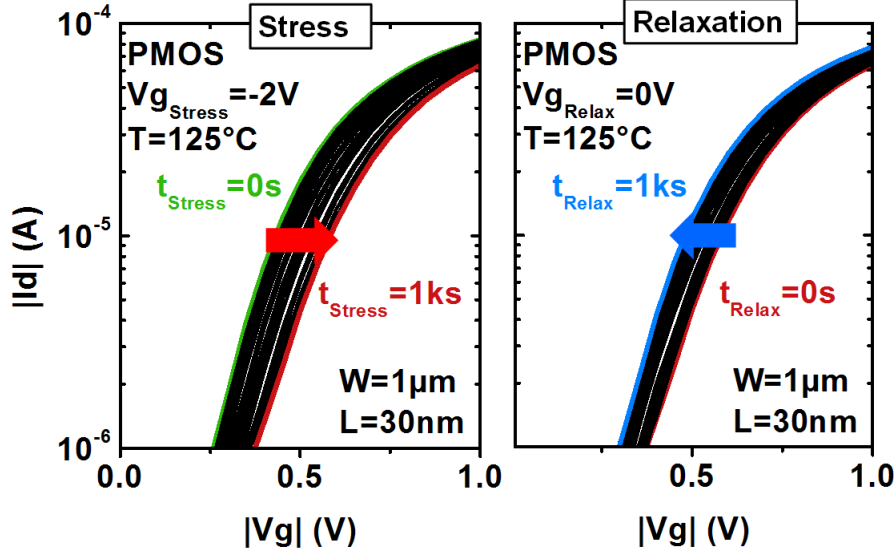


FIGURE 1.15 – Courbes $I_d(V_g)$ mesurées au cours d'un stress BTI (Gauche) et d'une relaxation BTI (Droite)

$$\Delta Gm(t) = |Gm(t) - Gm(t_0)| \quad (1.21)$$

$$\Delta SS(t) = |SS(t) - SS(t_0)| \quad (1.22)$$

Il est difficile de suivre l'évolution de ces grandeurs directement sur les courbes $I_d(V_g)$ au cours du stress et de la relaxation comme c'est le cas sur le Figure 1.15. De ce fait, dans la suite, on représentera directement la dégradation de ces paramètres au cours du temps. La Figure 1.16, tout d'abord, montre tout d'abord la variation de V_T au cours d'un stress et d'un relaxation NBTI.

De la même façon, la Figure 1.17 montre la dégradation relative des paramètres V_T , Gm_{max} , et SS au cours du stress.

On voit sur la Figure que le BTI peut avoir un impact important sur le fonctionnement des dispositifs. Sur ce transistor, la dégradation atteint $\approx 150\text{mV}$ d'augmentation du V_T après un stress de 1ks à $V_{g_{Stress}} = -2\text{V}$. On remarque également que cette dégradation est temporaire étant donné qu'une grande partie de la dégradation disparaît dans la période de relaxation.

Lors des mesures de dégradation BTI, la tension de stress est typiquement égale à ~ 2 fois la tension d'alimentation V_{dd} . En effet, si le mécanisme de dégradation intervient quelle que soit la tension utilisée, son importance s'accroît avec l'augmentation de la tension de stress. Ainsi, pour accélérer les mécanismes de dégradation et mesurer des grandeurs non négligeables de ΔV_T on applique une tension de stress supérieure à celle qui sera appliquée au transistor dans des conditions normales de fonctionnement (c'est à dire quand la grille sera égale à V_{dd}). L'idée est d'accélérer les procédés de dégradation pour avoir une estimation correcte de la dégradation et estimer ensuite, grâce à un modèle d'extrapolation, la dégradation aux conditions de fonctionnement d'un circuit.

La Figure 1.17 montre les variations (en relatif) des paramètres V_T , Gm_{max} , et SS au cours

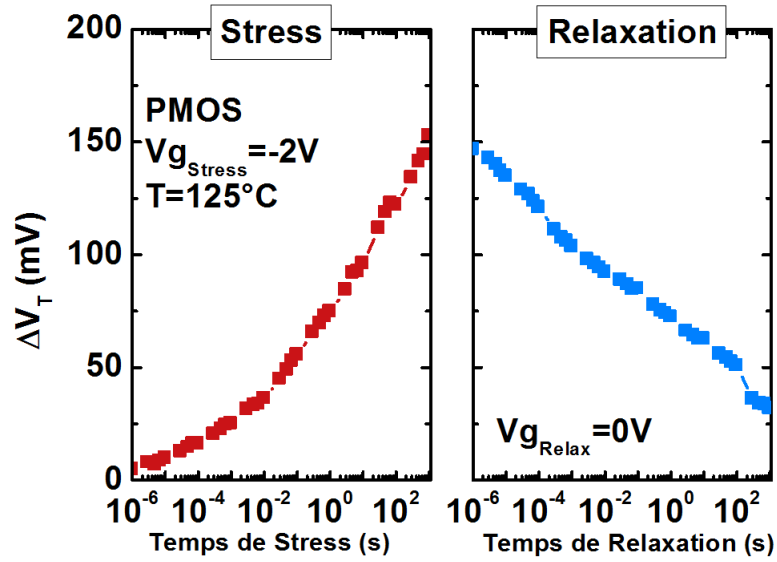


FIGURE 1.16 – Dégradation NBTI mesurée sur le transistor de la Figure 1.15. (Gauche) Stress et (Droite) Relaxation

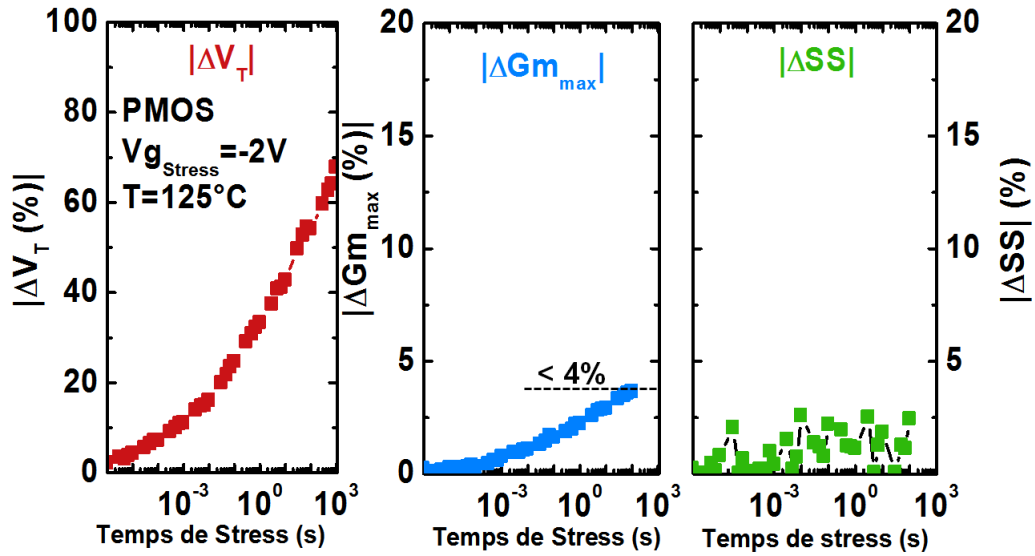


FIGURE 1.17 – Variations relative des paramètres V_T (Gauche), Gm_{max} (Milieu), et SS (Droite) mesurées au cours d'un stress NBTI

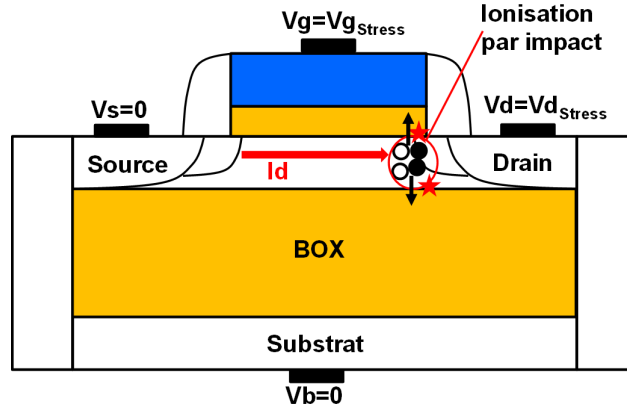


FIGURE 1.18 – Illustration de la dégradation HCI sur un transistor FDSOI

d'un stress NBTI. On voit que la dégradation du V_T ($\approx 70\%$) est beaucoup plus importante que la dégradation du Gm_{max} ($\approx 4\%$) et de la pente sous le seuil ($\approx 2\%$). Pour cette raison, par la suite on s'intéressera principalement, lors des stress NBTI, à la dégradation du V_T .

1.3.2.4 Variabilité dynamique « hors l'équilibre » induite par un stress Hot Carrier Injection

Au même titre que la dégradation BTI, le HCI (pour Hot Carrier Injection) est un autre mécanisme entraînant la dégradation des paramètres électriques des transistors. Il constitue donc une autre source de variabilité dynamique « hors équilibre ».

Cette dégradation se manifeste lorsque une forte tension est appliquée sur la grille du transistor, $V_{g_{Stress}}$, ainsi que sur le drain, $V_{d_{Stress}}$ (contrairement au BTI où l'électrode de drain était connectée à la masse). Dans cette configuration, un fort courant circule alors dans le canal du transistor et les porteurs, très énergétiques, créent une zone de dégradation localisée près du drain comme on peut le voir sur la Figure 1.18. On est donc dans une configuration bien différente de la dégradation BTI où le courant est quasi nul et la dégradation est uniforme dans tout l'oxyde.

La Figure 1.18 montre que les porteurs (électrons pour des NMOS et trous pour des PMOS) arrivent sur le drain et interagissent avec les atomes du réseau pour former des paires électrons-trous. Ces paires vont ensuite être attirées vers l'oxyde de grille et vont endommager fortement l'interface substrat/oxyde de grille.

La dégradation HCI est généralement plus importante sur les transistors NMOS. Ceci est en partie due au fait que les transistors NMOS délivrent plus de courant que les transistors PMOS.

De la même façon que le mécanisme BTI, le HCI entraîne une dégradation de tous les paramètres électriques du transistor : I_d , Gm et V_T . De plus cette dégradation a aussi tendance à se relaxer (même si, on le verra dans le Chapitre 2, la part de la relaxation est bien moins importante que dans le cas d'une dégradation BTI).

Sur la Figure 1.18 on voit également que, contrairement au BTI, la dégradation HCI est localisée. En effet, l'essentiel de la dégradation se produit près de l'électrode de drain et est proche de l'interface substrat/oxyde de grille.

On voit également un problème posé par la technologie FDSOI. En effet, la présence d'une

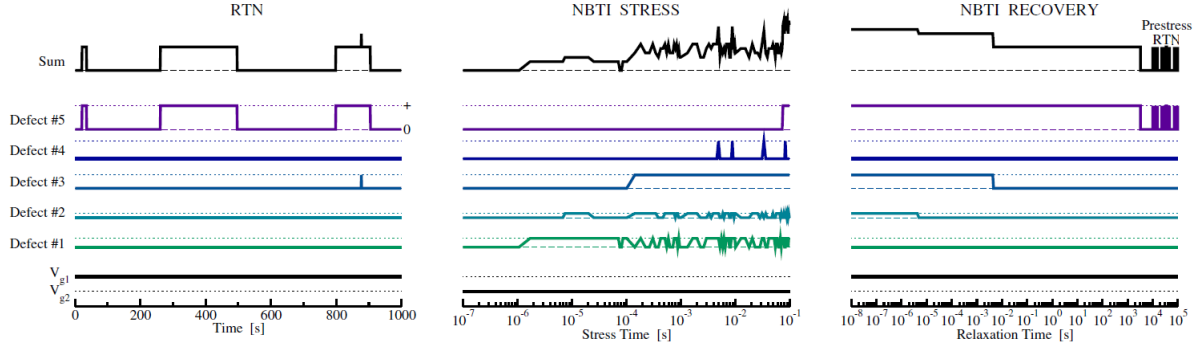


FIGURE 1.19 – Schéma de l'activité de 5 défauts dans les différentes configuration : (Gauche) RTN, (Milieu) stress BTI et (Droite) relaxation BTI [42]

interface arrière pose la question d'une possible dégradation de cette interface lors du stress HCI. Cependant, des études ont montré que l'essentiel de la dégradation générée au cours d'un stress HCI se concentrait sur l'interface avant [41].

1.3.2.5 Similitudes entre RTN et BTI

Récemment, des études ont avancé que la dégradation BTI et la variabilité RTN n'étaient que deux visions du même phénomène. Les travaux de Tibor Grassner [42], postulent que le centre E' serait responsable de ces deux phénomènes. La Figure 1.19 montre comment le piège peut se manifester dans les deux configurations.

Les simulations montrées sur cette Figure montrent le comportement de 5 pièges dans les 3 différentes configurations (configuration RTN, stress BTI et relaxation BTI). Dans la configuration RTN ($V_g = |V_{g1}| \approx V_T$), seul un piège est globalement actif durant la période de simulation (le défaut #5) et un ne se manifeste qu'une seule fois (le défaut #4). Les autres restent inactifs sur cette gamme de temps. Au final, le signal mesuré (Sum) montre globalement les oscillations du seul piège #5. On retrouve globalement dans ce cas un bruit RTN semblable à celui que l'on a mesuré expérimentalement dans la Figure 1.12.

Lorsqu'on passe en mode de stress NBTI ($V_g = |V_{g2}| > |V_{g1}|$), on va alors favoriser la capture de porteurs par les pièges. Ceux-ci vont se charger au cours du stress et vont rester globalement chargés. De cette façon, les contributions des différents pièges se somment au cours du temps et la tension de seuil des dispositifs augmente.

Finalement, lorsque la tension de stress est retirée (maintenant, on a de nouveau $V_g = |V_{g1}| \approx V_T$), les pièges qui s'étaient chargés lors du stress NBTI ont tendance à se vider pour retourner vers l'état dans lequel ils étaient lorsque $V_g = |V_{g1}|$.

Une fois que tous les défauts se sont vidés, on retourne dans la configuration de RTN prestress. Ainsi, selon cette théorie, BTI et RTN témoignent de la manifestation *des mêmes pièges*. Cette théorie constitue une des explications possibles du NBTI et est largement débattue aujourd'hui dans la communauté de la fiabilité microélectronique.

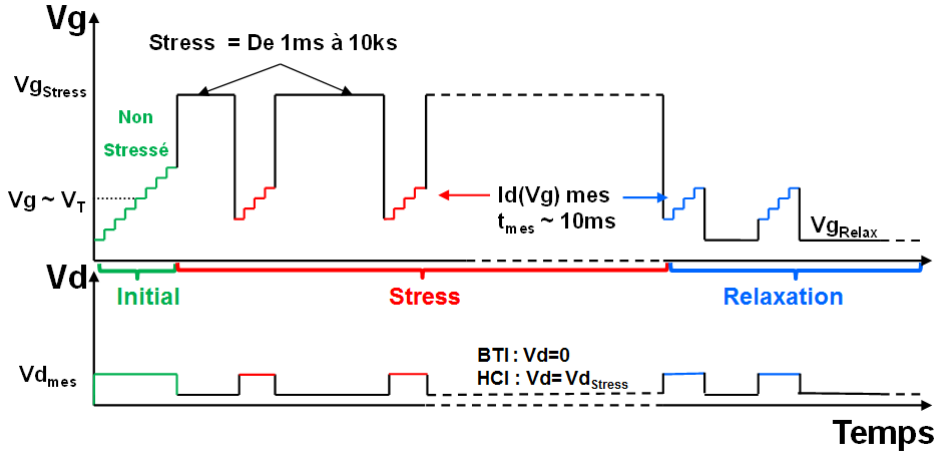


FIGURE 1.20 – Chronogrammes des tensions de grille et de drain lors d'un stress DC BTI

1.4 Techniques de caractérisation de la variabilité dynamique

On a présenté dans les parties précédentes le principe de fonctionnement du transistor FDSOI et comment les différentes sources de variabilité, statique et dynamique, pouvaient affecter leurs performances électriques. Dans cette partie, on présentera une partie des techniques de caractérisation qui nous ont permis d'évaluer ces différentes sources de variabilité.

1.4.1 Mesure standard de la dégradation BTI et HCI

On présente dans un premier temps la technique de mesure classique pour réaliser des stress BTI et HCI. Cette technique est habituellement utilisée pour comparer divers variantes technologiques et estimer laquelle est la meilleure d'un point de vue de la fiabilité (comme on le verra dans la partie 1.5).

Pour réaliser des mesures BTI, ou HCI, classiques on utilise des SMU (pour System Measurement Unit) qui permettent d'appliquer une tension sur les différentes électrodes du transistor et de mesurer un courant. La Figure 1.20 présente les chronogrammes des tensions appliquées sur les électrodes de grilles et de drain par les SMU lors d'un stress BTI ou HCI.

Dans la technique présentée sur la Figure, on réalise une mesure $I_d(V_g)$ initiale permettant de caractériser le transistor à l'état initial, i.e. le transistor non stressé. La tension de grille est ensuite fixée à tension de stress $V_{g_{Stress}}$. Après un certain temps, on arrête le stress pour réaliser une nouvelle mesure de la caractéristique $I_d(V_g)$. Cette mesure permet d'évaluer la dégradation des différents paramètres électriques du transistor au cours du premier temps de stress. Enfin, la tension de grille est de nouveau fixée à $V_{g_{Stress}}$ et on répète ces opérations jusqu'à atteindre le temps de stress total souhaité. Pour cette raison on appelle cette technique de mesure de la dégradation : technique SMS (pour Stress-Measure-Stress) ou MSM (pour Measure-Stress-Measure).

Cette technique de stress est aussi appelée technique de stress BTI DC. Par DC, on entend que la tension de stress $V_{g_{Stress}}$ reste constante au cours des phases de stress (par opposition aux stress AC qui seront présentés dans le Chapitre 2).

Les stress NBTI et PBTI sont réalisés exactement de la même façon à la différence que

les tensions de drain et de grille sont opposées (négatives pour les PMOS et positives pour les NMOS).

On notera que la réalisation de stress HCI est tout aussi simple : il suffit d'appliquer une tension de stress sur l'électrode de drain, $V_{d_{stress}}$, synchronisée avec la tension de stress appliquée sur la grille, au lieu d'appliquer 0V comme c'est le cas pour le stress BTI.

Les SMU utilisés dans nos expériences permettent des mesures « quasi statique » des courbes caractéristiques $I_d(V_g)$. Le temps de mesure, t_{mes} , d'une caractéristique complète $I_d(V_g)$ est d'environ 10ms.

1.4.2 Techniques de mesures rapides

La technique de mesure de la dégradation BTI, présentée précédemment, est une mesure dite quasi statique. De ce fait, les temps de mesures du V_T au cours du stress sont de l'ordre de la dizaine de millisecondes.

Si cette technique nous permet de comparer facilement des variantes technologiques, elle nous donne peu d'information sur ce qui se passe en terme de dégradation pour des temps très courts. De plus, elle peut conduire à des erreurs d'évaluation de la dégradation globale et donc de l'évaluation des durées de vie des dispositifs.

Dans cette partie, on présentera une technique de mesure rapide permettant de répondre à ces problèmes.

1.4.2.1 Importance des mesures rapides pour évaluer la dégradation BTI

Comme expliqué lors de la description de la dégradation BTI, le phénomène dégrade les paramètres électriques du transistor lorsqu'une tension est appliquée sur la grille. Lorsque cette tension est retirée, la dégradation se relaxe et les paramètres du transistors ont tendance à se relaxer pour retourner vers leur valeur non-stressée.

De ce simple constat apparaît un des plus grands défis de la fiabilité au niveau du transistor : Comment mesurer efficacement la dégradation BTI ?

En effet, des mesures lentes entraînent une évaluation erronée de la dégradation. La Figure 1.21 illustre bien ce problème.

La dégradation BTI démarre dès qu'une tension est appliquée sur la grille des transistor. Pour évaluer cette dégradation on arrête le stress pour mesurer les courbes caractéristiques $I_d(V_g)$, permettant ainsi l'évaluation de la dégradation au cours du temps. La complexité de l'évaluation de la dégradation BTI vient de cette période d'arrêt. En effet, de la même façon que la dégradation, la relaxation va démarrer dès que la tension de grille va être abaissée pour passer de la tension de stress à la tension de relaxation.

De ce fait, la caractéristique mesurée ne représente pas la dégradation affectant effectivement les dispositifs. La Figure 1.21 illustre très bien cet effet, et montre que plus le temps de mesure est long et plus la dégradation estimée par la mesure est éloignée de la dégradation affectant réellement les dispositifs.

Cette problématique de la mesure constitue un véritable défi car estimer précisément la dégradation affectant les transistors est primordial pour évaluer correctement la durée de vie des dispositifs. Pour répondre à ce problème, nous avons développé une technique de mesure ultra-rapide du courant.

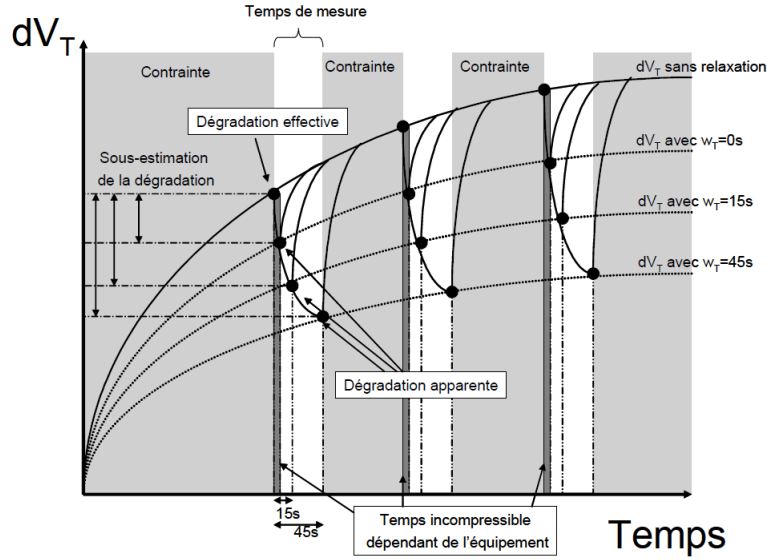


FIGURE 1.21 – Effet de la relaxation BTI sur l'évaluation de la dégradation [43]

1.4.2.2 Mesures rapides : Appareil de mesure

Pour réduire au maximum les temps de mesures et limiter les effets de relaxation, un appareil de mesure rapide a été utilisé. Le B1530A d'Agilent permet de contrôler des WGFMU (pour Waveform Generator Fast Measurement Unit) qui nous permettent de réaliser des mesures du courant ultra rapide. La Figure 1.22 montre un schéma du montage utilisé pour réaliser ces mesures.

La grille et le drain du transistor sont connectés aux WGFMU (ou RSU) par des câbles SMA. Le montage préconise l'utilisation d'une boucle de masse afin de réduire le bruit de mesure. On discutera dans l'annexe A de l'importance de cette boucle pour réaliser des mesures stables.

Les performances de mesures de l'appareil sont données sur La Table 1.1.

Gamme de courant	Délai avant mesure T_{Del}	Temps de mesure min. T_{Avg}
10 mA	100 ns	70 ns
1 mA	250 ns	250 ns
100 μ A	0.6 μ s	1 μ s
10 μ A	4.5 μ s	10 μ s
1 μ A	80 μ s	115 μ s

TABLE 1.1 – Temps d'établissement du courant et de mesure en fonction des différents calibres du B1530 [44]

Contrairement aux mesures quasi statiques effectuées avec des SMU, il est nécessaire de fixer le calibre de mesure des WGFMU avant de réaliser la mesure. Un calibre de mesure donne accès à des mesures de courants jusqu'à 3 décades en dessous du calibre sélectionné. Par exemple, un calibre de 1mA sera capable de mesurer correctement des courants compris entre 1 μ A et 1mA.

En regardant le tableau 1.1, on voit que le temps de mesure est fortement influencé par le

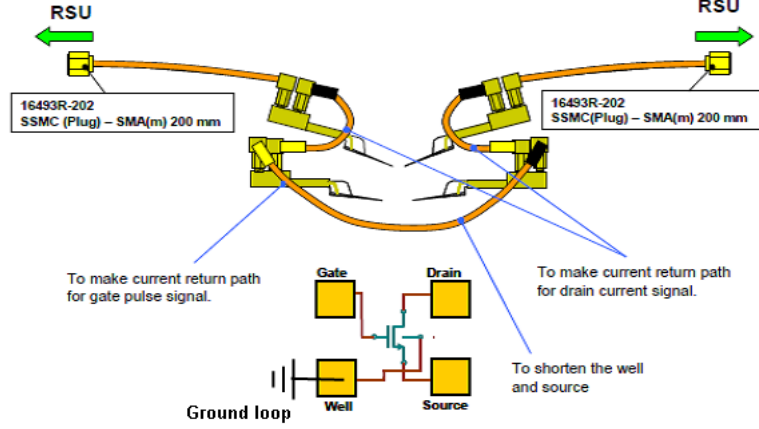


FIGURE 1.22 – Schéma du montage utilisé pour réaliser des mesures rapides [44]

calibre utilisé. Ainsi, plus nos dispositifs délivreront un courant important et plus il sera possible d'utiliser un calibre élevé et réaliser des mesures rapides.

De plus, on constate que, quel que soit le calibre choisi, le temps de mesure nécessaire pour réaliser des caractéristiques $I_d(V_g)$ est fortement réduit par rapport au temps nécessaire à des SMU pour mesurer la même caractéristique.

Le temps de mesure, t_{mes} , d'une caractéristique complète $I_d(V_g)$ est simplement donné par :

$$t_{mes} = (T_{Del} + T_{Avg}) \cdot NbPas \quad (1.23)$$

Avec T_{Del} , le temps d'attente nécessaire pour que la tension appliquée soit stable, T_{Avg} le temps de mesure minimum pour avoir une estimation correcte du courant et $NbPas$ le nombre de point dans la caractéristique $I_d(V_g)$.

Ainsi, une caractéristique $I_d(V_g)$ sur 10 points ne prendra que $5\mu s$ au calibre 1mA. Ce temps est ≈ 1000 fois plus faible que celui nécessaire aux SMU classiques pour réaliser une caractéristique ($\approx 10ms$).

La stabilité de ces mesures rapides a été évaluée au cours de la thèse. Les résultats de ces mesures sont présentés dans l'annexe A.

1.4.2.3 Erreur sur la dégradation réelle lors de mesures lentes

Mesurer la dégradation exacte affectant les transistors est un enjeu réel. On a réalisé des mesures sur les mêmes dispositifs en utilisant des mesures lentes (avec des SMU) et en utilisant des mesures rapides (avec les WGF MU). Les résultats sont présentés sur la Figure 1.23.

Les dispositifs ont donc vu exactement les mêmes stress NBTI, la seule chose qui diffère entre les deux expériences est la rapidité avec laquelle a été effectuée la mesure des courbes caractéristiques $I_d(V_g)$. Le premier résultat important que l'on voit et la quantité d'information que nous apporte les mesures rapides : elle est bien plus grande. En effet, on est capable de suivre la dégradation sur 9 décades de temps (de $10^{-6}s$ de stress à 10^3s) là où les mesures avec des SMU ne nous permettent que de suivre la dégradation sur un peu plus de 4 décades.

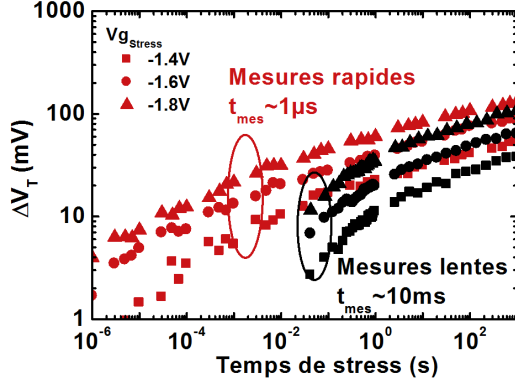
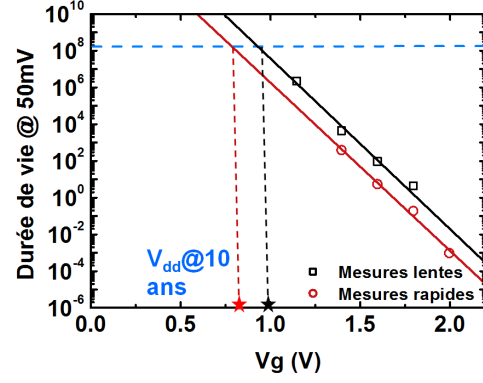


FIGURE 1.23 – Comparaison de mesures NBTI réalisées lentement (Noir) et rapidement (Rouge)



Le deuxième point important que l'on remarque est que la dégradation est plus importante sur les mesures rapides. En effet, à tension de stress égale, la dégradation obtenue au cours des mesures rapides est toujours supérieure à celle extraite au cours des mesures lentes. Ces mesures illustrent bien le problème énoncé en introduction avec la Figure 1.21. La dégradation plus importante obtenue grâce aux mesures rapides est uniquement due au fait que les dispositifs ont moins eu le temps d'entamer leur relaxation que la dégradation obtenue sur des dispositifs mesurés lentement. Cette « sous estimation » de la dégradation peut conduire à des erreurs sur l'évaluation de la durée de vie des dispositifs. Ce problème est illustré sur la Figure 1.24 dans laquelle on présente une estimation des durées de vie des dispositifs dans le cas de mesure rapides et lentes

Pour valider une technologie du point de vue de la fiabilité, on veut que celle ci ne présente pas plus de 50mV de ΔV_T après 10 ans de fonctionnement à la tension de fonctionnement du circuit. Grâce aux mesures de dégradation NBTI réalisées à plusieurs tensions de stress, on est capable, pour chaque tension, d'extraire le temps nécessaire pour parvenir à 50mV de dégradation. En faisant cette opération pour trois tensions on est capable d'estimer, par un modèle d'extrapolation linéaire simple, la tension maximale autorisée pour ne pas dépasser 50mV de dégradation après 10 ans ($\approx 3.10^8s$) de fonctionnement. Pour valider une technologie, cette tension doit être évidemment supérieure à la tension d'alimentation.

Il est important de noter que le modèle d'extrapolation linéaire de la dégradation utilisé ici est très basique et généralement faux. On verra dans la suite des modèles plus adaptés pour prédire correctement la dégradation BTI. On utilise ici ce modèle d'extrapolation linéaire simplement pour illustrer l'importance des mesures rapides lors de l'évaluation des durées de vie des dispositifs.

On regarde maintenant les résultats de la Figure 1.24, si on considère les mesure lentes, la tension maximale autorisée pour ne pas dépasser un ΔV_T de 50mV après 10 ans de fonctionnement est $V_{dd,lent}(10ans)=0.93V$. Alors que si l'on considère les mesures rapides, la tension extraite pour valider ce critère est $V_{dd,rapide}(10ans)=0.78V$. On voit bien ici comment la différence des dégradations mesurées au niveau des dispositifs peut entrainer une mauvaise évaluation de la dégradation à long terme.

Étant donné que la microélectronique cherche à réduire de plus en plus les tensions d'alimentation (afin de diminuer la consommation des produits par exemple), il est important de savoir exactement quelle dégradation affecte nos transistors sur le long terme pour évaluer correctement leurs durées de vie.

Ces résultats sont problématiques et illustrent bien une des grandes difficultés de la fiabilité contemporaine liée au NBTI. En effet, la dégradation affectant nos dispositifs démarre dès que la tension de stress est appliquée, c'est à dire, dès que les pièges sont capables de capturer/émettre des porteurs. Seulement nous sommes limités par les instruments de mesures pour évaluer cette dégradation.

Il est important de mesurer le plus rapidement possible les dispositifs pour évaluer la dégradation exacte affectant nos transistors. Ces mesures sont essentielles pour avoir des modèles correctement calibrés et ainsi permettre ensuite de prédire correctement le comportement de nos dispositifs à des temps de fonctionnement très longs.

1.4.3 Caractérisation du piégeage dans des transistors décananométriques

Dans cette partie, on se concentre sur l'utilisation de ces mesures rapides pour caractériser les phénomènes de piégeage dans des transistors de petites dimensions.

1.4.3.1 Caractérisation électrique de pièges individuels

Comme expliqué précédemment dans la section 1.3.2.5, les pièges d'oxyde qui jouent un rôle important dans la dégradation NBTI sont également responsables du RTN.

De ce fait, il est possible d'étudier le comportement de ces pièges de deux façons différentes. La première consiste simplement à mesurer le RTN présent dans les transistors comme présenté dans la Figure 1.12. Cette technique comporte toutefois des limites.

En effet, on ne caractérise qu'une portion des pièges d'oxyde : ceux qui sont visibles aux conditions de tensions de grille et de drain appliquées lors de la mesure. De plus, le choix de la fenêtre de mesure expérimentale pose problème : quand doit on arrêter de mesurer le bruit RTN ? Typiquement, si on mesure le bruit RTN pendant une fenêtre de 60s et qu'un unique piège se manifeste durant la mesure, cela implique t-il nécessairement qu'un seul piège est présent dans ce transistor ? Si la mesure avait été étendue à 600s peut-être un autre piège aurait-il pu se manifester.

On comprend donc bien qu'il n'est pas aisé de caractériser le nombre de pièges d'un dispositif avec des mesures de bruit RTN seul.

De ce fait, il est plus efficace pour étudier le comportement des pièges d'utiliser le fait que le BTI représente une manifestation hors équilibre de ces pièges. En mesurant les pièges dans une configuration de relaxation BTI, il est possible de caractériser plus facilement un nombre bien plus important de pièges [45].

Expérimentalement, la technique consiste à appliquer une tension de grille permettant le remplissage des pièges d'oxyde. On appellera cette tension $V_{gStress}$ par analogie avec la tension utilisée lors de stress BTI cependant elle correspond plus à une tension de « remplissage » des pièges qu'à une tension de stress à proprement parler. Le temps de « remplissage » des pièges sera de même noté t_{Stress} .

Une fois la phase de remplissage terminée, la tension de grille est alors abaissée à une valeur proche de la tension de seuil (appelé aussi V_{gRelax}) du transistor pour permettre la lecture du

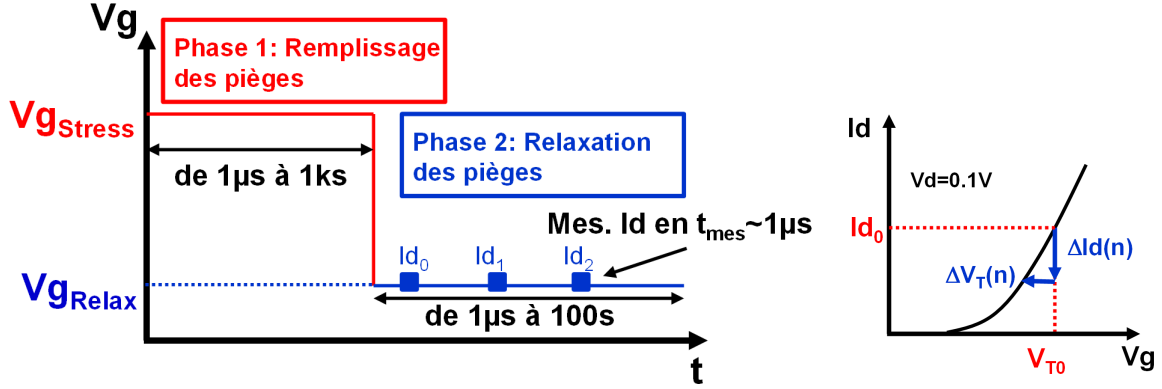


FIGURE 1.25 – (Gauche) Schéma de l’expérience permettant de mesurer la relaxation des pièges après remplissage. (Droite) Conversion des décalages de courants causés par la capture des pièges, $\Delta I_d(n)$, en décalage de tension de seuil, $\Delta V_T(n)$

courant de drain. Les pièges chargés vont alors se vider et on pourra mesurer leur émission individuelle pendant la durée de la relaxation t_{Relax} .

De par sa nature, on appellera donc cette technique de mesure : technique de stress/relax ou de remplissage/vidage. La Figure 1.25 montre un schéma expliquant rapidement le principe de l’expérience.

Le premier paramètre facilement mesurable avec cette expérience est l’effet des pièges sur le courant. Cette variation du courant est facilement transformable en influence sur le V_T par la conversion montrée sur la Figure 1.25. Avant d’augmenter la tension à V_{g_Stress} pour charger les pièges, on procède à une mesure de la caractéristique $I_d(V_g)$ initiale permettant ainsi de caractériser les transistors avant la capture des pièges. Les valeurs des sauts de courants dus à un unique piège, $\Delta I_d(n)$, mesurés après lors de la relaxation sont ensuite comparés à la courbe initiale $I_d(V_g)$ pour obtenir le décalage équivalent en terme de tension de seuil $\Delta V_T(n)$. Il est important de noter que l’on considère ici que toute la dégradation du courant est due à la dégradation de la tension de seuil. En théorie, la dégradation devrait résulter de la dégradation de V_T et de la mobilité des porteurs dans le canal [46] :

$$\frac{\Delta I_d}{I_d} = -\frac{G_m}{I_d} \Delta V_T + \frac{\Delta \beta}{\beta} \quad (1.24)$$

Cependant, la tension de relaxation à laquelle on mesure la dégradation est inférieure à la tension de seuil des dispositifs testés. De plus, la tension de drain appliquée lors de la relaxation ($V_d=100mV$) correspond à un régime de fonctionnement linéaire. Si bien que l’on considère que le mobilité n’est pas dégradée et que toute la dégradation du courant est due uniquement à la dégradation du V_T . Cette approximation permet de convertir directement les sauts de courant dus aux pièges ΔI_d en sauts de tension équivalent ΔV_T .

1.4.3.2 Caractéristiques des pièges d’oxyde

On a donc fait le choix d’étudier les pièges individuels en mesurant leur relaxation après une période de chargement.

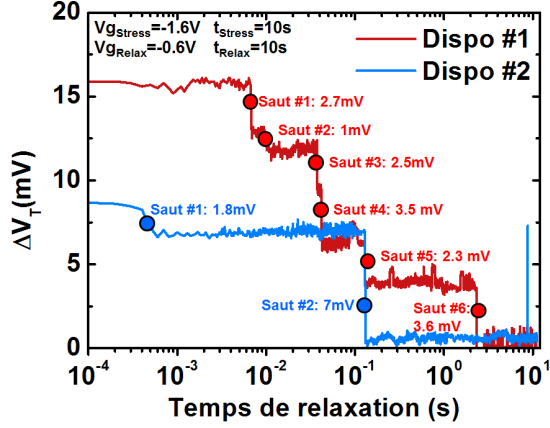


FIGURE 1.26 – Mesure de la relaxation NBTI sur deux transistors après 10s de stress à $V_{gStress} = -1.6V$

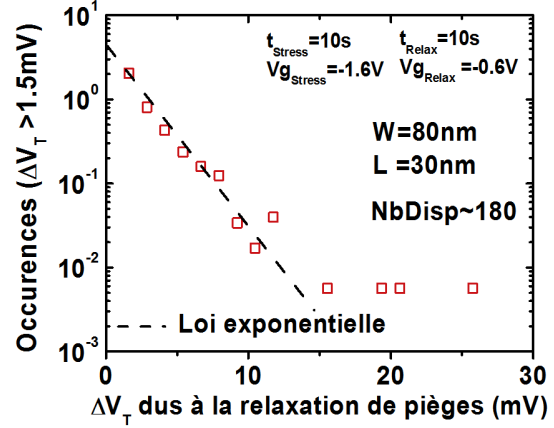


FIGURE 1.27 – Histogramme des sauts mesurés lors des mesures de remplissage/vidage sur ≈ 180 transistors

La Figure 1.26 montre des mesures de relaxation effectuées sur deux transistors. Les sauts de courant dus à l'émission des porteurs piégés ont été transformés en saut de tension de seuil.

Après 10s de stress, on a mesuré un ΔV_T total de $\approx 9mV$ et $\approx 17mV$ sur les deux dispositifs. Par des émissions successives dues aux différents pièges qui s'étaient chargés lors de la phase de stress, le ΔV_T sur les deux dispositifs se relaxe pour retourner vers un ΔV_T nul.

Chaque changement instantané de courant (appelé communément saut) correspond donc à l'émission d'un piège du dispositif. La hauteur des sauts permet d'identifier les pièges. On verra dans le Chapitre 3 l'origine du ΔV_T induite par ces pièges.

Avec cette technique, on voit bien que l'on est capable d'étudier facilement la réponse individuelle d'un grand nombre de pièges. On a souvent recourt à cette technique pour caractériser la sensibilité au piégeage d'une technologie. Pour ce faire, on réalise des mesures de remplissage/vidage sur une large population de dispositif et on regroupe les sauts obtenus dans un histogramme. La Figure 1.27 montre un histogramme réalisé sur une population de ≈ 180 transistors.

On voit que l'influence des sauts sur le ΔV_T suit globalement une loi exponentielle. On expliquera aussi dans le Chapitre 3 l'origine de cette influence particulière.

1.4.3.3 Caractérisation des temps de capture et d'émission des pièges : Time Dependent Defect Spectroscopy

Réaliser des mesures de remplissage/vidage sur plusieurs dispositifs est intéressant pour comparer des nombres de pièges entre des variantes technologiques ou simplement mesurer l'influence des pièges sur le V_T (valeurs de ΔV_T). Cependant, on peut chercher à obtenir plus d'informations sur les pièges : notamment leurs constantes de temps caractéristiques (τ_e et τ_c) et/ou leurs énergies d'activations (E_a).

Pour ce faire, on réalise non plus une unique mesure sur un grand nombre de transistors mais plutôt un grand nombre de mesures sur un unique transistor. Les sauts mesurés lors de la phase de relaxation sont alors placés dans un diagramme en fonction de la valeur du saut

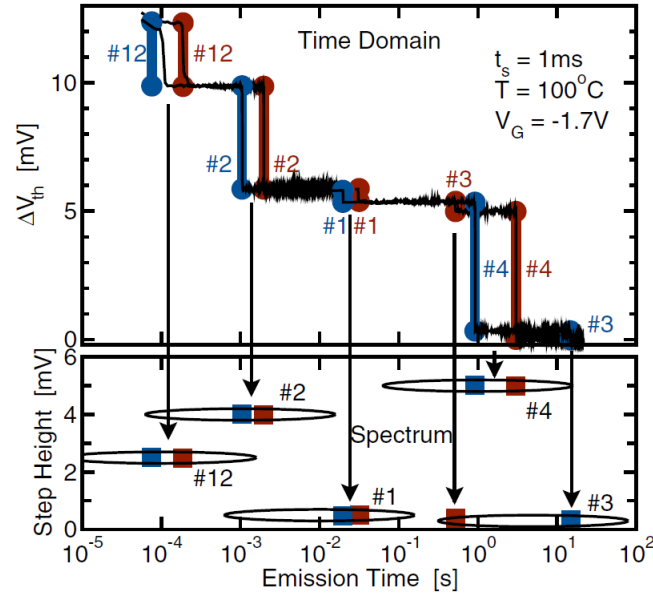


FIGURE 1.28 – (Haut) Deux mesures de relaxation sur le même transistor. (Bas) Diagramme TDDS pour les deux mesures de relaxation [45]

et du temps d'émission t_e où ils ont été mesurés. Cette technique, appelée TDDS (pour Time Dependent Defect Spectroscopy) et développée par Tibor Grassler, a été illustrée sur la Figure 1.28.

Sur la Figure du haut on présente deux mesures de la relaxation du même dispositifs après deux phases de remplissage. Sur la Figure du bas, on relève les valeurs des sauts des pièges et leurs temps d'émission pour les regrouper dans le diagramme TDDS.

Sur ces mesures, on voit bien l'aspect stochastique de l'émission des pièges. En effet, si la valeur du décalage de tension de seuil causée par le piège est unique, le temps de déclenchement de l'émission est, lui, aléatoire. Pour obtenir les constantes caractéristiques, il est donc nécessaire de répéter ces opérations de remplissage/vidage un certain nombre de fois sur le même dispositif afin d'établir une statistique des temps des pièges.

Temps d'émission τ_e : Dans cette partie, on choisit un dispositif présentant un unique piège aux conditions de stress et de relaxation appliquées pour montrer de façon simple comment mener une telle étude.

On réalise 100 expériences de remplissage/vidage en utilisant 1s de stress à $V_{g_{Stress}}=1\text{V}$ et en mesurant la relaxation pendant 10s à $V_{g_{Relax}}=0.4\text{V}$. Les traces de relaxation mesurées sont reportées sur la Figure 1.29 et le diagramme TDDS associé à ce dispositif est reporté sur la Figure 1.30.

Comme on peut le voir, le piège a un aspect stochastique de par l'émission d'un porteur mais aussi par la capture de ce dernier. En effet, sur les 100 traces de relaxation mesurées, on voit qu'un certain nombre commence avec un ΔV_T nul. Ces traces témoignent de stress dans lesquels le piège n'a pas eu le temps de se charger. Sur la Figure 1.30, le diagramme TDDS du dispositif a été reporté. Il permet d'étudier facilement, et rapidement, le comportement des

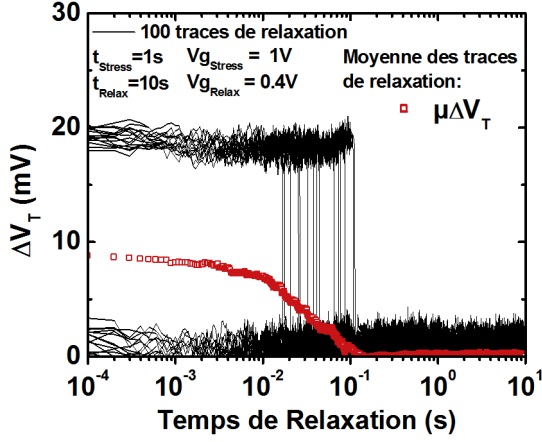


FIGURE 1.29 – Traces de relaxation mesurées sur un transistor comportant un unique piège

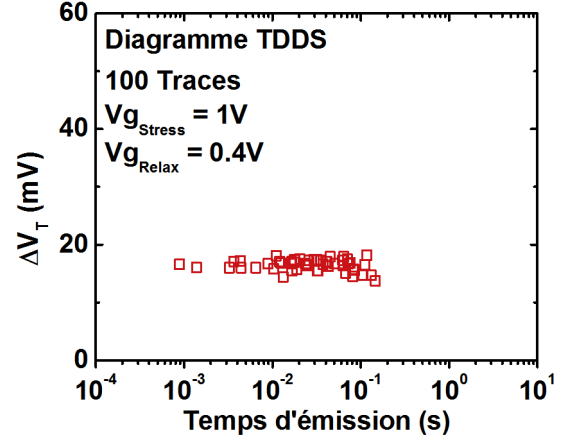


FIGURE 1.30 – Diagramme TDDS associé au dispositif mesuré dans la Figure 1.29

pièges vis à vis de plusieurs critères (Vg_{Stress} , Vg_{Relax} , t_{Stress} , Température...).

On représente maintenant la fréquence de déclenchement du piège en fonction du logarithme du temps, $\ln(t_e)$ (Figure 1.31). Par ailleurs, il a été montré que les temps de capture et d'émission des pièges obéissent à une loi exponentielle [47], [48], dont la PDF (Probability Density Function) est donnée par :

$$f_{exp}(t) = \frac{1}{\tau} e^{-\frac{t}{\tau}} \quad (1.25)$$

Avec τ la constante de temps moyenne du piège. Cette loi permet de décrire la distribution obtenue sur la Figure 1.31.

On obtient une bonne description de la fréquence des temps d'émission pour un temps d'émission moyen $\tau_e \approx 0.04s$. Ce temps permet également de décrire correctement la moyenne des traces de relaxation ($\mu\Delta V_T$) obtenue expérimentalement sur la Figure 1.29 comme on peut le voir sur la Figure 1.32.

Temps de capture τ_c : Il est intéressant de noter que ces expériences répétées de remplissage/vidage permettent aussi de déterminer indirectement le temps de capture caractéristique du piège. Sur la Figure 1.29, on voit que pour un temps de stress de 1s, le piège n'a été chargé qu'un certain nombre de fois : les traces commençant avec un ΔV_T nul témoignent de stress où le piège n'a pas capturé de porteur.

Dans notre expérience, le piège a capturé un porteur exactement 50 fois sur les 100 mesures, soit 50% du temps. On considère maintenant la CDF (Cumulative Distribution Function) de la distribution exponentielle, définie par :

$$F_{exp}(t) = 1 - e^{-\frac{t}{\tau}} \quad (1.26)$$

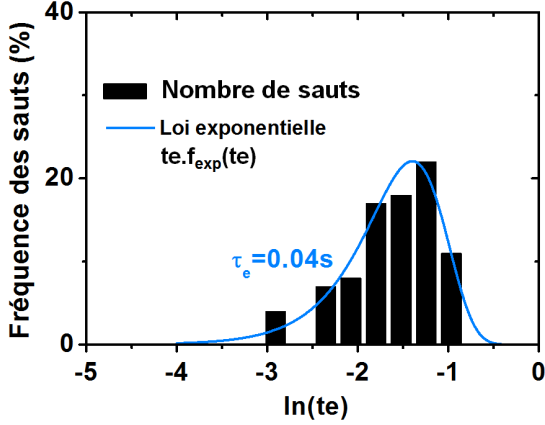


FIGURE 1.31 – Fréquence des temps de relaxations obtenus lors des 100 traces de relaxations. (Lignes) Loi exponentielle

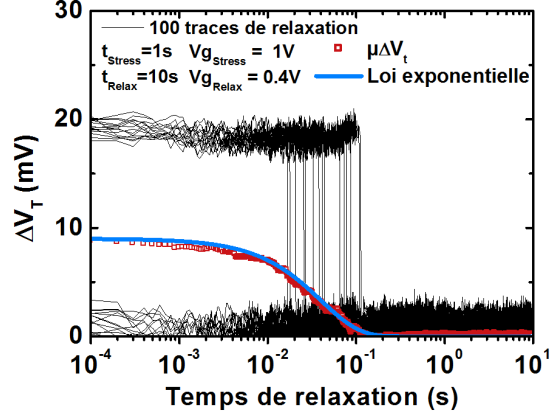


FIGURE 1.32 – Moyenne des ΔV_T obtenus sur les 100 traces de relaxation. (Lignes) Loi exponentielle

De ce fait, pour le temps de capture $t_{Stress}=1s$, on a $F_{exp}(t_{Stress}) = 0.5$. De cette façon, on peut en déduire le temps de capture moyen τ_c du piège. On obtient $\tau_c \approx 1.4s$.

Cette formule permet donc d'obtenir le temps de capture moyen des pièges sans les mesurer directement. Il est intéressant qu'une telle approche permette de remonter aux temps de capture des pièges car il est difficile, techniquement, d'adapter la technique de remplissage/vidage pour mesurer la capture des pièges. En effet, si on veut se positionner en condition BTI, il est important de ne pas appliquer de tension drain lors de la phase de remplissage, rendant ainsi impossible la mesure du courant pendant cette période.

1.4.3.4 Mesure directe du temps de capture d'un piège

Les mesures rapides développées au cours de la thèse ont permis d'étudier différemment les pièges d'oxyde. Notamment, au lieu de mesurer la réponse des pièges lors de la relaxation, il est possible de mesurer leur effet directement sur des courbes caractéristiques $I_d(V_g)$. On verra que cette approche aura un certain nombre d'avantages par rapport à l'approche précédente.

Dans cette partie, on utilise le même dispositif que celui testé dans la partie précédente. On a vu que ce dispositif comportait un unique piège, on va chercher à obtenir, de la même façon que précédemment, les paramètres de ce piège.

La technique est simple, elle consiste à réaliser un stress BTI pour charger le piège suivi d'une relaxation BTI pour le vider. Toutefois, elle est rendue possible par la rapidité des temps de mesure qui sont négligeables devant les temps caractéristiques du piège. Cette expérience serait impossible avec des mesures lentes.

La Figure 1.33 montre le ΔV_T du transistor, extrait des courbes $I_d(V_g)$, évoluer au cours du stress BTI et de la relaxation BTI.

Afin d'avoir une précision suffisante pour évaluer les constantes de temps, le nombre de mesures de courbes $I_d(V_g)$ par décade de temps a été augmenté : on réalise 10 mesures de caractéristique $I_d(V_g)$ par décade de temps de stress. Contrairement aux dégradations BTI mesurées sur des dispositifs de grande taille (montrées, par exemple, lors de la présentation de

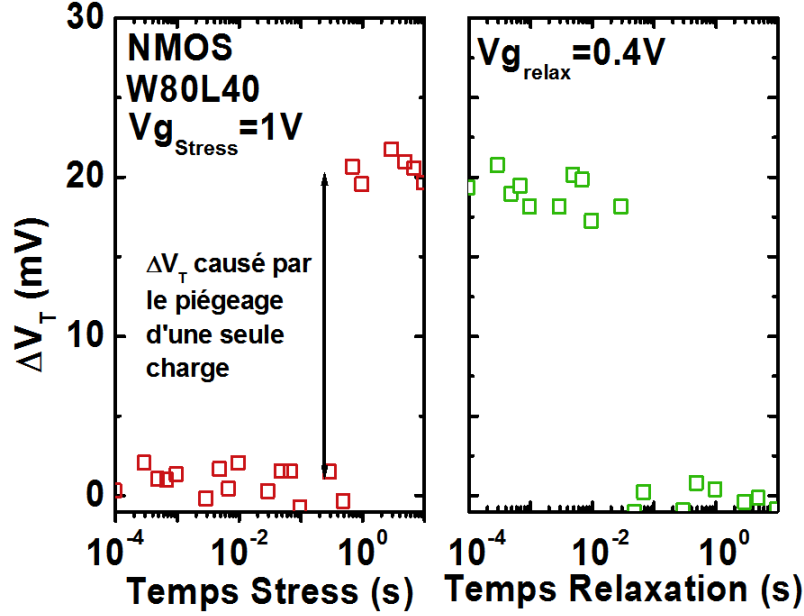


FIGURE 1.33 – Mesure du ΔV_T du transistor de la Figure 1.29 au cours d'un stress et d'une relaxation BTI

la dégradation BTI sur la Figure 1.16), le ΔV_T du transistor n'augmente pas continuellement avec le temps de stress.

En effet, un unique décalage de V_T est mesuré au cours du stress BTI lors du chargement du piège (autour de $t_{Stress}=0.5s$). Le même phénomène est observé lors de la relaxation, le transistor conserve un décalage de V_T jusqu'à ce que le piège réémette le porteur et que le V_T retourne à sa valeur d'origine.

On voit donc bien que l'on est capable de mesurer de façon précise la capture et l'émission des pièges avec cette technique. On remarque par ailleurs, que le ΔV_T induit par la capture d'un électron par le piège est de $\approx 20mV$, soit le même que celui obtenu par la méthode utilisée dans la partie précédente.

On cherche maintenant à utiliser notre technique pour extraire les temps caractéristiques du piège.

On répète des mesures de stress et de relaxation BTI sur le dispositif. Les temps de capture et d'émission du piège sont relevés. Les résultats sont présentés sous la forme d'un graphe TDDS dans la Figure 1.34.

Le diagramme TDDS obtenu est semblable à celui observé précédemment dans la Figure 1.30. Cependant, on est capable cette fois de mesurer directement les temps de capture du piège. De la même façon qu'avec la technique précédente, on reporte les temps de capture et d'émission du piège dans un histogramme et la loi exponentielle est utilisée pour décrire les distributions obtenues. Les résultats sont présentés sur la Figure 1.35.

On extrait un temps caractéristique de capture $\tau_c \approx 0.6s$ et un temps d'émission de $\tau_e \approx 0.04s$. Ces valeurs sont très proches de celles extraites avec la technique précédente : pour rappel, pour ce piège, on avait extrait $\tau_e \approx 0.04s$ et on avait estimé τ_c à 1.4s.

Notre technique est donc validée et donne des résultats semblables à la technique de rem-

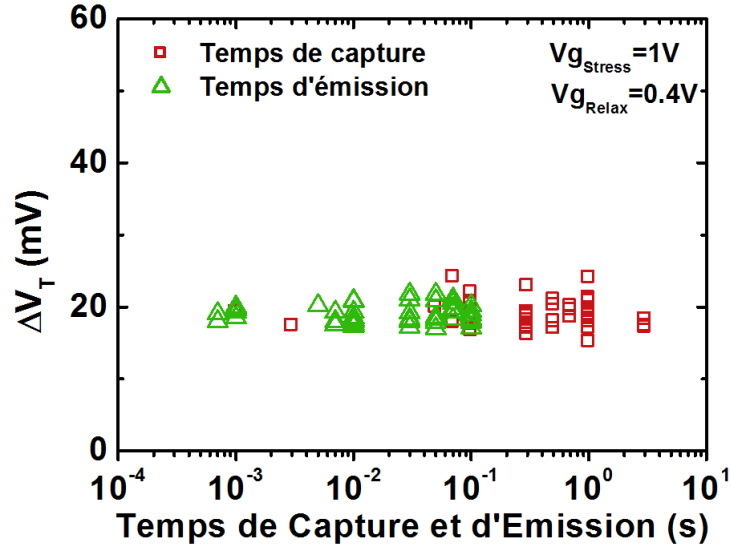


FIGURE 1.34 – Diagramme TDDS des temps de relaxation et de capture obtenus par notre méthode de caractérisation rapide

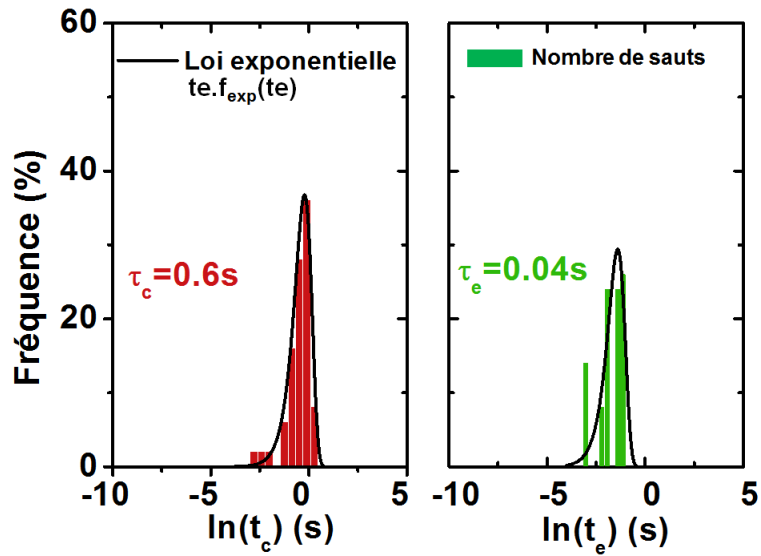


FIGURE 1.35 – Fréquence des temps de capture et de relaxation obtenus lors des stress et relaxation BTI. (Lignes) Loi exponentielle

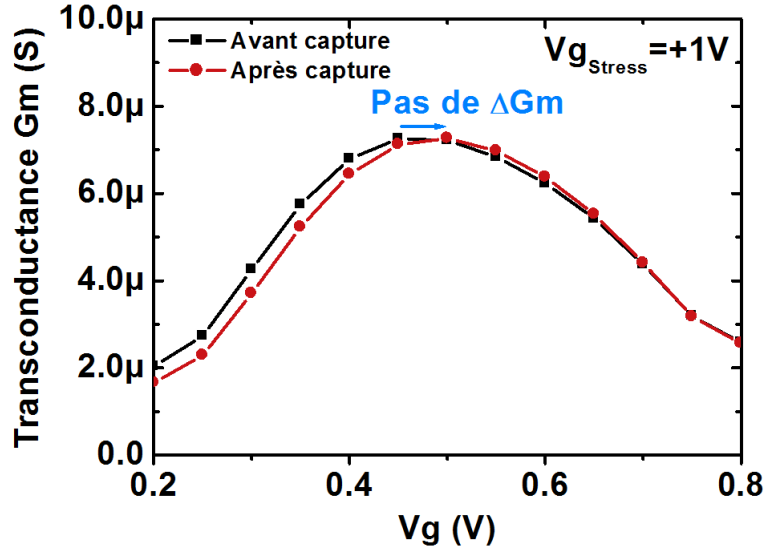


FIGURE 1.36 – Transconductance G_m mesurées rapidement avant et après capture d'un porteur par le piège

plissage/vidage utilisée habituellement. Elle comporte toutefois un certain nombre d'avantages :

- Le premier avantage est d'étudier directement la variation des paramètres électriques du transistor sur les courbes caractéristiques $I_d(V_g)$. Cette particularité permet d'évaluer directement l'impact des pièges sur la tension de seuil (et non pas en convertissant l'écart de courant en écart de tension de seuil par le procédé présenté sur la Figure 1.25).

- Ensuite, il permet une évaluation directe du temps de capture des pièges τ_c alors que la technique classique est obligée de l'estimer par rapport à une probabilité de remplissage à un temps de stress donné.

- Cette technique permet aussi d'étudier les temps d'émissions des pièges à des tensions de relaxation nulle (i.e. dans les mêmes conditions que lors des études BTI classique). Cette possibilité n'était pas permise avec l'autre technique où une mesure du courant était nécessaire à V_{gRelax} .

- Enfin, elle rend possible l'évaluation de l'impact des pièges sur d'autres paramètres : courant à V_{dd} , pente sous le seuil et transconductance. La transconductance notamment est un paramètre important car on attribue toujours le décalage de courant mesuré lors de la relaxation à un décalage de tension de seuil et on néglige une possible dégradation de la transconductance. La Figure 1.36 montre la transconductance avant et après capture d'un porteur par le piège. On voit que la transconductance est simplement décalée, indiquant que ce piège ne provoque donc pas de dégradation de mobilité, juste une dégradation de la tension de seuil.

S'il est vrai que cette méthode présente un certain nombre d'avantages, il convient de dire qu'elle comporte néanmoins quelques inconvénients. Notamment, s'il est vrai que la méthode s'appuie sur des mesures rapides, elle n'en demeure pas moins plus lente qu'une simple mesure du courant. De ce fait, elle ne pourra pas être utilisée pour caractériser des pièges trop rapides : typiquement des pièges ayant des constantes de temps inférieures au temps nécessaire pour mesurer une caractéristique $I_d(V_g)$.

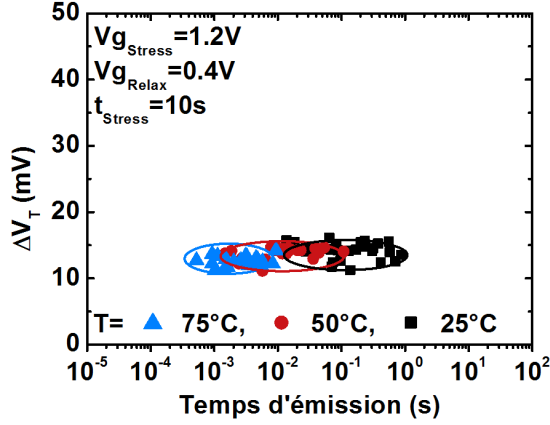


FIGURE 1.37 – Diagramme TDDS réalisé à trois températures sur un transistor avec un unique piège

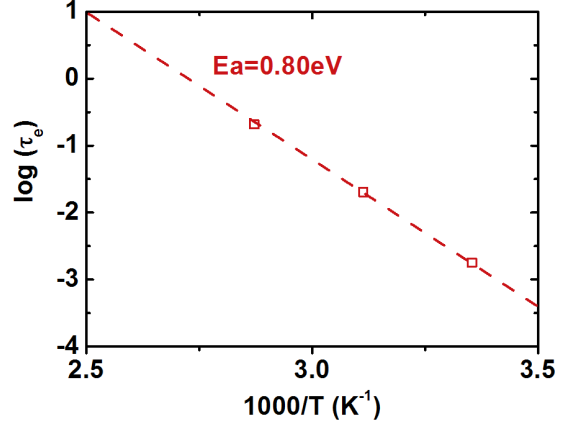


FIGURE 1.38 – Extraction de l'énergie d'activation en émission, Ea_e , du piège de la Figure 1.37

1.4.3.5 Énergie d'activation de pièges individuels

On peut aussi utiliser le diagramme TDDS pour étudier le comportement en température des pièges. On utilise à nouveau un dispositif présentant un piège unique et on réalise des expériences de remplissage/vidage du piège. On effectue 50 expériences de remplissage/vidage pour trois températures : 25°C, 50°C et 75°C. Les résultats sont reportés sur la Figure 1.37 dans un diagramme TDDS.

On voit clairement que l'émission des pièges évolue avec la température. Les pièges émettent plus vite quand la T augmente. On peut extraire les temps d'émission moyen des pièges en fonction de la température et ainsi extraire l'énergie d'activation en émission des pièges Ea_e . Sachant que l'énergie d'activation pour les temps caractéristiques est définie par :

$$\tau_{c,e} \propto e^{\frac{Ea_{c,e}}{kT}} \quad (1.27)$$

Expérimentalement, on trouve une énergie d'activation en émission, *pour ce piège*, égale à 0.80 eV. L'énergie d'activation extraite sur ce piège est proche de celle extraite par Maria Toledano-Luque (≈ 0.68 eV) [49].

1.4.4 Résumé des techniques de caractérisations

Avant de conclure ce Chapitre d'introduction générale, on rappelle ici les différentes techniques de mesures utilisées couramment pour la caractérisation des défauts et l'évaluation de la fiabilité des transistors :

- **Mesures du bruit RTN.** Dans cette mesure, la grille et le drain sont alimentées par une tension et on mesure les oscillations du courant de drain à cause de la capture et de l'émission de pièges présents dans le transistor. Généralement, on étudiera le bruit RTN en régime linéaire

du courant ($V_d=100\text{mV}$).

- **Mesures de dégradation BTI.** Les mesures de dégradation BTI se font en deux phases. Dans un premier temps on applique une forte tension de stress sur la grille du transistor tandis que le drain est connecté à la masse. On mesure alors la dérive des paramètres électriques du transistors lors du stress (dégradation de V_T , I_d , G_m). La seconde phase consiste à mesurer la relaxation du transistor. Cette fois, on abaisse la tension de stress appliquée sur la grille (en général, on connectera la grille à la masse) et on mesure le retour des paramètres électriques du transistors vers leurs valeurs initiales (i.e. pré-stress).

- **Mesures de dégradation HCI.** La méthode utilisée pour caractériser la dégradation HCI est semblable à celle utilisée pour mesurer la dégradation BTI. La seule différence vient de la tension de drain qui est non nulle lors de la phase stress.

- **Technique de remplissage/vidage.** Cette technique consiste à remplir les pièges d'un transistor par une phase de stress et mesurer l'émission de ces pièges lors de la phase de relaxation. Cette technique peut être répétée plusieurs fois sur un même transistor pour construire le diagramme TDDS du transistor. Elle permet d'étudier le comportement de pièges individuels.

Ces techniques sont très importantes pour observer le comportement des pièges et évaluer la fiabilité des dispositifs et seront utilisées dans les Chapitres suivants.

1.5 Influence des procédés technologiques

Afin d'illustrer les techniques de caractérisation présentées dans la partie précédente. On montre une étude typique de la dégradation BTI sur plusieurs variantes technologiques.

1.5.1 Étude de la dégradation NBTI sur la technologie SiGe

Les performances des transistors PMOS sont souvent inférieures à celles des transistors NMOS en raison de la plus faible mobilité des trous comparativement à celle des électrons. Pour contourner ce problème lié à la nature même des transistors PMOS, l'emploi de germanium a été envisagé. Dans cette technologie, le canal des transistors PMOS incorpore un pourcentage d'atomes de germanium. Le cristal de Silicium devient alors un alliage $\text{Si}_{1-x}\text{Ge}_x$, où x est le pourcentage de germanium présent dans les électrodes de source et de drain. Grâce à l'incorporation du germanium, la tension de seuil des transistors a pu être diminuée. Cette diminution a permis d'augmenter les performances des transistors PMOS [50].

Si les performances électriques initiales des transistors sont meilleures grâce à l'utilisation d'une nouvelle technologie ou d'un nouveau procédé quelconque, il convient de vérifier si cette amélioration a une influence sur la fiabilité des dispositifs.

1.5.1.1 Étude sur des dispositifs de grandes dimensions

Pour répondre à cette question, on a réalisé une étude visant à évaluer comment la dégradation NBTI évolue lorsque du germanium est utilisé dans les transistors. La Figure 1.39 présente les résultats obtenus pour plusieurs pourcentages de germanium.

Afin de comparer les différentes variantes technologiques, on a relevé les dégradations NBTI mesurées au terme de 1ks de stress à différentes tensions $V_{gStress}$: -1.4V, -1.6V et -2.0V.

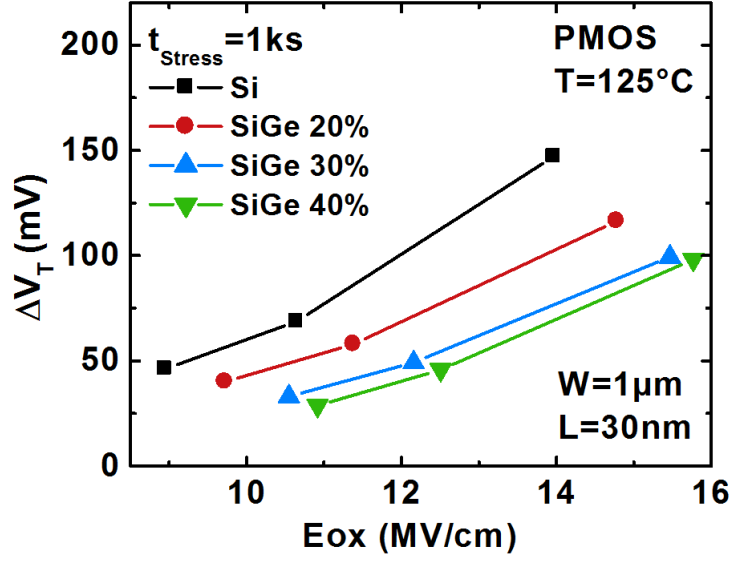


FIGURE 1.39 – Dégradations NBTI mesurées sur des transistors avec différents % de germanium : pur Si (Noir), 20% (Rouge), 30% (Bleu) et 40% (Vert)

On rappelle que l'incorporation de germanium a aussi un effet important sur la tension de seuil V_T des transistors [50]. De ce fait, les dégradations NBTI mesurées après 1ks de stress ne sont pas tracées en fonction $V_{gStress}$ mais en fonction du champ électrique vertical dans l'oxyde au cours du stress, E_{ox} , qui détermine la dégradation NBTI. Il est défini par :

$$E_{ox} = \frac{V_{gStress} - V_{T0}}{EOT} \quad (1.28)$$

Avec V_{T0} la tension de seuil des transistors non stressés et l'EOT (pour Equivalent Oxyde Thickness) définie par :

$$EOT = t_{IL} + \frac{t_{HK} \cdot \epsilon_{IL}}{\epsilon_{HK}} \quad (1.29)$$

Avec t_{IL} et t_{HK} les épaisseurs de l'oxyde interfacial et du diélectrique High-K, ϵ_{IL} et ϵ_{HK} les permittivités des oxydes IL et HK.

La Figure 1.39 montre donc que l'incorporation du germanium est bénéfique en terme de fiabilité. En effet, la dégradation diminue avec l'augmentation du pourcentage de germanium.

Au final, on peut dire que cette technologie est donc bonne d'un point de vue des performances (diminution du V_T , augmentation de la mobilité ...) mais aussi de la fiabilité (diminution de la dégradation NBTI). Ces résultats rejoignent ceux obtenus dans la littérature sur la fiabilité des technologies SiGe [51], [52].

Il est intéressant de noter que ce genre de résultat est très rare. En général, l'augmentation des performances se fait au détriment de la fiabilité d'une technologie et vice versa.

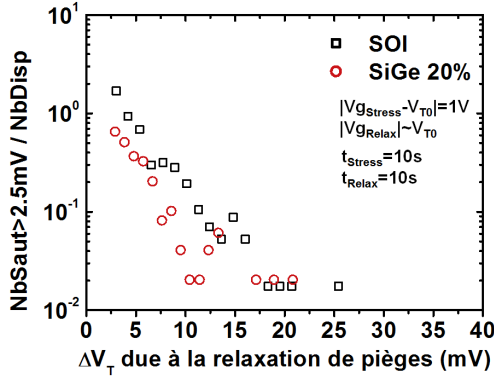


FIGURE 1.40 – Histogrammes des sauts mesurés lors des relaxations NBTI sur les variantes : référence Si et SiGe 20%

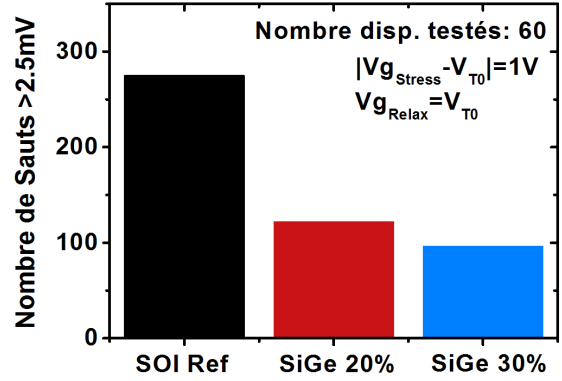


FIGURE 1.41 – Nombre moyen de piège détectés lors de la relaxation en fonction de la variante technologique testée

1.5.1.2 Étude sur des dispositifs de petites dimensions

On réalise maintenant une étude du piégeage sur les mêmes variantes technologiques mais sur des transistors de petites dimensions cette fois.

On effectue donc des mesures de remplissage/vidage sur des populations de dispositifs (≈ 60) et pour les 3 variantes technologiques (référence Si, 20% de germanium et 30% de germanium). Tous les sauts mesurés lors de la relaxation sur les deux premières variantes sont regroupés dans un histogramme en fonction de la valeur du saut. La Figure 1.40 montre donc les histogrammes obtenus pour la référence Si et le SiGe 20%.

On voit que le nombre de pièges mesurés sur la référence Si est plus important (quel que soit la valeur de saut considérée) que le nombre de pièges mesurés sur la variante SiGe. On considère maintenant juste le nombre de sauts moyens détectés lors de la relaxation. La Figure 1.41 montre que le nombre total de sauts (et donc de pièges) détectés lors de la relaxation pour les 3 variantes. On voit que le nombre de pièges diminue avec l'augmentation du pourcentage de germanium.

Ces mesures confirment donc les résultats obtenus précédemment sur des dispositifs de grandes dimensions à savoir que la dégradation NBTI est moins critique sur les variantes SiGe que sur la référence silicium. Cette meilleure fiabilité pourrait donc être due à un plus faible nombre de pièges impactant le V_T des transistors sur les technologies utilisant le germanium.

On voit donc ici pourquoi il peut être intéressant de travailler rapidement, et au niveau de petits dispositifs, pour obtenir des informations sur le comportement moyen des transistors de grandes surfaces.

1.5.2 Étude de l'effet de nitruration de la grille sur la dégradation NBTI

Les stress DC BTI ont aussi été utilisés pour étudier les effets de l'azote sur l'importance de la dégradation NBTI. L'azote, reconnu pour limiter les fuites de grilles et limiter la diffusion des atomes de bore, est souvent incorporé dans l'empilement de grille des transistors (au niveau de l'oxyde interfacial : SiON, au niveau du High-K : HfSiON, ou au niveau de la grille métallique : TiN). Il est donc important de voir si l'azote a une influence sur la fiabilité globale des transistors.

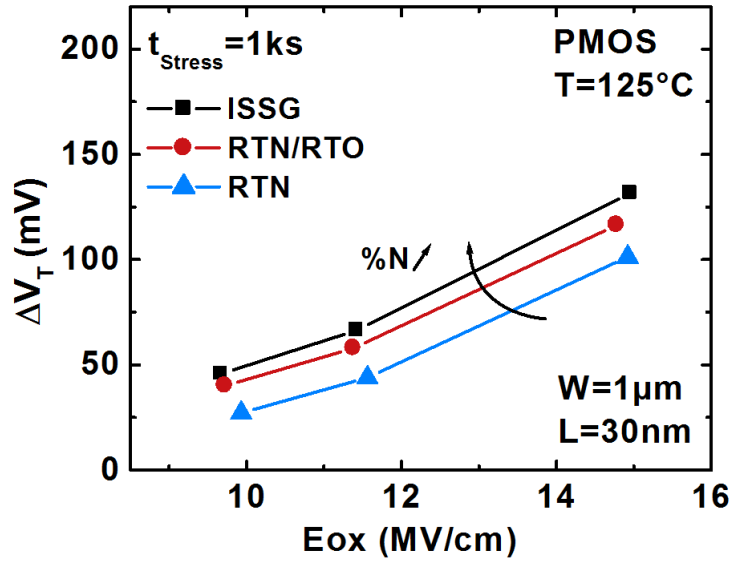


FIGURE 1.42 – Dégradations NBTI mesurées sur des transistors avec différents recuits. Le recuit influence le niveau d'azote : %N faible (ISSG), %N moyen (RTN/RTO), %N fort (RTN)

On adopte la même démarche que celle utilisée pour réaliser la Figure 1.39. On évalue la dégradation NBTI sur des dispositifs comportant plusieurs concentrations d'azote dans l'empilement de grille des transistors. Les résultats sont présentés sur la Figure 1.42.

On montre des dégradations mesurées après différents recuits. La référence ISSG (pour In Situ Steam Generator) comporte la plus faible concentration d'azote, le procédé RTN (pour Rapid Thermal Nitridation) comporte la plus forte concentration d'azote et le procédé RTN/RTO (pour Rapid Thermal Oxydation) a une concentration d'azote comprise entre les deux précédents recuits.

Encore une fois, on a mesuré la dégradation NBTI après 1ks de stress et pour trois tensions de stress ($-1.4V$, $-1.6V$ et $-2.0V$). Les mesures de dégradations NBTI après 1ks de stress montrent que l'augmentation de la concentration d'azote dans l'empilement de grille augmente légèrement la dégradation NBTI. L'aspect négatif de l'azote, d'un point de vue de la fiabilité NBTI, est donc confirmé par ces mesures. Ces résultats rejoignent ceux obtenus habituellement sur l'influence de l'azote dans les études de fiabilité [53].

Ainsi, contrairement à la technologie SiGe, on a cette fois un cas où l'ajout d'une variante technologique peut augmenter les performances des dispositifs mais dégrader leur fiabilité.

Historiquement, la microélectronique a toujours été guidée par une volonté d'augmenter les performances. Les aspects de fiabilité n'étant considérés que dans un second temps. Aujourd'hui, sur les technologies des nœuds avancés, il est vital de trouver des compromis entre de bonnes performances et une bonne fiabilité pour valider une technologie.

1.6 Conclusion

Dans ce Chapitre d'introduction générale nous avons tout d'abord présenté rapidement le principe de fonctionnement du transistor MOS. En particulier, nous avons vu comment caractériser les transistors et extraire, à partir des courbes de transfert $I_d(V_g)$, les paramètres électriques importants des dispositifs. Enfin, on a brièvement présenté l'architecture du transistor FDSOI dans laquelle ont été fabriqués tous les transistors testés dans cette thèse.

Ensuite, nous avons introduit les problématiques de variabilité et de fiabilité affectant les transistors.

Nous avons tout d'abord présenté la variabilité statique. Cette variabilité est figée et n'évolue pas au cours du temps, elle résulte essentiellement des procédés de fabrication. Les différentes sources de variabilité pouvant affecter les transistors ont été répertoriées (RDD, LER, MGG...). On a vu aussi les avantages qu'apportait l'architecture FDSOI en terme de variabilité statique (suppression du RDD, la source de variabilité principale du BULK).

Ensuite, nous nous sommes penchés sur le thème de la fiabilité, aussi appelée variabilité dynamique. Cette fois, on a une évolution des paramètres électriques des transistors au cours du temps. On a vu que l'on pouvait distinguer deux types de variabilité dynamique. Une variabilité dite *à l'équilibre* où les paramètres électriques du transistor fluctuent autour d'une valeur moyenne (c'est le cas du bruit RTN) et une variabilité dite *hors équilibre* où les paramètres électriques se détériorent, on parle alors de dégradation, ou retournent vers leur valeur initiale après s'être dégradés, on parle de relaxation. Les dégradations BTI et HCI sont des exemples de variabilité dynamique.

Enfin, nous avons présenté les méthodes de caractérisation disponibles pour évaluer cette variabilité dynamique. Nous avons notamment présentés comment réaliser des stress BTI et HCI. Nous avons pu illustrer l'importance de réaliser des mesures rapides de nos dispositifs afin d'évaluer correctement leurs dégradations et, à terme, leurs durées de vie.

De plus nous avons proposé plusieurs techniques pour étudier le comportement des pièges sur des dispositifs de petites dimensions. Tout d'abord nous avons rapidement expliqué comment caractériser le bruit RTN. Nous avons vu qu'une caractérisation minutieuse du RTN pouvait être complexe. Aussi, on a choisi d'utiliser une méthode différente pour étudier le comportement des pièges. Notamment, nous avons présenté comment réaliser des mesures de remplissage/vidage et comment construire un diagramme TDDS permettant d'extraire les constantes de temps caractéristiques et l'énergie d'activation des pièges.

Toutes ces techniques seront utilisées dans les Chapitres suivants de la thèse pour caractériser nos dispositifs et comprendre les mécanismes de piégeage mis en jeu au cours de stress BTI.

Bibliographie

- [1] P. McLarty, S. Cristoloveanu, O. Faynot, V. Misra, J. Hauser, and J. Wortman, “A simple parameter extraction method for ultra-thin oxide {MOSFETs},” *Solid-State Electronics*, vol. 38, no. 6, pp. 1175 – 1177, 1995.
- [2] G. Reichert and T. Ouisse, “Relationship between empirical and theoretical mobility models in silicon inversion layers,” *Electron Devices, IEEE Transactions on*, vol. 43, no. 9, pp. 1394–1398, Sep 1996.
- [3] S. M. Sze, *Physics of Semiconductor Devices*. John Wiley and Son, 2006.
- [4] International Technology Roadmap for Semiconductor, <http://www.itrs.net>, 2011.
- [5] M. Bruel, “Silicon on insulator material technology,” *Electronics Letters*, vol. 31, no. 14, pp. 1201–1202, Jul 1995.
- [6] C. Maleville, “SOI material readiness for 45nm and sub-45nm devices option,” *ECS Transaction*, vol. 3, no. 4, pp. 397–407, 2006.
- [7] V. Barral, T. Poiroux, F. Andrieu, C. Buj-Dufournet, O. Faynot, T. Ernst, L. Brevard, C. Fenouillet-Beranger, D. Lafond, J. M. Hartmann, V. Vidal, F. Allain, N. Daval, I. Cayrefourcq, L. Tosti, D. Munteanu, J. Autran, and S. Deleonibus, “Strained FDSOI CMOS technology scalability down to 2.5nm film thickness and 18nm gate length with a TiN/HfO₂ gate stack,” in *Electron Devices Meeting, 2007. IEDM 2007. IEEE International*, Dec 2007, pp. 61–64.
- [8] J. Mazurier, “Etude de la variabilité en technologie FDSOI : du transistor aux cellules mémoires SRAM,” Ph.D. dissertation, EEATS, 2012.
- [9] C. Auth, C. Allen, A. Blattner, D. Bergstrom, M. Brazier, M. Bost, M. Buehler, V. Chikarmane, T. Ghani, T. Glassman, R. Grover, W. Han, D. Hanken, M. Hattendorf, P. Hentges, R. Heussner, J. Hicks, D. Ingerly, P. Jain, S. Jaloviar, R. James, D. Jones, J. Jopling, S. Joshi, C. Kenyon, H. Liu, R. McFadden, B. McIntyre, J. Neirynek, C. Parker, L. Pipes, I. Post, S. Pradhan, M. Prince, S. Ramey, T. Reynolds, J. Roesler, J. Sandford, J. Seiple, P. Smith, C. Thomas, D. Towner, T. Troeger, C. Weber, P. Yashar, K. Zawadzki, and K. Mistry, “A 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors,” in *VLSI Technology (VLSIT), 2012 Symposium on*, June 2012, pp. 131–132.
- [10] A. Asenov, “Simulation of statistical variability in nano MOSFETs,” in *VLSI Technology, 2007 IEEE Symposium on*, June 2007, pp. 86–87.
- [11] K. Kuhn, M. Giles, D. Becher, P. Kolar, A. Kornfeld, R. Kotlyar, S. Ma, A. Maheshwari, and S. Mudanai, “Process technology variation,” *Electron Devices, IEEE Transactions on*, vol. 58, no. 8, pp. 2197–2208, Aug 2011.
- [12] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, and L. Camus, “NBTI degradation : From transistor to SRAM arrays,” in *Reliability Physics Symposium, 2008. IRPS 2008. IEEE International*, April 2008, pp. 289–300.

- [13] B. Kaczer, T. Grassler, P. Roussel, J. Franco, R. Degraeve, L.-A. Ragnarsson, E. Simoen, G. Groeseneken, and H. Reisinger, "Origin of NBTI variability in deeply scaled pFETs," in *Reliability Physics Symposium (IRPS), 2010 IEEE International*, May 2010, pp. 26–32.
- [14] A. Asenov, "Random dopant threshold voltage fluctuations in 50 nm epitaxial channel MOSFETs : A 3D 'atomistic' simulation study," in *Solid-State Device Research Conference, 1998. Proceeding of the 28th European*, Sept 1998, pp. 300–303.
- [15] P. Stolk and D. Klaassen, "The effect of statistical dopant fluctuations on MOS device performance," in *Electron Devices Meeting, 1996. IEDM '96., International*, Dec 1996, pp. 627–630.
- [16] M. Bukhori, S. Roy, and A. Asenov, "Simulation of statistical aspects of charge trapping and related degradation in bulk MOSFETs in the presence of random discrete dopants," *Electron Devices, IEEE Transactions on*, vol. 57, no. 4, pp. 795–803, April 2010.
- [17] D. Reid, C. Millar, G. Roy, S. Roy, and A. Asenov, "Understanding LER-induced statistical variability : A 35,000 sample 3D simulation study," in *Solid State Device Research Conference, 2009. ESSDERC '09. Proceedings of the European*, Sept 2009, pp. 423–426.
- [18] A. Asenov, S. Kaya, and A. Brown, "Intrinsic parameter fluctuations in decananometer MOSFETs introduced by gate line edge roughness," *Electron Devices, IEEE Transactions on*, vol. 50, no. 5, pp. 1254–1260, May 2003.
- [19] X. Wang, A. Brown, N. Idris, S. Markov, G. Roy, and A. Asenov, "Statistical threshold-voltage variability in scaled decananometer bulk HKMG MOSFETs : A full-scale 3-D simulation scaling study," *Electron Devices, IEEE Transactions on*, vol. 58, no. 8, pp. 2293–2301, Aug 2011.
- [20] L. Gerrer, J. Ding, S. Amoroso, F. Adamu-Lema, R. Hussin, D. Reid, C. Millar, and A. Asenov, "Modelling {RTN} and {BTI} in nanoscale {MOSFETs} from device to circuit : A review," *Microelectronics Reliability*, vol. 54, no. 4, pp. 682 – 697, 2014.
- [21] A. Asenov, S. Kaya, and J. Davies, "Intrinsic threshold voltage fluctuations in decanano MOSFETs due to local oxide thickness variations," *Electron Devices, IEEE Transactions on*, vol. 49, no. 1, pp. 112–119, Jan 2002.
- [22] A. Putra, A. Nishida, S. Kamohara, T. Tsunomura, and T. Hiramoto, "Impact of local poly-si gate depletion on vth variation in nanoscale MOSFETs investigated by 3D device simulation," in *Semiconductor Device Research Symposium, 2007 International*, Dec 2007, pp. 1–2.
- [23] M. Pelgrom, H. Tuinhout, and M. Vertregt, "Transistor matching in analog CMOS applications," in *Electron Devices Meeting, 1998. IEDM '98. Technical Digest., International*, Dec 1998, pp. 915–918.
- [24] L. Gerrer, S. Amoroso, S. Markov, F. Adamu-Lema, and A. Asenov, "3-d statistical simulation comparison of oxide reliability of planar MOSFETs and FinFET," *Electron Devices, IEEE Transactions on*, vol. 60, no. 12, pp. 4008–4013, Dec 2013.

-
- [25] D. Angot, V. Huard, L. Rahhal, A. Cros, X. Federspiel, A. Bajolet, Y. Carminati, M. Saliva, E. Pion, F. Cacho, and A. Bravaix, "BTI variability fundamental understandings and impact on digital logic by the use of extensive dataset," in *Electron Devices Meeting (IEDM), 2013 IEEE International*, Dec 2013, pp. 15.4.1–15.4.4.
 - [26] C. Fenouillet-Beranger, S. Denorme, P. Perreau, C. Buj, O. Faynot, F. Andrieu, L. Tosti, S. Barnola, T. Salvetat, X. Garros, M. Casse, F. Allain, N. Loubet, L. Pham-Nguyen, E. Deloffre, M. Gros-Jean, R. Beneyton, C. Laviron, M. Marin, C. Leyris, S. Haendler, F. Leverd, P. Gouraud, P. Scheiblin, L. Clement, R. Pantel, S. Deleonibus, and T. Skotnicki, "FDSOI devices with thin BOX and ground plane integration for 32nm node and below," in *Solid-State Device Research Conference, 2008. ESSDERC 2008. 38th European*, Sept 2008, pp. 206–209.
 - [27] Y. Nishi, "Study of silicon-silicon dioxide structure by electron spin resonance i," *Japanese Journal of Applied Physics*, vol. 10, no. 1, p. 52, 1971.
 - [28] E. H. Poindexter, P. J. Caplan, B. E. Deal, and R. Razouk, "Interface states and electron spin resonance centers in thermally oxidized (111) and (100) silicon wafers," *Journal of Applied Physics*, vol. 52, no. 2, pp. 879–884, Feb 1981.
 - [29] A. Stirling, A. Pasquarello, J.-C. Charlier, and R. Car, "Dangling bond defects at Si – SiO_2 interfaces : Atomic structure of the p_{b1} center," *Phys. Rev. Lett.*, vol. 85, pp. 2773–2776, Sep 2000.
 - [30] A. Stesmans and V. V. Afanas'ev, "Electrical activity of interfacial paramagnetic defects in thermal (100) Si/SiO_2 ," *Phys. Rev. B*, vol. 57, pp. 10 030–10 034, Apr 1998.
 - [31] W. Shockley and W. T. Read, "Statistics of the recombinations of holes and electrons," *Phys. Rev.*, vol. 87, pp. 835–842, Sep 1952.
 - [32] Y. T. Yeow, D. R. Lamb, and S. D. Brotherton, "An investigation of the influence of low-temperature annealing treatments on the interface state density at the Si-SiO_2 ," *Journal of Physics D : Applied Physics*, vol. 8, no. 13, p. 1495, 1975.
 - [33] M. Rafiq, "Caractérisation et modélisation de la fiabilité des transistors avancés à diélectriques de hautes permittivités et à grille métalliques," Ph.D. dissertation, EEATS, 2005.
 - [34] S. Karna, A. Pineda, R. Pugh, W. Shedd, and T. Oldham, "Electronic structure theory and mechanisms of the oxide trapped hole annealing process," *Nuclear Science, IEEE Transactions on*, vol. 47, no. 6, pp. 2316–2321, Dec 2000.
 - [35] T. Grassler, B. Kaczer, W. Goes, H. Reisinger, T. Aichinger, P. Hehenberger, P.-J. Wagner, F. Schanovsky, J. Franco, M. Luque, and M. Nelhiebel, "The paradigm shift in understanding the bias temperature instability : From reaction-diffusion to switching oxide traps," *Electron Devices, IEEE Transactions on*, vol. 58, no. 11, pp. 3652–3666, Nov 2011.
 - [36] A. S. Foster, F. Lopez Gejo, A. L. Shluger, and R. M. Nieminen, "Vacancy and interstitial defects in hafnia," *Phys. Rev. B*, vol. 65, p. 174117, May 2002.

- [37] G. Ribes, S. Bruyere, D. Roy, C. Parthasarthy, M. Muller, M. Denais, V. Huard, T. Skotnicki, and G. Ghibaudo, "Origin of V_t instabilities in high-k dielectrics jahn-teller effect or oxygen vacancies," *Device and Materials Reliability, IEEE Transactions on*, vol. 6, no. 2, pp. 132–135, June 2006.
- [38] K. S. Ralls, W. J. Skocpol, L. D. Jackel, R. E. Howard, L. A. Fetter, R. W. Epworth, and D. M. Tennant, "Discrete resistance switching in submicrometer silicon inversion layers : Individual interface traps and low-frequency ($\frac{1}{f}$?) noise," *Phys. Rev. Lett.*, vol. 52, pp. 228–231, Jan 1984.
- [39] M. J. Kirton, M. J. Uren, S. Collins, M. Schulz, A. Karmann, and K. Scheffer, "Individual defects at the Si :SiO₂ interface," *Semiconductor Science and Technology*, vol. 4, no. 12, p. 1116, 1989.
- [40] E. Simoen, B. Dierickx, C. Claeys, and G. Declercq, "Explaining the amplitude of RTS noise in submicrometer mosfets," *Electron Devices, IEEE Transactions on*, vol. 39, no. 2, pp. 422–429, Feb 1992.
- [41] L. Brunet, X. Garros, A. Bravaix, A. Subirats, F. Andrieu, O. Weber, P. Scheiblin, M. Rafik, E. Vincent, and G. Reimbold, "Impact of backside interface on hot carriers degradation of thin film FDSOI nMOSFETs," in *Reliability Physics Symposium (IRPS), 2012 IEEE International*, April 2012, pp. 3B.2.1–3B.2.5.
- [42] T. Grasser, H. Reisinger, W. Goes, T. Aichinger, P. Hehenberger, P.-J. Wagner, M. Nelhiebel, J. Franco, and B. Kaczer, "Switching oxide traps as the missing link between negative bias temperature instability and random telegraph noise," in *Electron Devices Meeting (IEDM), 2009 IEEE International*, Dec 2009, pp. 1–4.
- [43] M. Denais, "Etude des phénomènes de dégradation de type negative bias temperature (nbt) dans les transistors mos submicroniques des filières CMOS avancées," Ph.D. dissertation, PMSI, 2005.
- [44] Agilent, *Agilent B1530 Waveform Generator Fast Measurement Unit - User's Guide*. Agilent Technologie, june 2011.
- [45] T. Grasser, H. Reisinger, P.-J. Wagner, F. Schanovsky, W. Goes, and B. Kaczer, "The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability," in *Reliability Physics Symposium (IRPS), 2010 IEEE International*, May 2010, pp. 16–25.
- [46] O. R. dit Buisson, G. Ghibaudo, and J. Brini, "Model for drain current RTS amplitude in small-area MOS transistors," *Solid-State Electronics*, vol. 35, no. 9, pp. 1273 – 1276, 1992.
- [47] S. Kobayashi, M. Saitoh, and K. Uchida, "Id fluctuations by stochastic single-hole trappings in high-k dielectric p-MOSFETs," in *VLSI Technology, 2008 Symposium on*, June 2008, pp. 78–79.
- [48] J. Campbell, J. Qin, K. Cheung, L. Yu, J. Suehle, A. Oates, and K. Sheng, "Random telegraph noise in highly scaled nMOSFETs," in *Reliability Physics Symposium, 2009 IEEE International*, April 2009, pp. 382–388.

- [49] M. Toledano-Luque, B. Kaczer, P. Roussel, M. J. Cho, T. Grasser, and G. Groeseneken, “Temperature dependence of the emission and capture times of SiON individual traps after positive bias temperature stress,” *Journal of Vacuum Science and Technology B*, vol. 29, no. 1, pp. –, 2011.
- [50] A. Soussou, “Modeling and characterization of electrical effects of Ge integration in Metal/High-K/SiGe MOS structures,” Ph.D. dissertation, EEATS, 2014.
- [51] J. Franco, B. Kaczer, M. Cho, G. Eneman, G. Groeseneken, and T. Grasser, “Improvements of NBTI reliability in sige p-FETs,” in *Reliability Physics Symposium (IRPS), 2010 IEEE International*, May 2010, pp. 1082–1085.
- [52] G. Groeseneken, M. Aoulaiche, M. Cho, J. Franco, B. Kaczer, T. Kauerauf, J. Mitard, L.-A. Ragnarsson, P. Roussel, and M. Toledano-Luque, “Bias-temperature instability of Si and Si(Ge)-channel sub-1nm EOT p-MOS devices : Challenges and solutions,” in *Physical and Failure Analysis of Integrated Circuits (IPFA), 2013 20th IEEE International Symposium on the*, July 2013, pp. 41–50.
- [53] B. Kaczer, T. Grasser, J. Martin-Martinez, E. Simoen, M. Aoulaiche, P. Roussel, and G. Groeseneken, “NBTI from the perspective of defect states with widely distributed time scales,” in *Reliability Physics Symposium, 2009 IEEE International*, April 2009, pp. 55–60.

Chapitre 2

Compréhension et Modélisation de la dégradation NBTI sur dispositifs FDSOI

Sommaire

2.1	Introduction	69
2.1.1	Historique de la dégradation NBTI	69
2.1.2	Limitations du modèle historique	70
2.1.3	Nouveau modèle de la dégradation BTI	71
2.1.4	Cadre de notre étude de la dégradation NBTI	71
2.2	Dégradation NBTI - Techniques de caractérisation	73
2.2.1	Méthodologie de stress DC	73
2.2.2	Méthodologie de stress AC	73
2.2.3	Méthodologie de stress via pattern	75
2.2.3.1	Patterns arbitraires : technique AVGP	75
2.2.3.2	Patterns arbitraires : Génération de patterns	77
2.3	Propriétés du NBTI observées par des mesures DC	77
2.3.1	Dispositifs testés	78
2.3.2	Le NBTI est il la résultante d'un seul ou plusieurs types de défauts?	78
2.3.3	La dégradation NBTI est elle cumulative?	79
2.3.3.1	Principe du modèle RVS	79
2.3.3.2	Résultats expérimentaux et validité du modèle RVS	81
2.3.4	Le NBTI est il activé en température?	84
2.3.5	Résumé des propriétés NBTI obtenues par des mesures DC	85
2.4	Propriétés du NBTI observées par des mesures AC	85
2.4.1	Intérêt des stress BTI en mode AC	85
2.4.2	Le stress AC NBTI peut il évaluer la dégradation permanente?	86
2.4.3	Pourquoi des pièges recouvrables se remplissent au cours d'un stress AC?	87
2.5	Modélisation de la dégradation NBTI	90
2.5.1	Modélisation de la dégradation permanente : loi de puissance temporelle	90
2.5.2	Modélisation de la dégradation recouvrable : modèle SRH	90
2.5.2.1	Principe du modèle SRH	90

2.5.2.2	Constante de temps données par le modèle SRH	92
2.5.3	Modélisation de la dégradation recouvrable : modèle Multi Phonon Non Radiatif	92
2.5.3.1	Modèle NRMP à 3 états - Chaîne de Markov	92
2.5.3.2	Modèle NRMP - Constantes de temps	95
2.5.3.3	Modèle NRMP - Simulations et résultats expérimentaux	97
2.5.3.4	Modèle NRMP - Limitations	98
2.5.4	Modèle de piégeage simplifié - Modèle RC	100
2.5.4.1	Analogie : modèle SRH/modèle NRMP/circuit RC	100
2.5.4.2	Principe du modèle RC	101
2.5.4.3	Stress AC - Modèle RC analytique	102
2.5.4.4	Stress AVGP - Modèle RC numérique	106
2.5.4.5	Carte des temps de capture et d'émission - CET MAP	107
2.6	Dégradations AC NBTI - Expériences et Simulations	109
2.6.1	Dépendance de la dégradation NBTI en fonction du Duty Factor	109
2.6.2	Dépendance de la dégradation NBTI en fonction de la fréquence	109
2.6.3	Origine de la dépendance en fréquence de la dégradation AC NBTI	112
2.6.3.1	Dépendance en fréquence - t_{mes}	112
2.6.3.2	Dépendance en fréquence - t_{Stress}	113
2.6.3.3	Dépendance en fréquence - DP et DR	114
2.6.4	Résultats avec stress AVGP - Expériences et Simulations	115
2.6.4.1	Influence de la position des bits dans un stress NBTI AVGP	116
2.6.4.2	Influence du Duty Factor global d'un stress AVGP	118
2.6.5	Limites du modèle RC et de la CET-MAP	119
2.7	Modèle composite et dégradation NBTI	119
2.7.1	Modèle composite	120
2.7.1.1	Dégradation Permanente : DP	120
2.7.1.2	Dégradation Recouvrable : DR	120
2.7.1.3	Dégradation totale : modèle composite	121
2.7.2	Vérification du modèle composite	121
2.7.2.1	Dégradation permanente induite par les pièges d'interface <i>Nit</i>	121
2.7.2.2	Dégradation recouvrable induite par les pièges d'oxyde <i>Not</i>	121
2.7.3	Modélisation de la partie recouvrable	123
2.7.3.1	Normalisation en ts^α/tr	124
2.7.3.2	Origine du ratio ts^α/tr	125
2.7.3.3	Paramètre α et dégradation PBTI	126
2.7.4	Modélisation simple de la dégradation et extraction de durée de vie	126
2.8	Conclusion	129

2.1 Introduction

2.1.1 Historique de la dégradation NBTI

Dans ce Chapitre on s'intéressera aux problèmes de fiabilité liés à la dégradation NBTI (Negative Bias Temperature Instabilities). La dégradation NBTI est un phénomène observé pour la première fois en 1967 [1] et qui n'a cessé de prendre de l'ampleur depuis.

Avant de présenter, dans ce Chapitre, les travaux effectués pour caractériser et modéliser la dégradation NBTI, il convient de rappeler brièvement la nature de ce phénomène.

Historiquement, le phénomène de dégradation NBTI a été initialement attribué à la génération de centres P_b , ou états d'interface Nit , à l'interface entre le substrat et l'oxyde de grille par dépassivation des liaisons Si-H :



Le premier modèle qui a permis de décrire cette création d'états d'interface lors d'une contrainte NBTI est le modèle de Réaction-Diffusion qui a été imaginé par Jeppson et Svensson [2] et formalisé par Ogawa et Shiono [3]. Le modèle se base sur la réaction de passivation/dépassivation des liaisons Si-H à l'interface et introduit une diffusion des atomes d'hydrogène ainsi libéré dans l'oxyde de grille. Ces atomes d'hydrogène pourront ensuite se recombiner avec d'autres atomes ayant réagi et former des espèces H_2 qui pourront elles aussi diffuser dans l'oxyde de grille comme on peut le voir sur la Figure 2.1 :

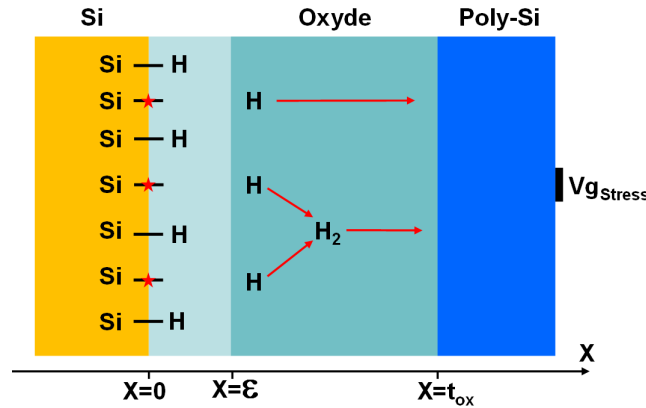


FIGURE 2.1 – Illustration du phénomène de Réaction Diffusion lors d'un stress NBTI. ϵ correspond à l'épaisseur de l'interface Si/SiO₂

Dans ce modèle, la dégradation NBTI est donc contrôlée par la création d'états d'interface, ΔNit , et la diffusion dans l'oxyde des atomes d'hydrogène. Le modèle de Reaction Diffusion, développé par Alam et Mahapatra [4], prévoit cinq phases dans la dégradation NBTI. Ces cinq phases sont décrites sur le schéma de la Figure 2.2 :

Chaque phase est caractérisée par une loi en puissance.

- (1) La phase de réaction qui est contrôlée par la dissociation des liaisons Si-H
- (2) La phase d'équilibre dans laquelle on a une équivalence entre la dissociation des espèces

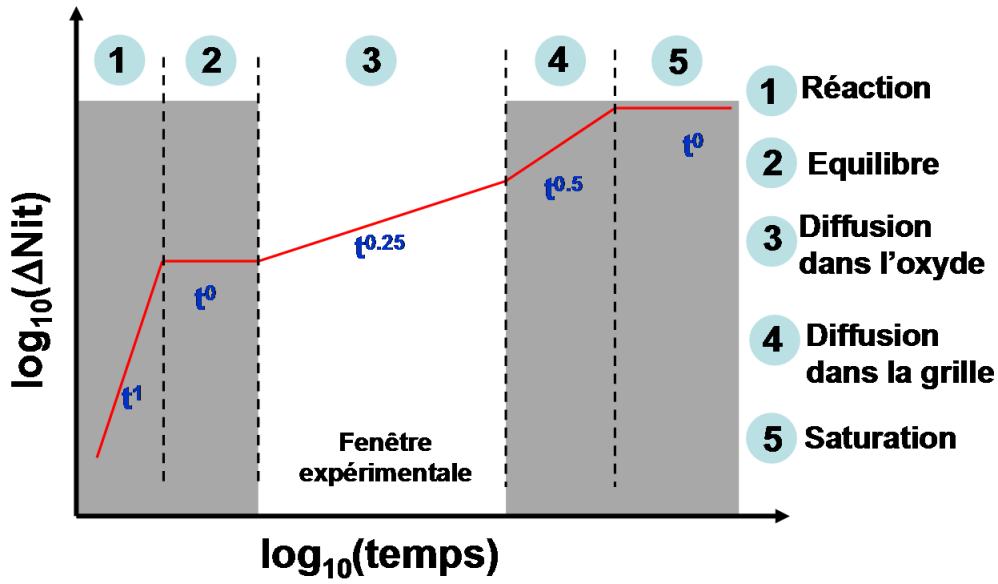


FIGURE 2.2 – Illustration des différentes phases intervenant dans le modèle de Réaction Diffusion. Seule la phase de diffusion dans l'oxyde est observable expérimentalement

Si-H et la recombinaison. Dans cette phase, tout les atomes d'hydrogènes sont encore à l'interface

(3) La phase de diffusion dans l'oxyde. C'est la phase la plus importante et aussi la seule que l'on observe expérimentalement. Elle est contrôlée par la diffusion des atomes d'hydrogène dans l'oxyde de grille. Dans cette phase, la dégradation suit une loi en puissance temporelle t^n avec $n \approx 0.25$. C'est pour cette raison que le NBTI a longtemps été modélisé par une loi temporelle simple.

(4) La phase de diffusion dans la grille. Elle correspond au moment où l'hydrogène atteint l'interface oxyde/grille poly-Si.

(5) La dernière phase est celle de la saturation. Dans cette phase, toutes les liaisons Si-H ont été dissociées. De ce fait, la génération d'états d'interface est nulle.

Le modèle de Réaction Diffusion a subi de nombreuses modifications depuis son introduction et fera office de référence pour décrire la dégradation NBTI pendant une vingtaine d'années.

2.1.2 Limitations du modèle historique

Le modèle de Réaction-Diffusion, noté modèle RD, et ses modèles dérivés ont toutefois montré leurs limites quand à leurs capacités à décrire complètement la dégradation NBTI. Notamment pour décrire les phénomènes de relaxation du ΔV_T qui se produisent après le stress NBTI.

En effet, le modèle RD prévoit une période de relaxation relativement courte, ne durant pas plus de 4 décades de temps. De plus, la relaxation prévue par le modèle est relativement lente : après un stress de 10ks seul 1% de la dégradation est supposée se relaxer durant la première seconde de relaxation [5]. En réalité, la relaxation démarre dès que la tension de stress est retirée et elle est globalement uniforme sur toute la période de relaxation.

De plus, la relaxation prévue par le modèle de RD est due à la rétro-diffusion des espèces neutres H_2 vers le substrat. Or ces espèces étant neutres, elle ne devrait pas être influencée par

2.1. Introduction

une polarisation de grille pendant la relaxation. Cependant, des expériences ont montré que la relaxation étant fortement dépendante de la tension de grille appliquée pendant la relaxation V_{gRelax} [6].

2.1.3 Nouveau modèle de la dégradation BTI

En fait, la dégradation NBTI n'est pas seulement due à la dégradation de l'interface Si/SiO₂. Elle est aussi fortement liée à la capture de porteurs par des défauts, ou pièges, dans l'oxyde de grille comme les centres E' par exemple [7]. De ce fait, on se dirige aujourd'hui vers un modèle qui sera capable de prendre en compte ces deux contributions lors du stress. Les phases de stress et de relaxation résulteront de la variation induite par ces deux mécanismes et sont schématisées sur la Figure 2.3 :

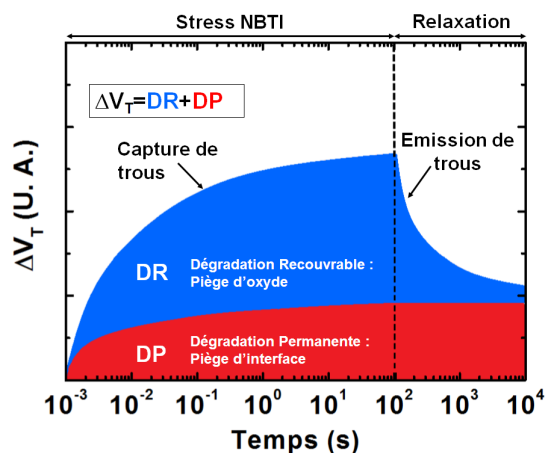


FIGURE 2.3 – Dégradation Permanente (DP) et dégradation recouvrable (DR) au cours d'un stress et d'une relaxation NBTI

Ce formalisme a été introduit par Vincent Huard [8] et permet de considérer le ΔV_T au cours de la dégradation NBTI comme la somme de deux composantes indépendantes :

- La dégradation permanente, DP, qui serait principalement due aux défauts d'interface. Cette dégradation augmente avec le temps de stress et ne diminue pas quand la tension de stress est retirée
- La dégradation recouvrable, DR, qui est principalement due aux pièges d'oxyde et qui se relaxe fortement une fois que la tension de stress est retirée

C'est en s'appuyant sur ce contexte que nous allons développer notre modèle NBTI

2.1.4 Cadre de notre étude de la dégradation NBTI

Un des principaux enjeux de la micro-électronique est la réduction des tensions d'alimentation afin de créer des technologies dites « Low Power ». De ce fait, contrôler la tension de seuil des dispositifs tout au long de leur durée de vie apparaît comme une condition nécessaire pour réaliser cet objectif. Il est donc important de caractériser, comprendre et modéliser au mieux le phénomène de dégradation NBTI pour décrire le plus correctement possible la variation de la tension de seuil des dispositifs au cours du temps.

Pour apporter une nouvelle vision de la dégradation NBTI, on étudiera le phénomène à la lumière de nos mesures ultra-rapides présentées dans le Chapitre 1. Ces expériences nous permettront d'explorer les phénomènes de dégradation et de relaxation du ΔV_T sur 10 décades de temps : de 10^{-6} s à 10^4 s. Par la suite, ces résultats de mesures ultra-rapides seront utilisés pour évaluer la pertinence des modèles utilisés aujourd'hui pour décrire la dégradation BTI. Cette comparaison permettra de tester les limites et la validité des modèles utilisés en fiabilité et de choisir le plus adapté pour décrire la dégradation mesurée sur nos dispositifs.

Dans ce Chapitre, on se focalisera essentiellement sur la dégradation NBTI, c'est à dire l'application de tension de stress négative sur la grille de transistors PMOS. Quelques résultats PBTI seront néanmoins présentés. Le choix de considérer en particulier le NBTI est guidé par l'importance du phénomène comparé à la dégradation PBTI.

Tous les tests NBTI effectués dans cette partie sont réalisés en utilisant la même méthodologie : une forte tension de stress négative, $V_{g_{Stress}}$ est appliquée sur la grille des transistors tandis que la source et le drain sont mis à la masse. Les dispositifs testés sont tous larges ($W=1\mu\text{m}$) et courts ($L=30\text{nm}$). On choisit de tester des transistors à larges surfaces pour minimiser la variabilité statique et dynamique inter dispositifs.

On présentera dans ce Chapitre les méthodes utilisées pour caractériser la dégradation NBTI. On rappellera notamment la technique de stress DC NBTI rapide déjà présentée dans le Chapitre 1. On présentera également la technique de stress AC NBTI rapide et les techniques de stress via génération de motif, ou pattern, et via pattern répétable dit AVGP pour Arbitrary Vg Pattern. On montrera les résultats expérimentaux obtenus sur nos dispositifs PMOS FDSOI et on comparera ces résultats aux modèles existants : modèle de Andreas Kerber [9], modèle de Tibor Grassler [10] et modèle de Hans Reisinger [11]. En adaptant ces modèles, on proposera notre propre modèle pour expliquer la dégradation NBTI. On discutera également des avantages et des inconvénients de notre modèle. Finalement, on présentera un modèle composite simple [8] pour décrire efficacement la dégradation NBTI mesurée en mode DC et estimer les durées de vie des dispositifs.

Une grande partie des résultats montrés dans ce Chapitre ont été présentés à la conférence IRPS [12].

2.2 Dégradation NBTI - Techniques de caractérisation

Dans cette partie, on présente les différentes méthodologies développées pour caractériser la dégradation NBTI. Dans un premier temps, on rappellera la technique de mesure DC NBTI présenté dans le Chapitre 1. On s'intéressera également à la technique de stress AC NBTI qui présente de nombreux avantages pour l'étude de cette dégradation.

Enfin, On présentera des tests originaux comme la technique de génération de pattern et la technique de stress via Pattern de grille répétables (dite technique AVGP pour Arbitrary VG Pattern). Ces techniques nous permettront de mettre en évidence certaines propriétés particulières du NBTI et d'étudier ce phénomène dans toutes les conditions possibles.

2.2.1 Méthodologie de stress DC

La méthode de stress classique utilisée pour caractériser la dégradation BTI est celle présentée dans le Chapitre 1 de Mesure-Stress-Mesure. On dit aussi que c'est une technique de stress DC dans le sens où la tension $V_{g_{Stress}}$ est constante au cours des phases de stress.

Sur la Figure 2.4 on rappelle les chronogrammes permettant de réaliser ces mesures.

On rappelle que, dans ce Chapitre, les transistors débitent suffisamment de courant pour utiliser un calibre de mesure élevé. De ce fait, on peut atteindre des temps de mesures de l'ordre quelques microsecondes pour obtenir les courbes caractéristiques $I_d(V_g)$ au cours du stress.

2.2.2 Méthodologie de stress AC

Dans cette partie, on présente la méthodologie permettant de réaliser des stress en mode AC.

Depuis quelques années, une nouvelle méthode de stress des transistors a été mise au point pour évaluer la dégradation des transistors en conditions de fonctionnement « circuit » : les stress BTI AC (pour alternatif). Contrairement aux stress DC, présentés dans le Chapitre 1, la tension de stress $V_{g_{Stress}}$ n'est pas constante pendant la phase de stress. Les stress AC sont une succession de très courtes phases de stress et de relaxation. On reproduit ainsi des conditions plus proches de celles d'un circuit dans lequel la tension vue par les transistors n'est pas constante, typiquement elle peut prendre deux valeurs : 0 et V_{dd} . Sur la Figure 2.5, on montre les chronogrammes des tensions de grille et de drain pendant un stress BTI de type AC.

Au final, les stress en mode AC sont assez similaires aux stress en mode DC. En effet, on utilise une fois encore la méthode de Mesure-Stress-Mesure, la différence se trouve dans la tension de stress qui n'est plus constante. Maintenant, la tension de grille lors du stress oscille entre la tension de stress $V_{g_{Stress}}$ et la tension de relaxation $V_{g_{Base}}$. Généralement, la tension $V_{g_{Base}}$ est égale à 0 pour être proche des conditions circuits. Cependant, il est tout à fait possible de choisir des tensions positives pour accélérer la relaxation lors de stress AC NBTI. Par ailleurs, on notera qu'il est aussi possible de réaliser des stress HCI en mode AC en synchronisant la tension de drain avec la tension de grille : c'est à dire en appliquant $V_{d_{Stress}}$ en même temps que $V_{g_{Stress}}$.

Enfin, on notera que la phase de relaxation après les stress AC est mesurée de la même façon que pour les stress DC. La tension de grille est laissée à la masse et on mesure des caractéristiques $I_d(V_g)$ un certain nombre de fois par décade de temps pour évaluer la relaxation du ΔV_T .

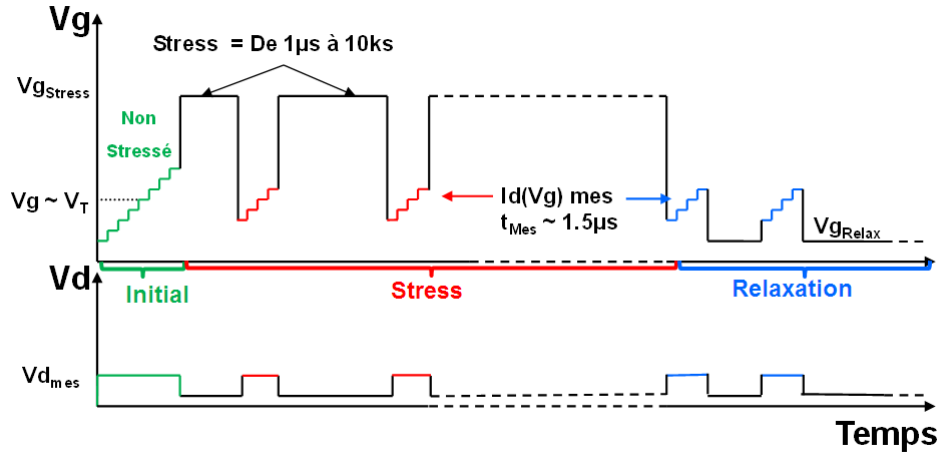


FIGURE 2.4 – Chronogrammes des tensions de grille et de drain pendant un stress BTI de type DC

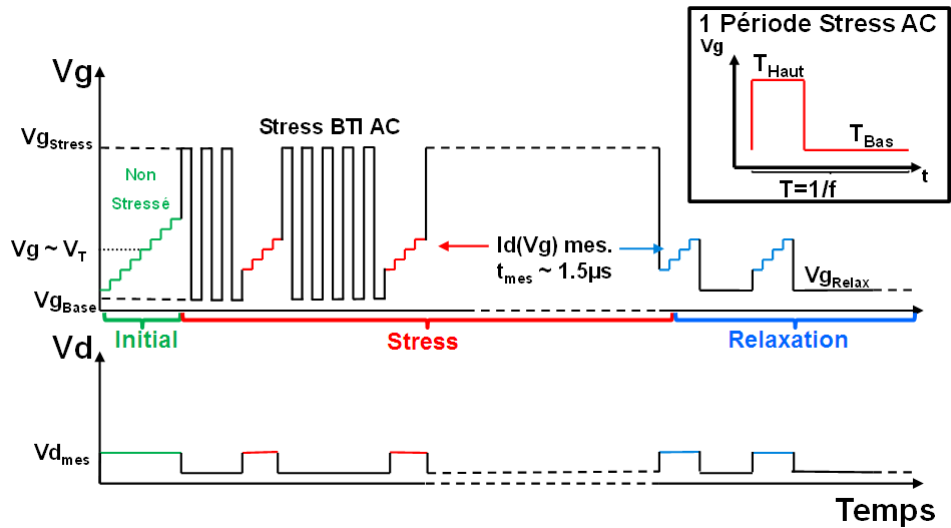


FIGURE 2.5 – Chronogrammes des tensions de grille et de drain pendant un stress BTI de type AC. Encart : représentation d'une unique période de stress AC

En observant la période d'un stress AC (encart de la Figure 2.5), on voit que le stress AC peut être entièrement défini par deux paramètres :

- La fréquence utilisée au cours de stress AC qui permet de faire le lien avec la vitesse de fonctionnement d'un circuit. Elle est définie par : $f = \frac{1}{T}$
- Le « Duty Factor », noté DF, qui permet de faire le lien avec l'activité d'un circuit. Il est donné par le rapport entre le temps de stress T_{Haut} et le temps de relaxation T_{Bas} au sein d'une période : $DF (\%) = \frac{T_{Haut}}{T_{Haut} + T_{Bas}} \cdot 100$

A ce stade, il est intéressant de noter que, si la méthodologie des stress BTI en mode AC est connue depuis plusieurs années, très peu de tests sont effectués aujourd'hui avec des mesures ultra-rapides (i.e. avec des temps de mesures du V_T de l'ordre de la μs). La plupart des tests BTI AC « classiques » se font avec un générateur de pulse pour générer le signal AC pendant le stress, la mesure quant à elle s'effectue avec des SMU classiques qui ont des temps de mesures de l'ordre de la dizaine de ms. On verra plus tard dans ce Chapitre que s'il est important de générer des signaux rapidement lors du stress AC, il est tout aussi important de les mesurer rapidement afin de s'affranchir des phénomènes de relaxation et évaluer correctement la dégradation.

2.2.3 Méthodologie de stress via pattern

En plus des stress en mode DC et en mode AC, il peut être intéressant d'utiliser d'autres types de test pour mieux comprendre les phénomènes mis en jeu dans une dégradation NBTI.

2.2.3.1 Patterns arbitraires : technique AVGP

Comme mentionné précédemment, le stress BTI en mode AC est un outil couramment utilisé aujourd'hui dans la fiabilité pour évaluer la dégradation des transistors en condition circuit. Cependant, les stress vraiment subis par les transistors en mode circuit ne sont jamais aussi réguliers que les stress AC BTI. On a donc développé une technique permettant de stresser les transistors avec des patterns de stress complètement modulables.

La technique a donc été nommée AVGP pour « Arbitrary VG Pattern ». Dans cette technique, on reprend le principe de base de la méthodologie Mesure-Stress-Mesure classique en remplaçant cependant la phase de stress par des répétitions pattern arbitraires. Un pattern est une succession de « bits », nommé ainsi par analogie avec les instructions reçues par les transistors en mode circuit, qui va constituer le pattern final. Ces bits vont constituer les briques élémentaires du pattern AVGP, ils seront de deux natures : les bits de stress, notés « 1 », codant une période où la tension de grille est maintenue à $V_{gStress}$ et les bits de relaxation, notés « 0 », codant une période où la tension de grille est maintenue à V_{gRelax} . Un exemple de pattern AVGP est présenté sur la Figure 2.6.

Dans cet exemple, le pattern est une succession aléatoire de « 1 » et de « 0 » avec un Duty Factor global de 50%, c'est à dire autant de bits de stress que de bits de relaxation. Les pattern reçoivent un code qui correspond simplement à la succession des bits dans le pattern. Cela rend plus facile leur identification et leur comparaison.

Sur la Figure 2.6, on peut voir également qu'il est possible de mesurer la dégradation après chaque bit du pattern grâce à des mesures ultra-rapide du V_T après chaque bit. Ces mesures montrent notre capacité à mesurer efficacement la tension de seuil des transistors sur des durées très courtes. On peut voir clairement l'augmentation du V_T du transistor mesuré après chaque

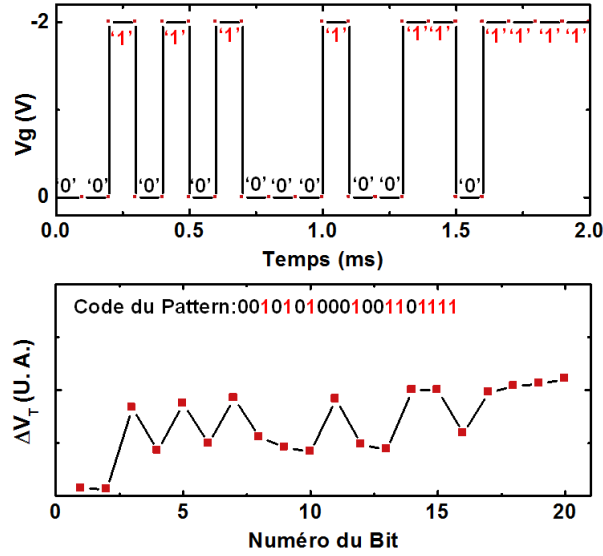


FIGURE 2.6 – (Haut) Exemple de stress AVGP de Duty Factor global 50%. Les temps élémentaires passés à 0V représentent les bits de relaxation « 0 » et les temps passés à -2V les bits de stress « 1 ». (Bas) Dégradation mesurée après chaque bit. La dégradation mesurée est cohérente avec la séquence des bits de stress et de relaxations

bit de stress et sa diminution après chaque bit de relaxation. En pratique, cependant, on se contentera de mesurer la dégradation après un certain nombre de pattern. Il n'est pas utile d'avoir la dégradation après chaque bit de chaque pattern. Typiquement, on procédera de la même façon que pour les stress DC et AC, i.e. le pattern est répété pour atteindre le nombre de pattern total voulu et la dégradation n'est mesurée que quelques fois par décade du nombre de patterns répétés.

Par la suite, le terme AVGP sera utilisé pour qualifier les patterns ayant un certain nombre de critères communs :

- Les bits de stress, « 1 », durant lesquels la tension de grille sera maintenue à $V_{g_{Stress}} = -2V$
- Les bits de relaxation, « 0 », durant lesquels la tension de grille sera maintenue à $V_{g_{Relax}} = 0V$
- Le nombre de bits présents dans un pattern répétable sera égal à 20
- La longueur des bits pourra varier de 1 μs à 100 μs

Techniquement, il est possible de répéter un pattern jusqu'à 10^{12} fois. Il est donc possible d'explorer des temps de stress de l'ordre de $\approx 10^6 s$ avec des patterns mettant en jeu des bits ayant des longueurs de l'ordre de la μs .

Il est intéressant de noter que la technique de stress AVGP est un outil très pratique et à usages multiples. En effet, en plus de produire des stress de type AVGP, la technique permet également de reconstruire facilement des stress de type DC, en utilisant uniquement des bits « 1 » dans le pattern de stress, et des stress de type AC, en répétant simplement des séquences de « 1 » et de « 0 ».

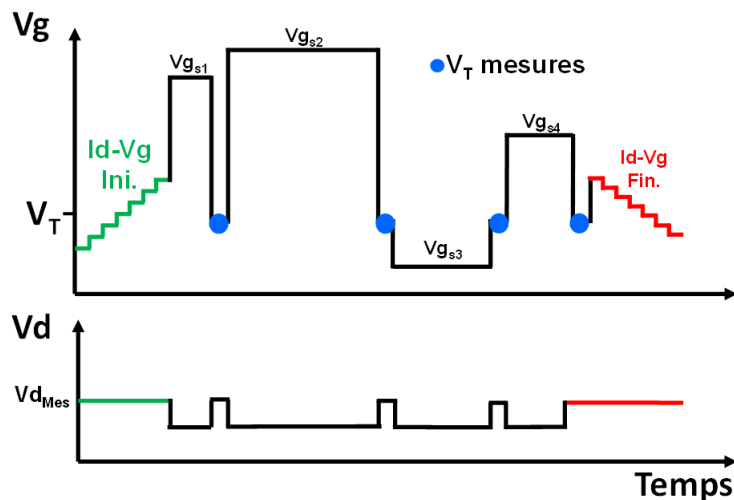


FIGURE 2.7 – Chronogrammes représentant l'évolution des tensions V_g et V_d lors de stress en mode « génération de pattern ». Le pattern comprend une caractéristique I_d - V_g complète initiale et finale. La mesure du V_T lors du stress se fait avec une unique mesure du courant et dure $\approx 600\text{ns}$

2.2.3.2 Patterns arbitraires : Génération de patterns

Enfin, la deuxième technique développée pour étudier la dégradation BTI nous permet de générer nos propres patterns de Grille/Drain afin de réaliser des signaux de stress totalement arbitraires. Dans ce mode, on ne limite plus la technique à des stress aux tensions $V_{gStress}$ et V_{gRelax} . La tension de grille peut prendre n'importe quelles valeurs. La Figure 2.7 montre le type de signaux de grille réalisables avec cette méthode.

Le pattern généré est caractérisé par une succession de tension de stress (V_{gs1} , V_{gs2} , V_{gs3} , ...) chaque période durant un certain temps de stress (ts_{s1} , ts_{s2} , ts_{s3} , ...). Les tensions et temps de stress (V_{gsi} , ts_{si}) sont totalement arbitraires et peuvent prendre n'importe quelle valeur pour étudier la dégradation BTI dans un toute sorte de configuration. Entre chaque période de stress, une mesure rapide du courant ($t_{mes}=600\text{ns}$) permet d'évaluer la dégradation au terme de la période de stress. Contrairement aux stress AVGP, ce type de pattern n'est pas répétable, on l'utilisera donc pour étudier le BTI dans des cas bien précis.

2.3 Propriétés du NBTI observées par des mesures DC

Dans cette partie, on présentera essentiellement des résultats de dégradation NBTI obtenus avec nos techniques de mesures ultra-rapides en mode DC et avec la technique de génération patterns (qui est, au final, un mode DC particulier). Ces résultats permettront de s'orienter vers le modèle à considérer pour décrire au mieux la dégradation NBTI sur nos dispositifs.

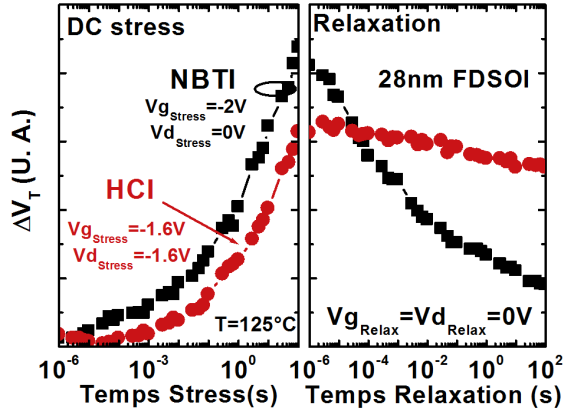


FIGURE 2.8 – (Gauche) Résultats de dégradation NBTI (Noir) et HCI (Rouge) donnant des dégradations semblables. (Droite) Relaxation après les stress NBTI et HCI. Deux dynamiques de relaxation différentes sont obtenues

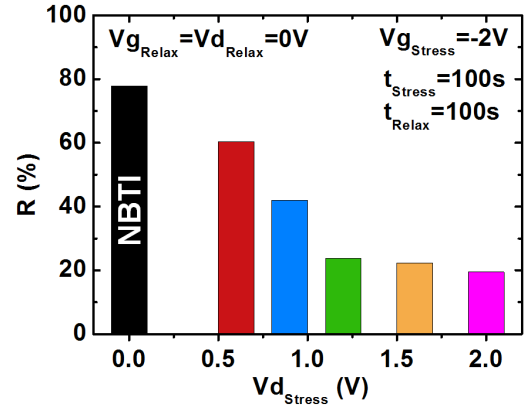


FIGURE 2.9 – Pourcentage de dégradation relaxée, R , après des phases de stress allant du NBTI ($V_{gStress} = -2V$, $V_{dStress} = 0V$) au pire cas HCI ($V_{gStress} = -2V$, $V_{dStress} = -2V$). La part de dégradation relaxée diminue fortement avec l'augmentation de $V_{dStress}$

2.3.1 Dispositifs testés

Une brève description des dispositifs testés est nécessaire avant de commencer cette partie sur les résultats expérimentaux.

Tous les dispositifs mesurés sont des transistors fabriqués en technologie 28nm FDSOI par STMicroelectronics. Les transistors comportent un oxyde de grille à forte permittivité électrique (High-K) et une grille métallique. L'épaisseur équivalente d'oxyde, ou EOT pour Equivalent Oxide Thickness, des transistors est d'environ 1nm. Les détails des procédés de fabrication et des performances électriques peuvent être trouvés dans la publication de N. Planes [13].

On s'intéressera essentiellement à la dégradation NBTI dans cette partie, tous les tests ont été effectués à $T = 125^\circ C$. De plus, pour des raisons de confidentialité, tous les résultats expérimentaux dans cette partie sont présentés en Unité Arbitraire (U. A.).

2.3.2 Le NBTI est il la résultante d'un seul ou plusieurs types de défauts ?

Dans un premier temps, on cherche à obtenir les dynamiques de dégradation et de relaxation du NBTI. Pour ce faire, on réalise des stress en mode NBTI et HCI et on compare les dynamiques de stress et de relaxations obtenues. Les résultats de dégradation sont présentés sur la Figure 2.8. Les conditions de stress du HCI sont adaptées pour que la dégradation globale, après la période de stress, soit comparable à celle du NBTI. Dans les deux cas, la relaxation s'effectue de la même façon, c'est à dire à tension de grille et de drain nulle.

Le but de cette expérience est de montrer que les dynamiques de relaxation après les deux types de stress sont différentes. Les mesures montrent que deux vitesses de relaxation caractérisent les deux différents stress. En particulier, on voit qu'une grande partie de la dégradation NBTI est relaxée au terme de 100s à $V_{gRelax} = 0V$. Au contraire, la partie relaxée après stress HCI est très faible. Ces deux dynamiques de relaxation signent la présence d'au moins deux types de défauts/pièges générés lors des deux dégradations. Des pièges « quasi

permanent » qui sont majoritaires lors des stress HCI et des pièges « recouvrables » qui sont majoritaires lors des stress NBTI.

Afin de quantifier plus précisément cette différence de dynamique durant les relaxations après un stress NBTI et un stress HCI. Nous avons réalisé plusieurs stress dans lesquels $V_{g_{Stress}}$ est fixée à -2V et la tension de drain varie de $V_{d_{Stress}}=0V$ (pour le cas du NBTI) à $V_{d_{Stress}}=-2V$ (pour le « pire cas » du HCI). Dans les deux cas, on mesure une fois encore la relaxation dans les mêmes conditions que précédemment (tension de grille et de drain nulle) et on évalue la part de la dégradation relaxée au terme de 100s de relaxation.

Le pourcentage de dégradation relaxée R étant simplement donné par :

$$R = \frac{\Delta V_T(t_{Stress} = 100s) - \Delta V_T(t_{Relax} = 100s)}{\Delta V_T(t_{Stress} = 100s)} \cdot 100 \quad (2.2)$$

La Figure 2.9 montre l'évolution de ce ratio, et donc donne une idée de la proportion du nombre de pièges permanents et recouvrables, à mesure que le stress passe du NBTI classique au pire cas du HCI. En particulier, le pourcentage de dégradation relaxée au bout 100s passe de 80 % pour le cas NBTI à 20 % pour le pire cas du HCI. Ces résultats tendent donc à confirmer l'existence de deux types de pièges distincts dans nos dispositifs :

- Certains avec des constantes de temps de capture équivalentes aux constantes de temps de relaxation (visibles en grande partie lors de stress NBTI) et qui constituent la Dégradation Recouvrable : DR.
- Certains avec des temps de relaxation bien plus importants que les temps de capture (visibles principalement lors de stress HCI) et qui constituent une Dégradation quasi Permanente : DP.

Une conséquence intéressante de ces mesures est qu'il n'est pas nécessaire d'effectuer des tests HCI en utilisant les techniques ultra rapides. En effet, la partie relaxée étant très faible et très lente, les mesures quasi statiques permettront de capturer l'essentiel d'une dégradation HCI.

En réponse à la question posée dans cette partie, on peut dire que **le NBTI est du à au moins deux types de défauts. Des défauts rapides qui sont majoritaires et des défauts aux constantes d'émissions très lentes et qui sont minoritaires.**

2.3.3 La dégradation NBTI est elle cumulative ?

En utilisant notre technique de génération de patterns, il est possible d'étudier d'autres aspects de la dégradation NBTI. On va notamment chercher à répondre à la question suivante : Est-ce que la dégradation NBTI est cumulative ?

On s'appuiera en particulier sur les travaux de Andreas Kerber et sur la technique de « Ramp Voltage Stress » (RVS).

2.3.3.1 Principe du modèle RVS

La technique de Ramp Voltage Stress a été mise au point par Andreas Kerber en 2006 pour des applications de claquage (TDDB) [14]. Elle a été étendue au NBTI en 2009 [9]. L'idée de cette technique est d'adresser plus rapidement la dégradation NBTI des dispositifs par des stress

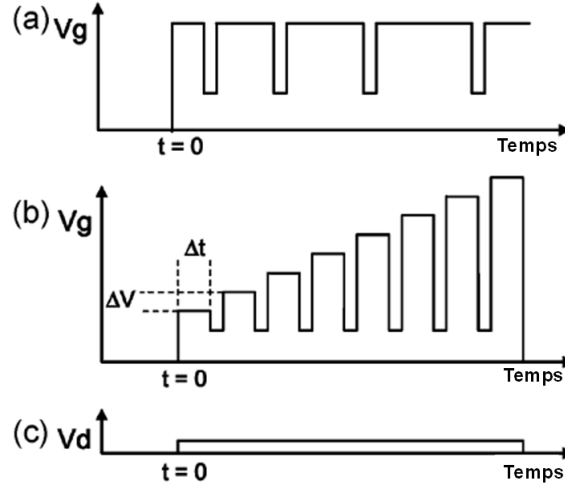


FIGURE 2.10 – Chrono-grammes représentant l'évolution des tensions de V_g et V_d au cours du temps pour des stress CVS (a) et (c) et des stress RVS (b) et (c)

où la tension de grille augmente progressivement. La Figure 2.10 montre une comparaison des stress RVS (b) et CVS (pour « Conventional Voltage Stress ») (a).

Le principe de la technique est de considérer que la dégradation NBTI sur chaque palier de temps Δt peut être exprimée par une loi en puissance définie par :

$$\Delta V_T(t_{CVS}, V_{CVS}) = A \cdot t_{CVS}^n \cdot V_{CVS}^m \quad (2.3)$$

Avec A une constante technologique, n la puissance temporelle et m l'accélération en tension.

Pendant le stress RVS, la tension de stress V_i est variable. On peut exprimer la tension de stress V_i au cours du stress RVS comme :

$$V_i = RR_{RVS} \cdot \Delta t \cdot i \quad (2.4)$$

où RR_{RVS} définie par la vitesse de rampe, $RR_{RVS} = \Delta V / \Delta T$

Avec i qui représente le i -ème intervalle de stress appliqué lors du RVS.

Ainsi, chaque stress à la tension V_i durant un stress RVS peut être relié à la dégradation équivalente causée par un stress CVS à la tension V_{CVS} :

$$\Delta t_i(V_{CVS}) = \frac{\Delta V_i}{RR_{RVS}} \left(\frac{V_i}{V_{CVS}} \right)^{m/n} \quad (2.5)$$

Le temps total équivalent à un stress CVS pour toute la durée du stress RVS peut être exprimé en sommant les contributions obtenues sur chaque palier du stress RVS :

$$t_{CVS} = \int_0^{V_{RVS}^{max}} \frac{dV}{RR_{RVS}} \left(\frac{V}{V_{CVS}} \right)^{m/n} \quad (2.6)$$

Ce qui donne, après intégration :

$$t_{CVS} = \frac{V_{CVS}^{-m/n}}{RR_{RVS} \cdot (m/n + 1)} (V_{RVS}^{max})^{m/n+1} \quad (2.7)$$

En réinjectant l'équation 2.6 dans l'équation 2.3, on obtient une loi en puissance du ratio de rampe (RR_{RVS}) et de la tension maximale de la rampe (V_{RVS}^{max}) :

$$\Delta V_T(RR_{RVS}, V_{RVS}^{max}) = \frac{A}{(m/n + 1)} \frac{(V_{RVS}^{max})^{m+n}}{RR_{RVS}^n} \quad (2.8)$$

Cette équation donne la dégradation obtenue au cours d'un stress RVS en fonction des facteurs de dégradations d'un stress CVS, m et n , de la vitesse de rampe, RR_{RVS} , et de la tension max atteinte lors du stress RVS, V_{RVS}^{max} .

Au final, l'idée principale de ce modèle est d'augmenter graduellement la tension de stress pour accélérer la dégradation. L'hypothèse de base du modèle est que la dégradation NBTI mesurée sur chaque palier est cumulative, on peut ainsi sommer les dégradations sur chaque période de temps Δt_i et obtenir la dégradation finale donnée par l'équation 2.8. On s'intéressera par la suite à la validité de ce modèle.

2.3.3.2 Résultats expérimentaux et validité du modèle RVS

Comme détaillé dans la partie précédente, ce modèle se base sur deux hypothèses essentielles :

- (i) La dégradation NBTI suit une loi en puissance donnée par l'équation 2.3
- (ii) La dégradation NBTI sur chaque palier de la rampe de stress est additive

On se propose de vérifier ces hypothèses sur nos dispositifs.

On réalise tout d'abord des stress NBTI conventionnels (i.e. des stress DC). La Figure 2.11 montre les dégradations NBTI obtenues pour 4 tensions de stress. La loi en puissance donnée par l'équation 2.3 est utilisée pour décrire les dégradations mesurées.

On voit clairement que la loi en puissance n'est adaptée que sur les dernières décades de temps, c'est à dire pour des temps de stress longs. En particulier, les dégradations obtenues dans les 4 premières décades (de 10^{-6} s à 10^{-2} s) sont clairement éloignées de la dégradation prévue par la loi en puissance. Ce résultat est problématique car la première hypothèse du modèle est que les dégradations NBTI suivent une loi en puissance **sur toute la durée du stress**, or on voit que ce n'est pas le cas pour les faibles temps de stress.

On cherche maintenant à vérifier la deuxième hypothèse du modèle RVS.

En utilisant la technique de génération de patterns, on est capable de créer un pattern de stress permettant de vérifier l'additivité des stress NBTI. On réalise un pattern de stress à « 4 étapes ». La Figure 2.12 montre le pattern utilisé. Chaque étape de stress dure 10s et

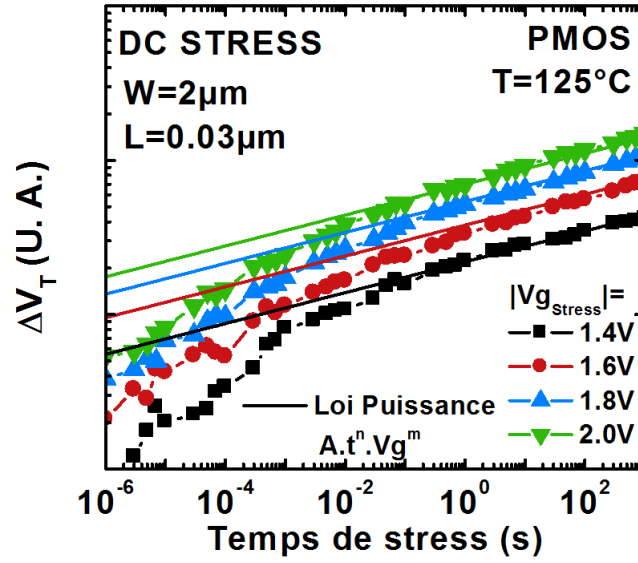


FIGURE 2.11 – (Symboles) Dégradations NBTI pour 4 tensions de stress $V_{g\text{Stress}}$: -1.4V (Noir), -1.8V (Rouge), -1.8V (Bleu), -2.0V (Vert) à $T=125^\circ\text{C}$. Les dégradations sont représentées en échelle log-log. (Lignes) Loi en puissance. La loi en puissance est efficace pour décrire le ΔV_T uniquement sur les dernières décades de temps.

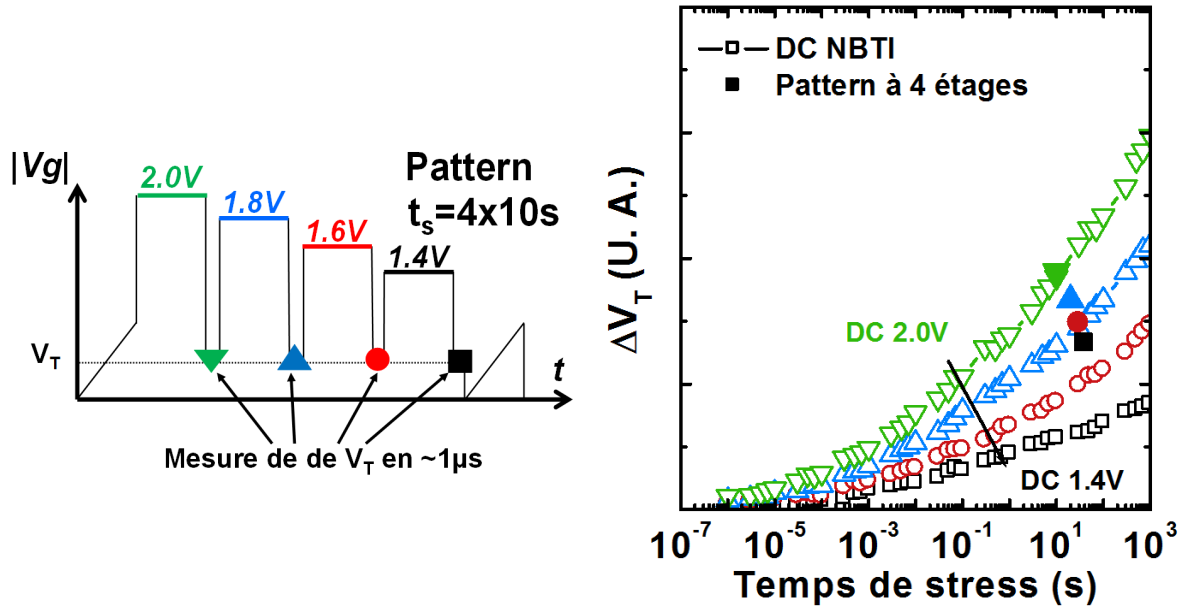


FIGURE 2.12 – (Gauche) Pattern à 4 étages. La tensions de stress décroît de $V_{g\text{Stress}}=-2\text{V}$ à $V_{g\text{Stress}}=-1.4\text{V}$. Chaque phase de stress dure 10s. (Droite) Résultats de la dégradation NBTI DC (Figure 2.11) représenté en échelle lin-log et de la dégradation due au pattern à 4 étages

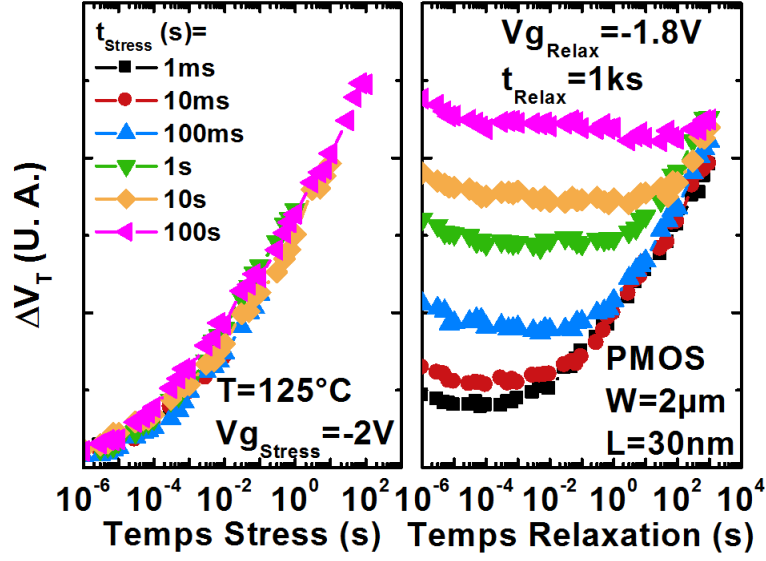


FIGURE 2.13 – (Gauche) Stress NBTI réalisés à $V_{gStress}=-2V$ et arrêté à différents temps de stress (de 1ms de stress à 100s). (Droite) Relaxation à $V_{gRelax}=-1.8V$ après les différents stress NBTI pendant $t_{Relax}=1ks$

les tensions de stress décroissent de $V_{gStress}=-2V$ à $V_{gStress}=-1.4V$ par palier de 200mV. Une mesure rapide du V_T en $\approx 600ns$ permet d'extraire la dégradation NBTI au cours du pattern.

On compare la dégradation obtenue avec le pattern aux dégradations obtenues pour des stress DC aux 4 mêmes tensions de stress. Les résultats sont reportés sur la Figure 2.12. On peut voir que le ΔV_T mesuré avec le pattern après les 10 premières secondes de stress se superpose parfaitement avec la dégradation NBTI DC à $V_{gStress}=-2V$. Cependant, alors qu'un stress est toujours appliqué sur la grille du transistor dans les 3 étages suivants, le ΔV_T diminue et la dégradation se relaxe.

Des résultats identiques ont été obtenus sur transistors NMOS pour des stress PBTI.

Clairement, ces résultats montrent l'absence d'additivité de la dégradation NBTI sur nos dispositifs. De ce fait, il est impossible de considérer le modèle RVS proposé par Andreas Kerber comme valable dans notre cas.

Il est intéressant de noter que la dégradation ne peut décroître éternellement quand on passe d'une tension de stress forte (e.g. $V_{gStress}=-2V$) à une tension de stress plus faible (e.g. $V_{gStress}=-1.8V$). La dégradation du V_T doit reprendre après un certain temps. Pour mettre en évidence cette reprise de la dégradation, on a réalisé des stress en changeant les ratios entre les temps de stress et les temps de relaxation. La Figure 2.13 montre des stress NBTI obtenus à $V_{gStress}=-2V$ pour différent temps de stress : $t_{Stress}=1ms$ à $t_{Stress}=100s$. Les relaxations s'effectuent à $V_{gRelax}=-1.8V$ et les temps de relaxation sont tous identiques et égaux à 1ks.

On voit que la dégradation reprend dans la phase de « relaxation » après un certain temps. La tension de seuil dégradé lors de la phase de stress se relaxe pendant un certain temps (qui augmente avec le temps de stress). Après cette période de relaxation, la dégradation reprend et le V_T recommence à augmenter.

Ce résultat est intéressant et particulièrement dur à prendre en compte dans les études de

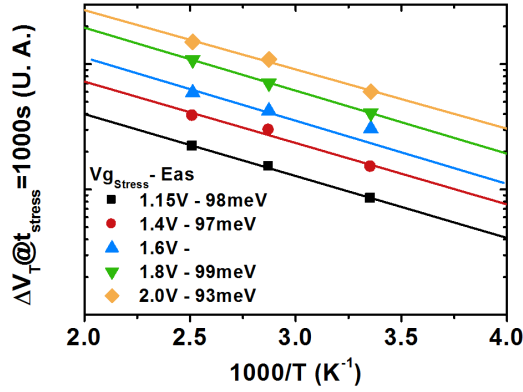


FIGURE 2.14 – Dégradation NBTI mesurée après 1ks de stress en fonction de la température pour 5 tensions de stress : -1.15V (Noir), -1.4V (Rouge), -1.6V (Bleu), -1.8V (Vert) et -2.0V (Orange). (Lignes) Loi d'Arrhenius

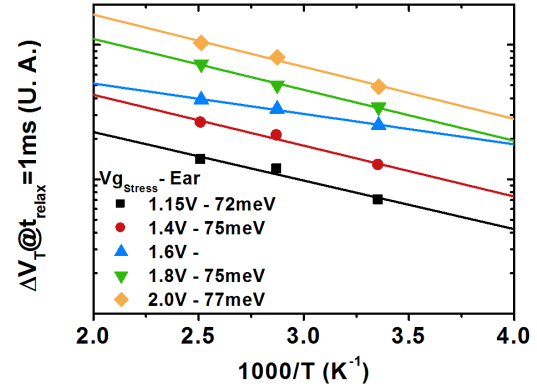


FIGURE 2.15 – Relaxation NBTI mesurée après 1ms de relaxation en fonction de la température pour 5 tensions de stress : -1.15V (Noir), -1.4V (Rouge), -1.6V (Bleu), -1.8V (Vert) et -2.0V (Orange). (Lignes) Loi d'Arrhenius

fiabilité et d'évaluation de durée de vie.

Enfin, en réponse à la question posée dans cette partie, on peut dire que **le NBTI n'est pas cumulatif. On ne peut pas sommer directement la dégradation NBTI obtenue sur chaque période de stress pour obtenir la dégradation totale.**

2.3.4 Le NBTI est-il activé en température ?

Le dernier point caractérisé avec nos mesures NBTI rapides est l'énergie d'activation Ea de la dégradation. Des mesures de stress et de relaxations NBTI DC à différentes températures ont permis d'extraire l'énergie d'activation du stress Eas et de la relaxation Ear .

Pour extraire Eas , on réalise des stress DC NBTI pour différentes températures : 25°C, 75°C et 125°C. On mesure la dégradation dans ces trois cas au terme de 1ks de stress. On répète cette opération pour plusieurs tensions de stress pour étudier si l'énergie d'activation varie avec la tension de stress. Les résultats sont reportés sur la Figure 2.14.

De la même façon, on peut obtenir l'énergie d'activation de la relaxation Ear en mesurant la relaxation aux mêmes températures après les phases de stress. Pour avoir une estimation correcte de la dégradation, on mesure la dégradation après 1ms de relaxation. En effet, la dégradation serait trop faible pour certaines tensions de stress après 1ks de relaxation. Les résultats sont reportés sur la Figure 2.15

Les énergies d'activation extraites sont indépendantes de la tension de stress et valent toutes $\approx 100\text{meV}$ pour la capture et $\approx 75\text{meV}$ pour l'émission. Ces énergies sont cohérentes avec celles trouvées dans la littérature [15], [16].

En conclusion, on peut dire que **le stress NBTI et la relaxation NBTI sont des mécanismes activés en température.**

2.3.5 Résumé des propriétés NBTI obtenues par des mesures DC

On résume ici les propriétés essentielles observées grâce à nos mesures de stress DC ultra-rapides. Ces propriétés vont nous aiguiller vers le modèle à considérer pour modéliser la dégradation sur nos dispositifs.

On a notamment vu que :

(1) La dégradation NBTI résulte de deux types de défauts. (i) Des défauts qui se relaxent dans des constantes de temps proches des constantes de temps utilisés lors du stress et qui constituent la partie recouvrable de la dégradation NBTI. (ii) Des défauts qui ont des constantes d'émissions très grandes et qui constitue donc la partie permanente de la dégradation. On a vu également que, pour des stress NBTI, les défauts recouvrables semblent plus nombreux que les défauts permanents.

(2) La dégradation NBTI n'est pas cumulative. On ne peut pas sommer directement la dégradation NBTI obtenue sur chaque période de stress pour obtenir la dégradation totale. De plus, on a vu que la loi en puissance, couramment utilisée pour décrire la dégradation NBTI, ne permet pas une description correcte de la dégradation sur l'ensemble du temps de stress. Elle convient cependant pour modéliser la dégradation pour les temps de stress longs.

(3) La phénomène de dégradation et de relaxation NBTI sont, tous les deux, des mécanismes activés en température.

2.4 Propriétés du NBTI observées par des mesures AC

Dans cette partie, on présente maintenant des résultats de dégradation NBTI obtenues avec nos techniques de mesures ultra-rapides en mode AC.

2.4.1 Intérêt des stress BTI en mode AC

La technique des stress AC a été développée car elle présentait de nombreux avantages :

(i) Le premier avantage est d'évaluer la dégradation des transistors dans des conditions plus proches des « conditions circuits ». En effet, dans un fonctionnement réel, les transistors ne sont pas soumis en permanence à une tension de stress comme c'est le cas quand on se place en configuration de stress DC. La tension de grille des transistors varie entre la tension d'alimentation, i.e de la tension de stress, et la tension de relaxation en fonction des instructions reçues. Le Duty Factor permet de prendre en compte l'activité globale d'un circuit et la fréquence la vitesse de fonctionnement du circuit.

(ii) Le second avantage est que les stress AC semblaient permettre d'évaluer expérimentalement principalement la dégradation permanente (DP) de la dégradation NBTI. En particulier, la technique devrait permettre de s'affranchir d'une grande partie de dégradation recouvrable (DR) en s'appuyant sur l'idée que les pièges d'oxyde, responsables de la DR, n'ont qu'un rôle très limité dans la dégradation NBTI AC. Le raisonnement était le suivant, les pièges qui ont des constantes de capture τ_c largement supérieures à la demi période T_{Haut} n'ont pas le temps de se charger pendant les courtes périodes du stress AC. De plus, les pièges ayant des constantes de temps inférieures ou égal à T_{Haut} peuvent se remplir pendant cette phase mais ils se videront dans la phase suivante T_{Bas} . De ce fait, les pièges rapides, eux non plus, ne contribuent pas au ΔV_T AC. En conclusion, la dégradation NBTI mesurée après un stress AC se limiterait, selon

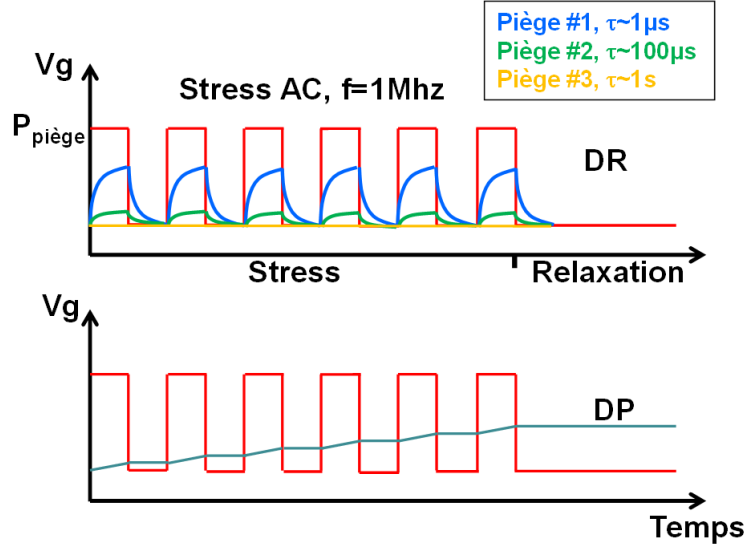


FIGURE 2.16 – (Haut) Probabilité de remplissage des pièges, $P_{\text{piège}}$, lors de stress AC BTI. Les pièges ayant des constantes de temps trop grandes n’ont pas le temps de se remplir durant T_{Haut} et ceux avec des temps trop rapides sont très vite vidés lors de la phase de relaxation, T_{Bas} . (Bas) Augmentation de la dégradation permanente lors des stress AC BTI. Lors des phases de relaxation, la DP ne diminue pas et constitue la principale composante du ΔV_T global après la phase de stress

cette idée, principalement à la contribution de la DP comme on cela est schématisé sur la Figure 2.16.

2.4.2 Le stress AC NBTI peut il évaluer la dégradation permanente ?

On cherche maintenant à évaluer la capacité des stress AC NBTI à obtenir la partie permanente de la dégradation. Notamment, on verra si cette théorie est confirmée lors de mesures ultra rapides.

La Figure 2.17 montre des résultats de stress AC NBTI réalisés pour 3 différentes tensions de stress : $V_{g_{\text{Stress}}} = -1.6\text{V}$, -1.8V et -2V . La tension basse utilisée lors du stress est $V_{g_{\text{Base}}} = +0.7\text{V}$ afin de favoriser le dé-piégeage pendant les phases basses du stress AC. La Figure montre également les relaxations à tension de grille nulle après le stress AC.

Malgré des conditions largement en défaveur du piégeage lors du stress ($V_{g_{\text{Base}}} = +0.7\text{V}$, $f=100\text{kHz}$ et $DF=25\%$), une partie recouvrable non négligeable est observée. En effet, on voit que lors de la phase de relaxation la dégradation diminue sur les 9 décades de temps de mesures (de 10^{-6}s à 10^3s de relaxation).

Ces mesures montrent que les stress AC ne génèrent pas uniquement une dégradation permanente, une partie de la dégradation AC NBTI est due au piégeage de trous et est clairement réversible. **En particulier, ces expériences montrent qu’une quelconque dégradation permanente ne peut être extraite directement à partir de mesures AC NBTI simples.**

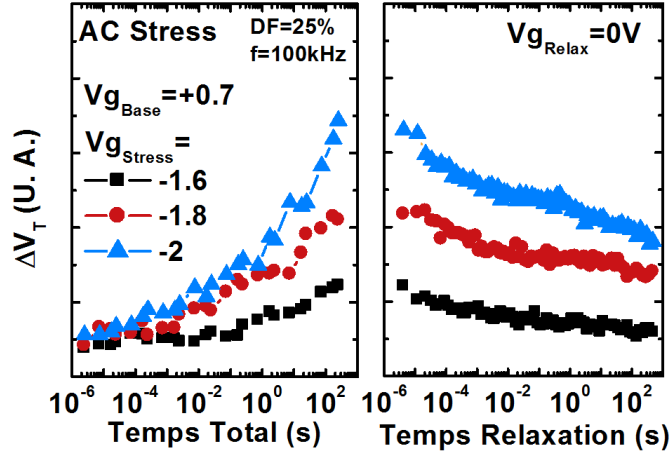


FIGURE 2.17 – (Gauche) Dégradation NBTI au cours de stress AC de fréquence $f=100\text{kHz}$ et $DF=25\%$. Trois tensions de stress sont représentées : -1.6V (noir), -1.8V (rouge), -2.0V (Bleu), dans les trois cas on a $Vg_{Base}=+0.7\text{V}$. (Droite) Relaxation à $Vg_{Relax}=0\text{V}$ après les stress AC NBTI. Une partie recouvrable non-négligeable est mesurée

2.4.3 Pourquoi des pièges recouvrables se remplissent au cours d'un stress AC ?

On a vu que les stress AC se voulait être une méthode permettant de limiter la partie recouvrable du NBTI en ne donnant pas aux pièges les plus lents l'opportunité de se charger durant les faibles périodes de stress T_{Haut} . Les résultats expérimentaux obtenus sur nos dispositifs avec des mesures rapides ont permis de montrer qu'une part non négligeable de relaxation existait encore après des stress AC NBTI, prouvant ainsi qu'un certain nombre de pièges avaient réussi à se charger lors du stress AC.

Dans un premier temps, on cherche donc à comprendre cette question du remplissage des pièges. Notamment, comment des pièges avec des constantes de capture plus longues que la demi période du stress AC (c'est à dire telles que $\tau_c^{piège} \gg 1/f$) parviennent tout de même à se remplir au cours d'un stress AC ? .

Pour répondre à cette question du remplissage des pièges, on considère une approche stochastique. On imagine un dispositif possédant exactement un piège par décade de temps de capture et d'émission. Ainsi, sur les 10 décades de temps de capture et d'émission (de 10^{-6}s à 10^4s) le dispositif comportera exactement $11 \times 11 = 121$ pièges.

On représente ces pièges par un carré sur une carte des constantes de temps de capture et d'émission. La Figure 2.18 présente cette carte, avec en ordonnée les temps d'émission moyens τ_e des pièges et en abscisse leurs temps de capture moyens τ_c . De ce fait, chaque carré de la carte correspond à un piège unique ayant le couple de constantes de temps (τ_c, τ_e) .

De plus, on a vu dans le Chapitre 1 que le remplissage et le vidage des pièges obéit à une loi exponentielle. Les probabilité de capture d'un piège lors des phases de stress, P_c , et d'émission, P_e , lors des phases de relaxation d'un stress AC sont données par :

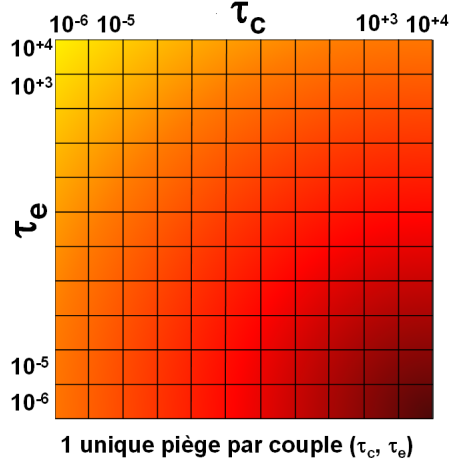


FIGURE 2.18 – Cartographie des couples de constantes de temps de capture et d'émission considérer. Chaque carré correspond à un unique piège i ayant le couple de constante de temps (τ_c^i, τ_e^i)

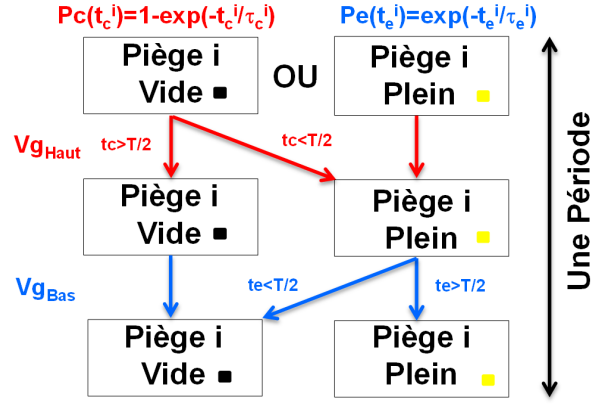


FIGURE 2.19 – Démarche pour évaluer le remplissage et le vidage des pièges au cours d'une période de stress AC

$$Pc(tc) = 1 - e^{-\frac{tc}{\tau_c}} \quad (2.9)$$

$$Pe(te) = e^{-\frac{te}{\tau_e}} \quad (2.10)$$

Par simulation itérative, il est donc possible de voir l'évolution du remplissage des pièges lors d'un stress BTI AC.

Pour ce faire, on considère que, sur chaque période du stress AC, les pièges ont deux comportements possibles suivant leurs états :

- (i) Si les pièges sont vides, ils vont avoir l'opportunité de se charger au cours de la demi-période de stress. Pour tous les pièges i vides, une valeur de temps de capture t_c^i est tirée aléatoirement suivant une loi exponentielle centrée de valeur moyenne τ_c^i . Le temps de capture est alors comparé à la valeur de la demi-période du stress AC. Si le temps est inférieur on considère que le piège se charge, s'il est supérieur on considère que le piège n'a pas eu le temps de se charger. Durant cette période de stress, on considère que tous les pièges déjà chargés restent chargés
- (ii) Si les pièges sont pleins, on réalisera une étude similaire mais cette fois orientée sur le vidage des pièges. Tous les pièges vides resteront vides pendant la phase de relaxation. Les pièges pleins auront une opportunité de se vider si la constante de temps d'émission t_e^i tirée aléatoirement suivant la loi exponentielle de moyenne τ_e^i est inférieure à la durée de la demi période du stress AC

Cette démarche est détaillée sur la Figure 2.19. On considère que les pièges pleins sont égaux à « 1 » (carrés jaunes) et les pièges vides à « 0 » (carrés noirs).

En conservant ce formalisme et en appliquant ces simulations sur tous les pièges de la carte présentée sur la Figure 2.18 on est capable de calculer le remplissage des différents pièges au

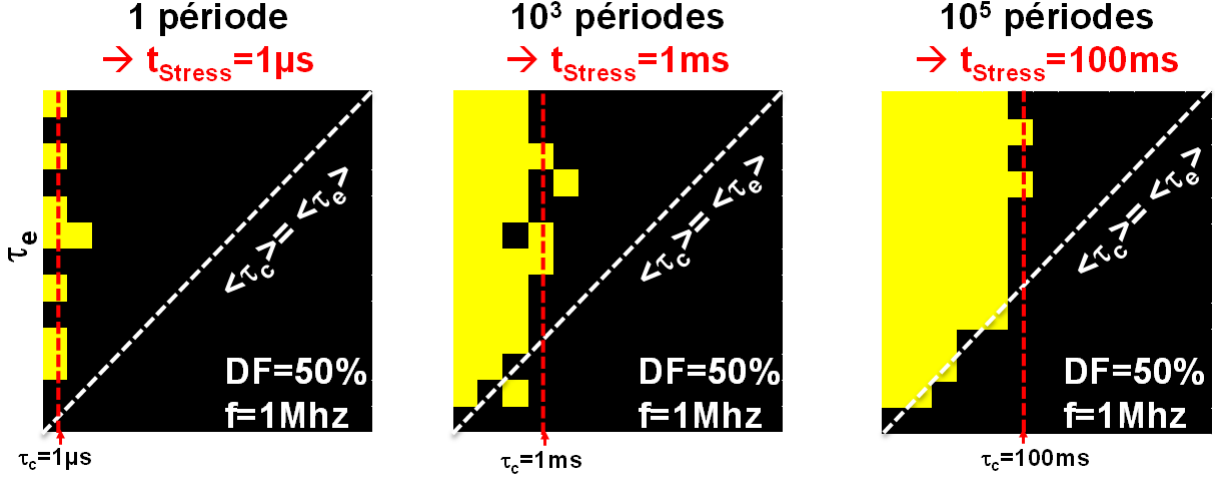


FIGURE 2.20 – Simulations de remplissage des pièges lors d'un stress AC NBTI de Duty Factor 50% et de fréquence 1MHz en utilisant la démarche de la Figure 2.19. Les carrés jaunes correspondent aux pièges chargés et les carrés noirs aux pièges vides. On a simulé 3 nombres de périodes différentes : (Gauche) 1 période, (Milieu) 10^3 périodes et (Droite) 10^5 périodes. Le nombre de pièges remplis augmente avec le temps de stress global malgré leur grand temps de capture comparé à la durée de la période ($T_{Haut}=500\text{ns}$)

cours d'un stress AC.

Les résultats sont présentés sur la Figure 2.20. On a soumis le dispositif, et donc les pièges, à un stress AC de fréquence $f=1\text{MHz}$ et un Duty Factor de 50%. Les remplissages et vidages des pièges ont été calculés pour des durées de stress totales allant jusqu'à 100ms, soit l'équivalent de 100000 périodes. Les résultats de simulations montrent que, malgré les très faibles temps de stress effectifs ($T_{Haut}=500\text{ns}$), les pièges avec des constantes de captures relativement longues arrivent quand même à se remplir : pour 100000 périodes, on arrive à remplir des pièges ayant des constantes de temps moyennes égales à 100ms. C'est d'ailleurs un autre résultat intéressant de la simulation : lors de stress AC, on a tendance à remplir les pièges ayant en moyenne (i) une constante moyenne de temps de capture τ_c inférieure à la constante moyenne de temps d'émission τ_e et (ii) une constante moyenne de temps de capture τ_c inférieure au temps de stress total t_{Stress} .

Ces résultats montrent donc que, malgré la très faible probabilité des pièges ayant une constante de capture τ_c très supérieure à T_{Haut} de se remplir sur une période donnée, ces pièges arrivent tout de même à se remplir du fait du grand nombre de « chances » qui leur sont donné au cours du stress AC. On en déduit que les stress AC ne concernent donc pas uniquement des pièges ayant des constantes de temps de l'ordre de la période du stress. Les pièges ayant des constantes de temps très longues peuvent aussi se remplir s'ils sont soumis à suffisamment de périodes. Cela permet de donner une explication à la relaxation mesurée après le stress AC NBTI de la Figure 2.17, la partie recouvrable proviendrait des pièges lents qui se seraient chargés au cours des 1000s de stress AC.

Cet aspect particulier du comportement des pièges lors de stress AC devra être pris en compte par le modèle décrivant la dégradation NBTI sur nos dispositifs.

2.5 Modélisation de la dégradation NBTI

On s'intéresse maintenant à la modélisation de la dégradation NBTI sur nos dispositifs. On se basera sur les résultats expérimentaux obtenus dans la partie précédente pour choisir un modèle adapté.

On présentera rapidement quel modèle on utilisera pour décrire la partie permanente de la dégradation.

Puis, dans un second temps, on s'intéressera à la modélisation de la dégradation recouvrable. En se basant sur le comportement des pièges vis à vis du pattern à quatre étage, on considérera un modèle dont le remplissage serait majoritairement contrôlé par le niveau de Fermi. On se penchera plus particulièrement sur le modèle Multi Phonon Non Radiatif développé par Tibor Grasser [10].

Enfin, on présentera un modèle simplifié, dit modèle RC, pour décrire plus efficacement la dégradation NBTI sur nos dispositifs.

2.5.1 Modélisation de la dégradation permanente : loi de puissance temporelle

On associe la dégradation permanente à la génération d'états d'interface. Ce phénomène serait donc gouverné par le mécanisme de Réaction-Diffusion décrit dans l'introduction.

De ce fait, l'éventuelle partie dégradation permanente présente sur nos dispositifs sera décrit par une loi en puissance temporelle :

$$\Delta V_{T,Nit}(ts, V_{gs}, T) = C \cdot V_{g_{Stress}}^{\gamma_p} \cdot e^{-\frac{qE_{ap}}{kT}} \cdot ts^n \quad (2.11)$$

Avec C une constante technologique, γ_p le paramètre d'accélération en tension, E_{ap} l'énergie d'activation de la dégradation et n le facteur d'accélération temporelle.

2.5.2 Modélisation de la dégradation recouvrable : modèle SRH

On cherche maintenant à modéliser la dégradation due aux pièges d'oxyde, soit la dégradation recouvrable. On s'intéresse dans un premier temps à un modèle où la capture et l'émission sont gouvernés par modèle SRH modifié (pour Shockley-Read-Hall). Le modèle utilisé ici est adapté du modèle de Xavier Garros [17] initialement utilisé dans le cadre de dégradation PBTI.

2.5.2.1 Principe du modèle SRH

A l'origine, le modèle SRH traite les défauts présents dans le canal d'un semiconducteur [18]. On suppose ici que les défauts sont dans l'oxyde de grille et que leur remplissage ou leur vidage s'effectue par une transition tunnel des trous présents dans le canal. Dans notre modèle, on considère en plus que lorsqu'un piège capture un trou il se relaxe pour gagner un niveau d'énergie plus stable. Ainsi, on notera E_t l'énergie du piège et E_r son énergie de relaxation. La Figure 2.21 illustre les mécanismes de capture et d'émission de trous depuis le canal vers les pièges d'oxyde.

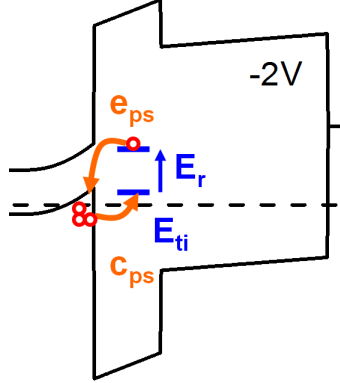


FIGURE 2.21 – Capture et émission de trous par un piège situé dans l'oxyde lors d'un stress NBTI à $V_{gStress} = -2V$.

Dans ce modèle, le remplissage et vidage des n pièges est gouverné par $(n + 1)$ équations différentielles couplées.

On a tout d'abord n équations différentielles régissant le remplissage des n différents pièges d'oxyde i :

$$\frac{\partial f_t^i}{\partial t} = c_{ps} \cdot (Vg, E_{ti}) \cdot (1 - f_t^i) - e_{ps}(Vg, E_{ti}) \cdot f_t^i \quad (2.12)$$

Avec c_{ps} et e_{ps} les taux de capture et d'émission des pièges et f_t^i leur taux de remplissage par un trou.

En plus de ces n équations, il faut considérer une dernière équation, électrostatique, qui prend en compte le changement de champ dans l'oxyde induit par le remplissage et le vidage des différents pièges au cours du stress et de la relaxation :

$$Vg = Vfb + \Delta V_T(t) + \Psi_s(Vg) + V_1(Vg) + V_2(Vg) \quad (2.13)$$

Avec Vfb le potentiel de bande plate, Ψ_s le potentiel de surface.

Au final, le ΔV_T causé par le remplissage de pièges présents dans la couche d'oxyde interfacial IL est donné par l'expression :

$$\Delta V_T = q \sum_i Nt_i f_t^i \left(\frac{1}{C_{IL}} + \frac{1}{C_{HK}} - \frac{xt_i}{T_{IL} C_{IL}} \right) \quad (2.14)$$

Avec Nt_i la densité du piège i , T_{IL} l'épaisseur de l'oxyde interfacial, xt_i la position du piège dans l'oxyde et (C_{IL}, C_{HK}) les capacités d'oxyde interfacial et de HK du transistor.

Pour utiliser le modèle, il reste donc à déterminer les constantes de temps caractéristiques des pièges.

2.5.2.2 Constante de temps données par le modèle SRH

Les constantes de temps qui permettent de calculer le remplissage des pièges sont donnés par un simple modèle tunnel. Ainsi on a :

$$\frac{1}{\tau_c^i} = c_{ps} = v_{th}\sigma_p \cdot ps(Vg) \cdot T_{tunnel}(Et_i, Vg) \quad (2.15)$$

$$\frac{1}{\tau_e^i} = e_{ps} = c_{ps} \cdot e^{-\frac{(Et_i - E_{ri} - Ef)}{kT}} \quad (2.16)$$

Avec σ_p la section efficace de capture des trous, T_{tunnel} la transparence tunnel, E_f le niveau de Fermi, v_{th} la vitesse thermique et ps la concentration de trous dans le canal à l'interface.

Ce modèle permet d'obtenir les constantes de capture et d'émission des pièges. Toutefois, on constate que le modèle est indépendant de la température. En effet, c_{ps} et e_{ps} dépendent très peu de T. Or, on a clairement montré, expérimentalement, que la capture et l'émission sont des mécanismes activés en température.

Pour ces raisons, on préférera considérer un autre modèle pour déterminer les temps de capture et d'émission des pièges.

2.5.3 Modélisation de la dégradation recouvrable : modèle Multi Phonon Non Radiatif

Le modèle Multi Phonon Non Radiatif (NRMP) initialement proposé par B. K. Ridley [19] suscite aujourd'hui un engouement nouveau dans la communauté de la fiabilité micro électronique. Notamment, les travaux de Tibor Grasser sur le modèle NRMP ont beaucoup contribué à l'amélioration de ce modèle pour les applications de fiabilité NBTI contemporaines [20].

2.5.3.1 Modèle NRMP à 3 états - Chaîne de Markov

Dans cette partie, on adopte le modèle NRMP proposé par Tibor Grasser dans [10]. Dans ce modèle, les pièges d'oxyde peuvent se trouver dans 3 états distincts :

(i) L'état « 1 » qu'occupe le piège quand il est vide. Dans cet état il se trouve à l'énergie E_1 . Lorsque le dispositif est soumis à un stress électrique, l'énergie E_1 augmente et facilite les transitions vers les autres états.

(ii) L'état « 2 » qui correspond à l'état qu'occupe un piège qui est chargé. On choisira l'énergie du piège dans cet état comme référence d'énergie, de ce fait on aura $E_2 = E_v = 0$

(iii) L'état méta-stable « 2' » qui correspond à un état transitoire entre « 1 » et « 2 ». Dans cet état, Le piège peut transiter vers l'état « 2 » par une relaxation du réseau ou ré-émettre un trou pour retourner vers l'état « 1 ». La justification de l'existence de cet état se trouve dans l'existence des « switching trap » responsables du RTN anormal [21].

Le diagramme d'énergie correspondant au modèle NRMP à 3 états est représenté sur la Figure 2.22. Les énergies E_1 , $E_{2'}$, E_2 représentent les énergies du piège dans les différents états. Les énergies $\mathcal{E}_{12'}$, $\mathcal{E}_{2'1}$, $\mathcal{E}_{22'}$ correspondent aux énergies de transitions entre les différents états. Par convention, on notera toujours \mathcal{E}_{ij} l'énergie nécessaire pour passer de l'état i à l'état j.

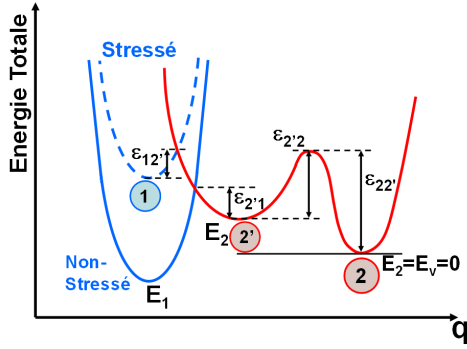


FIGURE 2.22 – Schéma montrant les trois états du piège et les transitions non radiatives assistées par des phonons entre les différents états

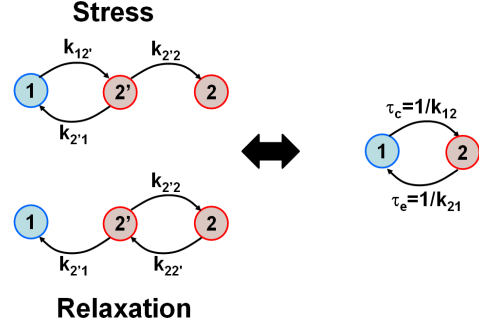


FIGURE 2.23 – Chaîne de Markov dans le cas d'un stress et d'une relaxation NBTI d'un système à 3 états (Gauche) et d'un système simple à 2 états (Droite)

On peut schématiser les transitions entre les différents états avec des « chaînes de Markov » donné par la Figure 2.23 pour le stress et la relaxation NBTI. En configuration de stress la probabilité de retour de « 2 » vers « 2' » est quasiment nulle [10]. De la même façon, lorsque le système est en relaxation, la probabilité de retour de « 1 » vers « 2' » est aussi proche de 0. Les constantes k_{ij} correspondent aux taux de transition entre les états i et j . De la même façon que pour les énergies, k_{ij} correspond au taux de transition de l'état i vers l'état j et k_{ji} de l'état j vers l'état i . Ainsi, si on se trouvait dans un système simple à deux états « 1 » et « 2 », les constantes de temps d'émission et de capture seraient données par $\tau_e = 1/k_{21}$ et $\tau_c = 1/k_{12}$ respectivement.

On cherche maintenant à résoudre ces chaînes de Markov pour obtenir l'expression des constantes de temps de capture et d'émission des pièges.

Si on se place en configuration de stress, on peut écrire les équations différentielles régissant les probabilités d'acceptation, p_i , des différents états du système :

$$\begin{cases} \frac{\partial p_1}{\partial t} = k_{2'1} \cdot p_{2'} - k_{12'} \cdot p_1 \\ \frac{\partial p_{2'}}{\partial t} = k_{12'} \cdot p_1 - (k_{2'1} + k_{2'2}) \cdot p_{2'} \\ \frac{\partial p_2}{\partial t} = k_{22'} \cdot p_{2'} \end{cases} \quad (2.17)$$

Ce qui donne, écrit sous forme matricielle :

$$X' = M \cdot X \quad (2.18)$$

Avec :

$$X' = \begin{pmatrix} p_1' \\ p_2' \\ p_2' \end{pmatrix}, M = \begin{pmatrix} -k_{12'} & k_{2'1} & 0 \\ k_{12'} & -(k_{2'1} + k_{12'}) & 0 \\ 0 & k_{22'} & 0 \end{pmatrix}, X = \begin{pmatrix} p_1 \\ p_2' \\ p_2 \end{pmatrix}$$

On résout le système d'équations différentielles en calculant les valeurs propres de M. Après calcul du déterminant $|M - \lambda I|$, on obtient les trois valeurs propres λ_i :

$$\begin{cases} \lambda_0 = 0 \\ \lambda_1 = \frac{1}{2} \left(-s + \sqrt{s^2 - 4k_{12'}k_{2'2}} \right) \\ \lambda_2 = \frac{1}{2} \left(-s - \sqrt{s^2 - 4k_{12'}k_{2'2}} \right) \end{cases} \quad (2.19)$$

Avec $s = k_{12'} + k_{2'1} + k_{22'}$

La solution générale du système d'équations 2.17 peut s'écrire :

$$X(t) = \alpha_0 e^{-\lambda_0 t} U_0 + \alpha_1 e^{-\lambda_1 t} U_1 + \alpha_2 e^{-\lambda_2 t} U_2 \quad (2.20)$$

Avec U_0, U_1 et U_2 vecteurs propres de M et α_0, α_1 et α_2 des constantes à déterminer. Par calcul à partir des valeurs propres, on trouve que les vecteurs propres sont égaux à :

$$U_0 = \begin{pmatrix} 0 \\ 0 \\ 1 \end{pmatrix}, U_1 = \begin{pmatrix} \frac{s - 2k_{2'2} - \sqrt{s^2 - 4k_{12'}k_{2'2}}}{2k_{2'2}} \\ -\frac{s - \sqrt{s^2 - 4k_{12'}k_{2'2}}}{2k_{2'2}} \\ 1 \end{pmatrix}, U_2 = \begin{pmatrix} \frac{s - 2k_{2'2} + \sqrt{s^2 - 4k_{12'}k_{2'2}}}{2k_{2'2}} \\ -\frac{s - \sqrt{s^2 + 4k_{12'}k_{2'2}}}{2k_{2'2}} \\ 1 \end{pmatrix}$$

En considérant les conditions limites : $p_1=1, p_2'=0$ et $p_2=0$ à l'état initial ($t=0$), on peut calculer les constantes α_0, α_1 et α_2 . Finalement, en projetant la solution générale 2.20 sur l'axe des z, on obtient la probabilité de capture p_c :

$$p_c(t) = 1 - \frac{1}{\tau_2 - \tau_1} \left(\tau_2 e^{-t/\tau_2} - \tau_1 e^{-t/\tau_1} \right) \quad (2.21)$$

Avec $\tau_1 = -1/\lambda_1$ et $\tau_2 = -1/\lambda_2$. La densité de probabilité que le piège passe de l'état « 1 » à l'état « 2 » dans ce modèle à 3 états est donné par :

$$g(\tau) = \frac{dp_c(\tau)}{d\tau} \quad (2.22)$$

Ce qui donne :

$$g(\tau) = \frac{e^{-\tau/\tau_2} - e^{-\tau/\tau_1}}{\tau_2 - \tau_1} \quad (2.23)$$

La constante de capture moyenne est donnée par l'espérance de la densité de probabilité $g(\tau)$:

$$\tau_c = \int_0^\infty \tau g(\tau) d\tau \quad (2.24)$$

Après calcul de l'intégrale, on obtient :

$$\tau_c = \tau_1 + \tau_2 \quad (2.25)$$

En écrivant le temps de capture moyen des pièges en fonction des paramètres du modèle, on peut exprimer τ_c sous la forme :

$$\tau_c = \frac{k_{2'1} + k_{12'} + k_{2'2}}{k_{12'} + k_{2'2}} \quad (2.26)$$

De la même façon, lorsqu'on se trouve en configuration de relaxation, on peut obtenir le temps d'émission moyen des pièges en effectuant la même démarche :

$$\tau_e = \frac{k_{2'2} + k_{22'} + k_{2'1}}{k_{22'} + k_{2'1}} \quad (2.27)$$

On a maintenant les expressions des constantes de temps de capture et d'émission des pièges dans le modèle NRMP à 3 états.

2.5.3.2 Modèle NRMP - Constantes de temps

Il est maintenant possible de calculer les deux constantes de temps moyennes du piège. Les facteurs k_{ij} étant donné par :

$$\begin{cases} k_{12'} = \sigma \cdot v_{th} \cdot p \cdot e^{-\beta \varepsilon_{12'}} \\ k_{2'1} = \sigma \cdot v_{th} \cdot p \cdot e^{-\beta \varepsilon_{2'1}} \\ k_{22'} = 1/\tau_{c,min}^{2'} \text{ En configuration de stress} \\ k_{2'2} = 1/\tau_{e,min}^{2'} \text{ En configuration de relaxation} \end{cases} \quad (2.28)$$

Avec σ la section efficace de capture des trous, v_{th} la vitesse thermique des porteurs, p la concentration de porteurs, calculée en utilisant une statistique de Boltzmann. Les constantes de temps $\tau_{c,min}^{2'}$ et $\tau_{e,min}^{2'}$ correspondent aux transitions thermiques qui « bornent » les constantes de temps globales.

En réécrivant les expressions de τ_c et τ_e on obtient :

$$\tau_c = \tau_{c,min}^{2'} \left(1 + \frac{k_{2'1}}{k_{12'}} \right) + \frac{1}{k_{12'}} \quad (2.29)$$

$$\tau_e = \tau_{e,min}^{2'} \left(1 + \frac{k_{2'2}}{k_{2'1}} \right) + \frac{1}{k_{2'1}} \quad (2.30)$$

A ce stade, il ne reste plus qu'à calculer les différents paramètres k_{ij} en fonction des paramètres du modèle. Ainsi, après calculs, on obtient pour les paramètres utilisés dans la constante de capture [10] :

$$1/k_{12'} = \frac{\tau_0}{p} \cdot \exp \left[-\frac{Rx}{1+R} \frac{F}{V_T} \right] \cdot N_v \cdot \exp \left[\beta \left(\frac{\varepsilon_R}{(1+R)^2} - \frac{R}{1+R} (\Delta E_1 - \varepsilon_{2'2}) \right) \right] \quad (2.31)$$

$$k_{2'1}/k_{12'} = N_v \cdot \exp [\beta (\varepsilon_{2'2} - \Delta E_1)] \cdot \exp \left[-\frac{x F}{V_T} \right] \quad (2.32)$$

Et pour les paramètres utilisés dans la constante d'émission :

$$1/k_{2'1} = \tau_0 \cdot \exp \left[\beta \left(\frac{\varepsilon_R}{(1+R)^2} + \frac{\Delta E_1 - \varepsilon_{2'2}}{1+R} \right) \right] \cdot \exp \left[\frac{\beta x}{1+R} \frac{F}{V_T} \right] \quad (2.33)$$

$$k_{2'1}/k_{12'} = 1/k_{2'1} \cdot \exp (\beta \varepsilon_{2'2}) \quad (2.34)$$

Avec $\tau_0^{-1} = N_v v_{th} \sigma e^{-x/x_0}$, $R = \omega_1/\omega_2$ où ω_i est la fréquence vibration du défaut i au minimum d'énergie E_i , $\Delta E_1 = E_1 - E_v$, $\beta = q/k_B T$, ε_R est l'énergie de relaxation et vaut $S \hbar \omega$ où S est le coefficient de Huang-Rhys qui détermine le nombre de phonons permettant la relaxation d'un état i vers un état j . Finalement F représente le champ électrique dans la structure.

Ces expressions permettent donc de connaître les constantes de temps moyennes de capture et d'émission des pièges répartis dans tout l'oxyde. Le calcul du remplissage des pièges, f_t , au cours du temps se fait en résolvant la même équation différentielle du premier ordre que celle utilisée par le modèle SRH, l'équation 2.12 reformulée ici :

$$\frac{\partial f_t^i}{\partial t} = \frac{1}{\tau_c(Vg, xt, Et, Er...)} (1 - f_t^i) - \frac{1}{\tau_e(Vg, xt, Et, Er...)} f_t^i \quad (2.35)$$

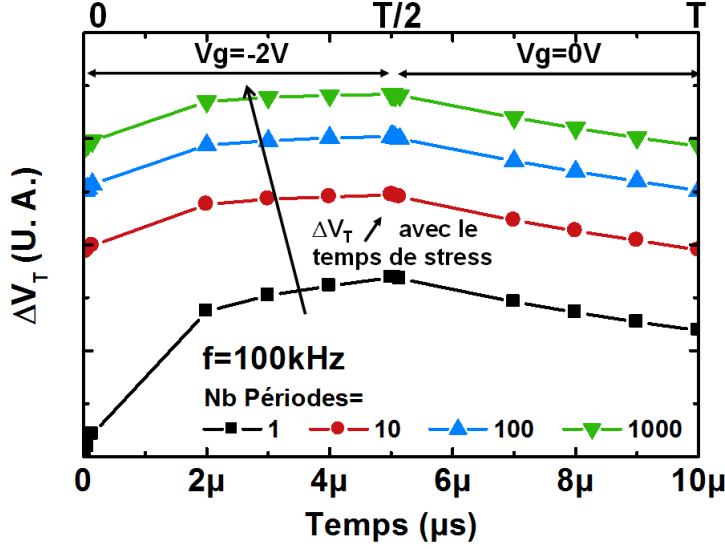


FIGURE 2.24 – Simulation de la dégradation AC NBTI obtenue au cours de la première période du stress AC (Noir), de la dixième période (Rouge), de la centième période (Bleu) et de la millièmè période (Vert)

En utilisant cette équation, on est maintenant capable de calculer le remplissage/vidage des pièges au cours du temps. Notamment, on verra si le modèle est capable d'expliquer les résultats expérimentaux obtenus précédemment.

Avant d'utiliser le modèle NRMP, il convient de noter que ce modèle requiert un nombre important de paramètres pour déterminer « physiquement » les deux constantes de temps τ_c et τ_e des pièges. Parmi ces paramètres, un certain nombre sont impossibles à déterminer en pratique. En réalité, ils deviennent des « paramètres de fits » et n'ont finalement que peu de sens physique. Les valeurs des paramètres utilisés pour faire fonctionner le modèle sont celles données par Tibor Grassner dans [10].

2.5.3.3 Modèle NRMP - Simulations et résultats expérimentaux

On cherche à reproduire les résultats expérimentaux en utilisant le modèle NRMP développé précédemment. Le premier résultat que l'on tente de reproduire est l'augmentation de la dégradation au cours de stress AC NBTI. On a simulé un stress AC classique à $V_{gStress} = -2V$, de fréquence 100kHz et de Duty Factor 50%. Les résultats des dégradations obtenues par simulations au cours de la première, dixième, centième et millièmè période sont reportés sur la Figure 2.24.

Durant chaque période du stress AC, les simulations montrent une augmentation de la dégradation durant la première demi-période, correspondant au moment où la tension de stress est appliquée, suivie d'une relaxation de la dégradation durant la seconde demi période, durant laquelle on applique $V_{gRelax} = 0V$. Cependant, on voit que la dégradation globale augmente avec le nombre de périodes, c'est à dire avec le temps de stress total. On a donc bien une augmentation constante du ΔV_T avec le temps de stress malgré le fait que des pièges ont des constantes de temps de capture bien supérieures aux demi périodes de stress appliquées au cours du stress

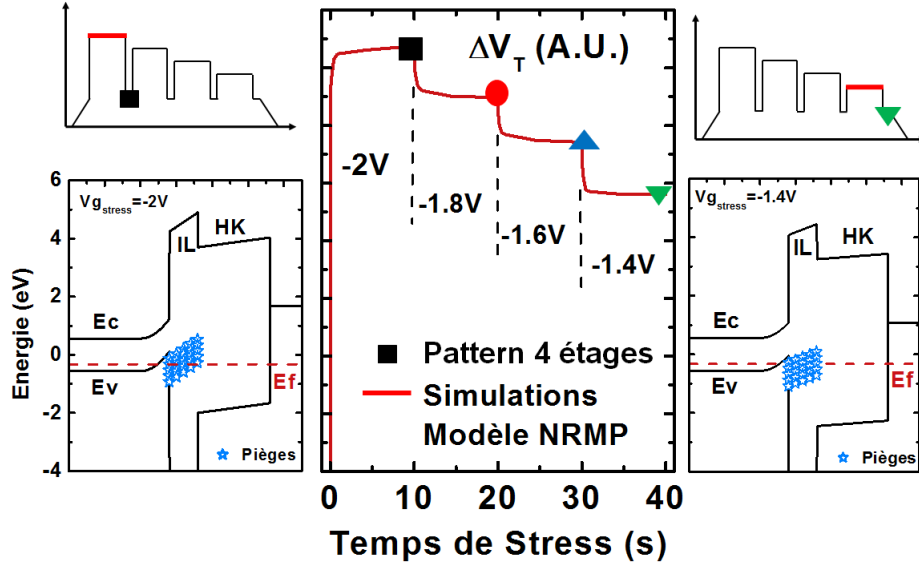


FIGURE 2.25 – (Centre) Simulations du pattern à 4 étages (voir Figure 2.25) avec le modèle NRMP. Les diagrammes de bandes d'énergie pendant les 10 premières secondes du pattern (Gauche) et 10 dernières secondes (Droite) sont également présentés

AC : $\tau_c \approx 2s$ pour un piège situé au milieu de l'oxyde et à $E_T \approx -0.6eV$.

On cherche maintenant à reproduire le comportement des pièges vis à vis du pattern à 4 étages. Les simulations obtenues avec le modèle NRMP sont présentées sur la Figure 2.25. Les diagrammes des bandes lors du premier palier de stress ($V_{gStress} = -2V$) et du dernier palier de stress ($V_{gStress} = -1.4V$) sont également reportés sur la Figure.

Le modèle est capable de bien reproduire le comportement observé expérimentalement, i.e. la relaxation de la dégradation après les premières 10s de stress à $V_{gStress} = -2V$. En particulier, on remarque que, suivant leur niveau d'énergie, certains pièges avec des niveaux d'énergies E_t - E_v de $-0.85eV$ capturent un trou durant les premières 10s de stress et le ré-émettent au cours des changements de tensions de stress successifs de $-2.0V$ à $-1.4V$. Par exemple, si on choisit les pièges ayant une énergie $E_t = -0.85eV$, la Figure 2.26 montre le remplissage de ces pièges au cours des trois premières phases du pattern en fonction de leur position dans l'oxyde.

La Figure montre que lors des premières 10s de stress à $V_{gStress} = -2V$ une partie des pièges est remplie (les plus éloignés de l'interface). Lors des phases de stress suivantes, les pièges les plus proches de l'interface vont avoir tendance à se vider avec la diminution de la tension de stress.

On confirme donc que le modèle NRMP permet de bien décrire la dégradation NBTI mesurée sur nos dispositifs. Ces résultats montrent que le remplissage des pièges gouverné par le niveau de Fermi est une hypothèse valable pour expliquer les résultats de dégradation NBTI.

2.5.3.4 Modèle NRMP - Limitations

On a vu que le modèle centré exclusivement sur le piégeage et dont le remplissage est gouverné par le niveau de Fermi permet donc d'expliquer qualitativement les résultats expérimentaux de dégradation NBTI obtenus sur nos transistors. Toutefois, on veut être capable

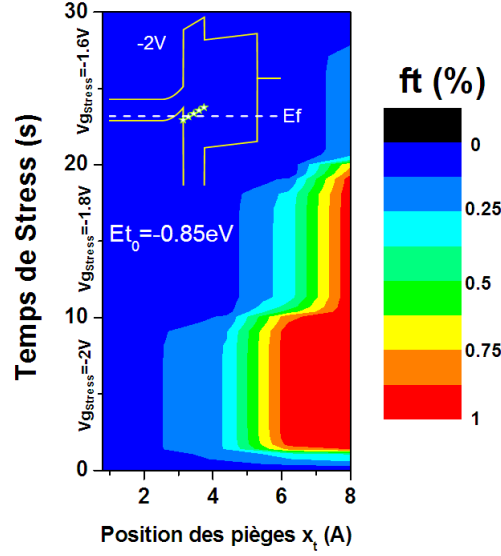


FIGURE 2.26 – Remplissage des pièges d'énergie $E_t = -0.85\text{eV}$ au cours des trois premières phases du pattern à 4 étages

d'expliquer parfaitement la dégradation mesurée expérimentalement. On s'intéresse notamment à l'ensemble des dynamiques mesurées lors d'un stress NBTI : dégradation et relaxation. En particulier, on veut que le modèle NRMP soit capable de reproduire les cinétiques de stress et de relaxation mesurées. Pour tester le modèle dans ces conditions, on a réalisé des mesures de stress DC NBTI à $V_{gStress} = -2\text{V}$ durant 1ks suivie d'une relaxation de 1ks à $V_{gRelax} = -1.8\text{V}$. Les résultats sont présentés sur la Figure 2.27. Cette expérience peut se voir comme un pattern à deux paliers dans lequel on mesure la dégradation tout au long des paliers (au lieu de la mesurer uniquement en fin de palier). Ces mesures nous donne donc les dynamiques de stress et de relaxation. En gardant les mêmes paramètres que ceux utilisés dans la partie précédente, on reporte également sur la Figure 2.27 les simulations obtenues avec le modèle NRMP.

On voit que l'on est bien capable de reproduire l'aspect qualitatif de la dégradation, i.e. la décroissance du ΔV_T durant la phase de relaxation malgré la forte tension appliquée $V_{gRelax} = -1.8\text{V}$. Cependant, on voit que les dynamiques obtenues grâce au modèle sont clairement mauvaises. On arrive aux bons niveaux de dégradation après stress et après relaxation mais les cinétiques de piégeage et de dé-piégeage prévues par le modèles conduisent à une mauvaise cinétique du ΔV_T final.

Cette mauvaise évaluation des cinétiques de stress et de relaxation vient, selon nous, du trop grand nombre de paramètres nécessaires pour faire fonctionner le modèle et notamment calculer les temps de capture et d'émission des pièges. De ce fait, ce modèle semble inadapté pour décrire des phénomènes plus complexes, tels que les stress en mode AVGP. Par la suite, on se concentrera donc sur un autre modèle où les constantes de temps des pièges seront cette fois considérées comme un paramètre d'entrée du modèle plutôt que la résultante d'un modèle « physique » avec de trop nombreux paramètres.

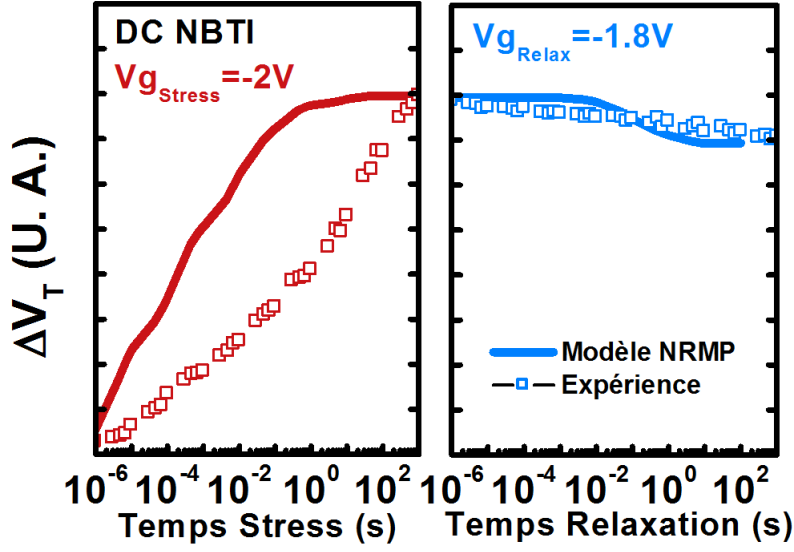


FIGURE 2.27 – (Gauche) Dégradation NBTI durant un stress à $V_{g_{Stress}} = -2V$ pendant 1ks et (Droite) relaxation à $V_{g_{Relax}} = -1.8V$ durant 1ks. (Symboles) Mesures expérimentales. (Traits) Modèle NRMP

2.5.4 Modèle de piégeage simplifié - Modèle RC

On a vu dans la partie précédente qu'un modèle de piège était capable d'expliquer les phases de stress et de relaxation de stress AC NBTI.

Le modèle établi par Tibor Grassner est capable d'expliquer qualitativement les résultats expérimentaux (pattern à 4 étages, stress AC). Cependant, notre étude nous a montré que le trop grand nombre de paramètres nécessaires pour faire fonctionner le modèle entraînait une mauvaise évaluation des constantes de temps. Pour cette raison, une autre voie a été envisagée pour modéliser la dégradation NBTI sur nos dispositifs.

Dans la suite, on va considérer un modèle où les constantes de temps ne sont pas déterminées physiquement, mais sont cette fois des paramètres d'entrée d'un modèle RC, proposé pour la première fois par Hans Reisinger en 2010 [11] puis affiné en 2011 [22].

2.5.4.1 Analogie : modèle SRH/modèle NRMP/circuit RC

On a vu que les modèles SRH et NRMP utilisaient la même équation différentielle pour calculer le remplissage d'un piège :

$$\frac{\partial f_t}{\partial t} = \frac{(1 - f_t)}{\tau_c} - \frac{f_t}{\tau_e} \quad (2.36)$$

Toute la différence provient de la façon dont les modèles calculent les constantes de temps τ_e et τ_c .

Si on considère maintenant le circuit électrique de la Figure 2.28 pour un piège unique, l'équation différentielle régissant la charge d'une capacité C est donnée par :

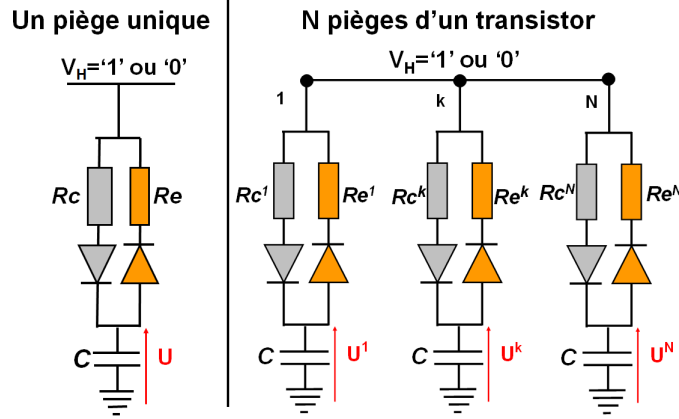


FIGURE 2.28 – Circuit RC équivalent. Chaque piège k voit ses constantes de temps d'émission et de capture déterminé par les résistances Re^k et Rc^k

$$\frac{dU}{dt} = \frac{1 - U}{\tau_c} - \frac{U}{\tau_e} \quad (2.37)$$

Avec $\tau_c = 1/R_c C$ et $\tau_e = 1/R_e C$. On considère ici que U est normalisée par la tension de stress V_H .

On voit donc que cette équation en U (avec U qui est la tension aux bornes de la capacité) est la même que celle résolue par les modèles NRMP et SRH pour calculer le remplissage d'un piège unique. Par analogie, le principe du modèle RC, développé par Hans Reisinger [22], est donc de considérer chaque piège présent dans l'oxyde de grille des transistors comme un circuit électrique RC individuel.

Chaque piège aura ses constantes de temps d'émission et de capture qui seront fixées comme paramètres d'entrée du modèle et le remplissage des différents pièges sera calculé par l'équation 2.37. L'impact de chaque piège sur le V_T est représenté par la capacité. Comme les transistors étudiés dans cette partie ont une surface importante on considère que tous les pièges ont le même impact sur le V_T , i.e. la même capacité [11].

2.5.4.2 Principe du modèle RC

En considérant le circuit donné par la Figure 2.28, il est simple de calculer la probabilité de remplissage de chaque piège, représentée par la tension de la capacité U .

Lorsque qu'une tension de stress V_H est appliquée, la probabilité de remplissage d'un piège au cours du temps est donnée en résolvant l'équation différentielle :

$$V_H = R_c \cdot C \frac{dU}{dt} + U \quad (2.38)$$

Ainsi la probabilité de charge lors d'un stress de durée ts est donnée par :

$$U(ts) = U_{ts=0} \left(1 - e^{\frac{-ts}{\tau_c}} \right) \quad (2.39)$$

Avec $\tau_c = 1/R_c C$

De la même façon, pour une relaxation on résout l'équation différentielle :

$$0 = R_e \cdot C \frac{dU}{dt} + U \quad (2.40)$$

Et on obtient la probabilité de remplissage du piège lors de la relaxation :

$$U(tr) = U_{tr=0} e^{\frac{-tr}{\tau_e}} \quad (2.41)$$

Avec $\tau_e = 1/R_e C$

Les équations 2.39 et 2.41 permettent de calculer la charge et la décharge des pièges lors de stress DC. Or on cherche à modéliser la dégradation NBTI dans toutes les conditions possibles : DC, AC, AVGP.

Dans un premier temps on se concentre sur la dégradation NBTI AC. On va voir qu'il est possible de trouver une formule analytique simple permettant de calculer l'état de charge des pièges lors de stress NBTI AC.

2.5.4.3 Stress AC - Modèle RC analytique

On cherche à calculer la charge des pièges au cours d'un stress AC. On considère un piège unique lors d'une période d'un stress AC. La Figure 2.29 montre les deux circuits équivalents lors des deux phases du stress AC.

Avant de calculer le remplissage d'un piège au cours d'un stress AC, on définit :

$$\begin{cases} U_i(t) : \text{La tension aux bornes de la capacité au cours de la période } [T_{i-1}, T_i] \text{ en cours} \\ U_{i-1}(T_{i-1}) = U_{i-1} : \text{La tension de la capacité au terme de la } i-1 \text{ ième période} \end{cases}$$

Avec ce formalisme et en s'appuyant sur les solutions des équations différentielles du circuit RC (équations 2.39 et 2.41), on peut calculer la tension aux bornes de la capacité après un certain nombre de périodes et donc obtenir le chargement du piège. Si on considère la i -ème période d'un stress AC, c'est à dire dans l'intervalle $[T_{i-1}, T_i]$, alors la tension aux bornes de la capacité $U_i(t)$ au terme de la première phase de stress est donnée par :

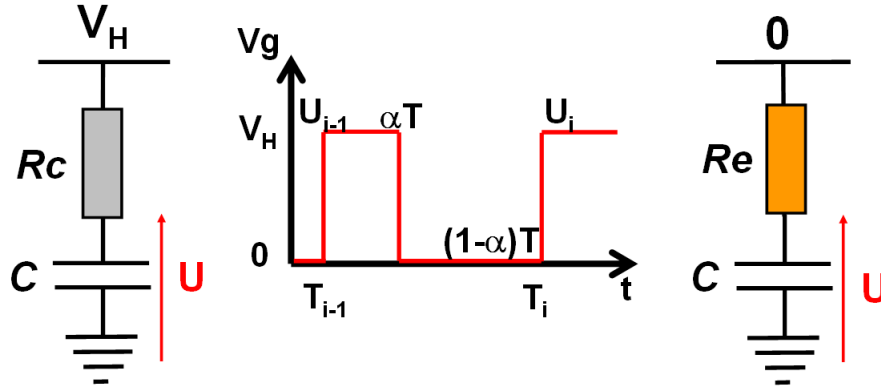


FIGURE 2.29 – Circuits équivalent lorsque $V_g=V_H$ dans un stress NBTI AC (Gauche) et lors que $V_g=0$ (Droite)

$$U_i(t) = (U_{i-1} - V_H)e^{-\frac{t}{\tau_c}} + V_H \quad (2.42)$$

De la même façon, dans la période $[T_{i-1}, T_i]$, au cours de la phase de relaxation suivant la phase de stress on a :

$$U_i(t) = U_i(\alpha T)e^{-\frac{t - \alpha T}{\tau_e}} \quad (2.43)$$

En considérant que les périodes de stress AC se finissent pas une phase de relaxation, on peut déterminer l'état de charge du piège au terme de la période en évaluant 2.42 en fin de sa demi-période, i.e. en $t=\alpha T$:

$$U_i(\alpha T) = (U_{i-1} - V_H)e^{-\frac{\alpha T}{\tau_c}} + V_H \quad (2.44)$$

Et 2.43 en fin de sa période, i.e. en $t=T$:

$$U_i(T_i) = U_i \quad (2.45)$$

$$= U_i(\alpha T)e^{-\frac{(1-\alpha)T}{\tau_e}} \quad (2.46)$$

D'où, en injectant 2.44 dans 2.46 :

$$U_i = U_{i-1} e^{-T \left(\frac{\alpha}{\tau_c} + \frac{1-\alpha}{\tau_e} \right)} + V_H e^{-\frac{(1-\alpha)T}{\tau_e}} \left[1 - e^{-\frac{\alpha T}{\tau_c}} \right] \quad (2.47)$$

On a donc la tension de la capacité U_i au court de la période i-ème période du stress AC en fonction de la tension de la capacité au cours de la période précédente U_{i-1} .

Par récurrence, il est possible de trouver la relation entre la charge du piège après n périodes de stress, U_n , et l'état de charge initial du piège U_0 . Après calcul on trouve :

$$U_n = U_0 \cdot e^{-nT \left(\frac{\alpha}{\tau_c} + \frac{1-\alpha}{\tau_e} \right)} + V_H \cdot e^{-\frac{(1-\alpha)T}{\tau_e}} \left[1 - e^{-\frac{\alpha T}{\tau_c}} \right] \cdot \frac{1 - e^{-nT \left(\frac{\alpha}{\tau_c} + \frac{1-\alpha}{\tau_e} \right)}}{1 - e^{-T \left(\frac{\alpha}{\tau_c} + \frac{1-\alpha}{\tau_e} \right)}} \quad (2.48)$$

Si on considère que les pièges sont initialement dans un état complètement vides ($U_0 = 0$), l'équation donnant la charge du piège au cours du temps devient :

$$U_{n,Bas} = V_H \left[1 - e^{-nT \left(\frac{\alpha}{\tau_c} + \frac{1-\alpha}{\tau_e} \right)} \right] \cdot \frac{e^{-\frac{(1-\alpha)T}{\tau_e}} - e^{-T \left(\frac{\alpha}{\tau_c} + \frac{1-\alpha}{\tau_e} \right)}}{1 - e^{-T \left(\frac{\alpha}{\tau_c} + \frac{1-\alpha}{\tau_e} \right)}} \quad (2.49)$$

On note la charge des pièges au cours du stress AC $U_{n,Bas}$ car cette équation n'est valable que pour des stress se terminant par une phase de relaxation.

Cependant, il est simple d'obtenir l'équation de charge des pièges dans le cas d'un stress NBTI AC se terminant par une phase de stress, c'est à dire $U_{n,Haut}$. Il suffit de faire les mêmes calculs en partant de l'injection de 2.46 dans 2.44 cette fois ci. Ainsi, l'état de charge du piège après un stress AC se terminant par un stress est donné par :

$$U_{n,Haut} = V_H \left[1 - e^{-nT \left(\frac{\alpha}{\tau_c} + \frac{1-\alpha}{\tau_e} \right)} \right] \cdot \frac{1 - e^{-\frac{\alpha T}{\tau_c}}}{1 - e^{-T \left(\frac{\alpha}{\tau_c} + \frac{1-\alpha}{\tau_e} \right)}} \quad (2.50)$$

Expérimentalement, tous les stress AC réalisés dans notre étude se termineront par une phase de relaxation. De ce fait, on utilisera donc exclusivement l'équation 2.49.

La formule 2.49 peut être utilisée pour calculer le remplissage des pièges quelles que soit leurs constantes de temps. Par exemple, si on reprend la cartographie comprenant 1 unique défaut par décade de temps (Figure 2.18), le remplissage des différents pièges de la carte peut être facilement calculé. La Figure 2.30 reprend le formalisme utilisé précédemment pour les

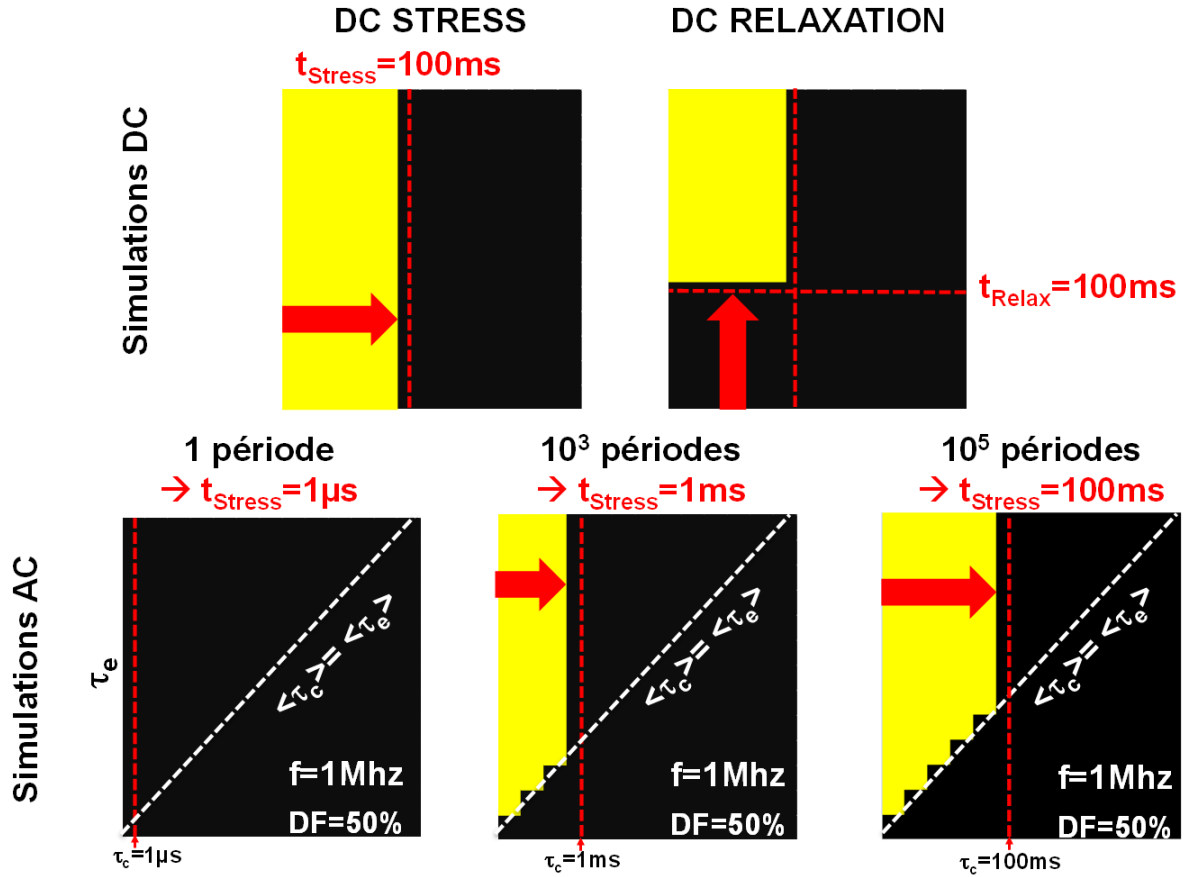


FIGURE 2.30 – Simulations du remplissage des pièges lors d'un stress NBTI AC de Duty Factor 50% et de fréquence 1MHz en utilisant la formule 2.49. Les carrés jaunes correspondent à un piège dont le taux de remplissage est supérieur à 90%

simulations « itératives », à savoir un carré jaune représente un piège rempli et un carré noir représente un piège vide.

On a simulé le remplissage des pièges dans le cas d'un stress DC de 100ms suivie d'une relaxation de 100ms.

Ensuite, on a également simulé le remplissage des pièges de la carte au cours d'un stress AC de fréquence 1MHz et de DF 50%.

Au cours d'un stress DC, tous les pièges ayant une constante de temps de capture τ_c inférieure au temps de stress t_{Stress} sont remplis. Ensuite, lors de la phase de relaxation qui succède à la phase de stress, tous les pièges ayant une constante d'émission τ_e inférieure au temps de relaxation t_{Relax} sont vidés. Le rectangle jaune restant après ces deux phases de stress et de relaxation correspond à la valeur de ΔV_T final.

De la même façon, on calcule, en utilisant les formules du modèle, le remplissage des pièges au cours du stress AC.

Tout d'abord, on remarque que ces résultats sont très similaires à ceux obtenus par simulations itératives présentées dans la Figure 2.20. Notamment, on confirme la tendance observée lors des simulations itératives à savoir que les pièges remplis lors d'un stress AC sont ceux qui

ont globalement un temps de capture τ_c inférieur au temps de stress t_{Stress} et avec τ_c inférieur à τ_e .

Par la suite on utilisera donc cette formule pour calculer le remplissage des pièges responsables du NBTI et modéliser les résultats de dégradation obtenus sur nos dispositifs au cours de stress AC.

2.5.4.4 Stress AVGP - Modèle RC numérique

La formule 2.49 calculée précédemment permet donc de simuler les dégradations NBTI obtenues en mode AC classiques. Cependant, on cherche aussi à modéliser la dégradation dans le cas de stress AVGP, i.e. avec des signaux de grilles plus complexes qu'une simple succession périodique de phases de stress et de relaxation.

Il serait trop fastidieux de calculer la formule analytique du remplissage des pièges pour chaque AVGP utilisé. De ce fait, on utilise une méthode numérique pour calculer le remplissage des N pièges. Calculer numériquement le remplissage de chaque piège d'une cartographie de N pièges, et ce, bit après bit prendrait un temps de calcul considérable. Pour accélérer les simulations, il est possible d'écrire les équations de remplissage des pièges sous forme matricielle. Ainsi pour calculer le remplissage des N pièges au cours d'un bit de stress, on devra résoudre le système :

$$U(t_{n+1}) = M1 \cdot U(t_n) + B1 \cdot V_H \quad (2.51)$$

où $U(t_n)$ définie le remplissage des N pièges au n-ième bit $U(t_n) = \begin{pmatrix} U_1(t_n) \\ \vdots \\ U_N(t_n) \end{pmatrix}$

Ainsi, en connaissant $U(t_n)$ le vecteur donnant le remplissage des pièges à la fin du bit n, on calcule $U(t_{n+1})$ le vecteur de remplissage des pièges au terme du bit de stress en cours. Les termes $M1$ et $B1$ sont des matrices définies par :

$$M1 = \begin{pmatrix} e^{-tb/\tau_c^1} & & 0 \\ & \ddots & \\ 0 & & e^{-tb/\tau_c^N} \end{pmatrix} \text{ et } B1 = \begin{pmatrix} 1 - e^{-tb/\tau_c^1} \\ \vdots \\ 1 - e^{-tb/\tau_c^N} \end{pmatrix}$$

Avec tb la longueur du bit et (τ_c^k, τ_e^k) les constantes de capture et d'émission du piège i. Avec ces matrices, on est capable de calculer la charge des N pièges lorsqu'un bit de stress est appliqué au cours du stress AVGP. Pour calculer la décharge des pièges au cours d'un bit de relaxation, on utilise l'équation matricielle :

$$U(t_{n+1}) = M0 \cdot U(t_n) \quad (2.52)$$

Avec $M0$ définie par :

$$M0 = \begin{pmatrix} e^{-tb/\tau_e^1} & & 0 \\ & \ddots & \\ 0 & & e^{-tb/\tau_e^N} \end{pmatrix}$$

Au final, grâce un algorithme simple :

$$U(t_{n+1}) = \begin{cases} M0 \cdot U(t_n) & \text{si le n-ième bit est un « 0 »} \\ M1 \cdot U(t_n) + B1 & \text{si le n-ième bit est un « 1 »} \end{cases}$$

Il est possible de calculer numériquement le remplissage des pièges, représenté par le vecteur U , au terme de chaque bit d'un stress AVGP en fonction de la nature du bit appliqué.

2.5.4.5 Carte des temps de capture et d'émission - CET MAP

A ce niveau, le modèle RC développé jusqu'à présent permet de calculer le remplissage des pièges dans les deux cas qui nous intéressent : stress NBTI AC et stress NBTI AVGP. Cependant, pour simuler le ΔV_T il manque un outil qui donnera la densité des pièges ayant les couples de constante de temps $(\tau_c^k, \tau_e^k) : g(\tau_c^k, \tau_e^k)$. Cette densité donne la probabilité d'existence des couples (τ_c^k, τ_e^k) . Avec cette densité, la formule donnant le ΔV_T total est donnée par :

$$\Delta V_T(t) = K \sum_{k=1}^N g(\tau_c^k, \tau_e^k) U^k(t) \quad (2.53)$$

Avec K est une constante propre à la technologie utilisée. Pour fonctionner, le modèle RC a donc besoin d'une « carte » qui donnera la densité locale g de chaque piège k . On appellera cette carte la CET MAP (pour Capture-Emission Time Map).

La MAP utilisée dans notre étude est présentée sur la Figure 2.31. On peut distinguer deux populations différentes :

- Une population où les pièges présentent une forte corrélation entre les temps d'émission et de capture. Ces pièges s'apparentent à des pièges rapides et sont globalement réversibles. Cette population pourrait être due aux pièges d'oxyde.
- Une population où les pièges présentent de très grandes constantes de temps d'émission devant les constantes de temps de capture. C'est à dire une population de pièges « quasi-permanent ». On peut penser que cette population est la signature des pièges d'interface.

En utilisant cette MAP et les équations du paragraphe précédent, on est maintenant capable de modéliser la dégradation au cours de stress AC et AVGP.

La Figure 2.32 illustre comment les deux cartes (celle régissant le remplissage des pièges la CET MAP donnant la densité locale des pièges) se combinent pour donner le ΔV_T au cours du temps.

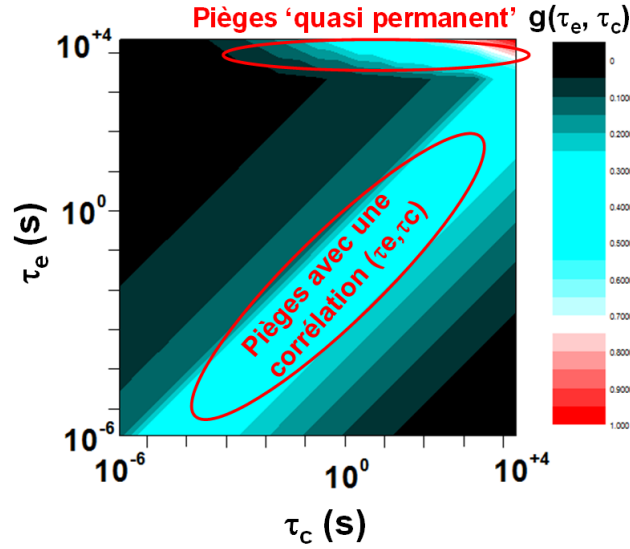


FIGURE 2.31 – CET MAP utilisée pour le modèle RC et donnant la densité $g(\tau_c^i, \tau_e^i)$ de chaque couple de constantes de temps. Deux populations principales se distinguent : une population de pièges réversibles avec une corrélation entre τ_c et τ_e et une population de pièges quasi permanents avec de très grandes valeurs de τ_e quel que soit τ_c

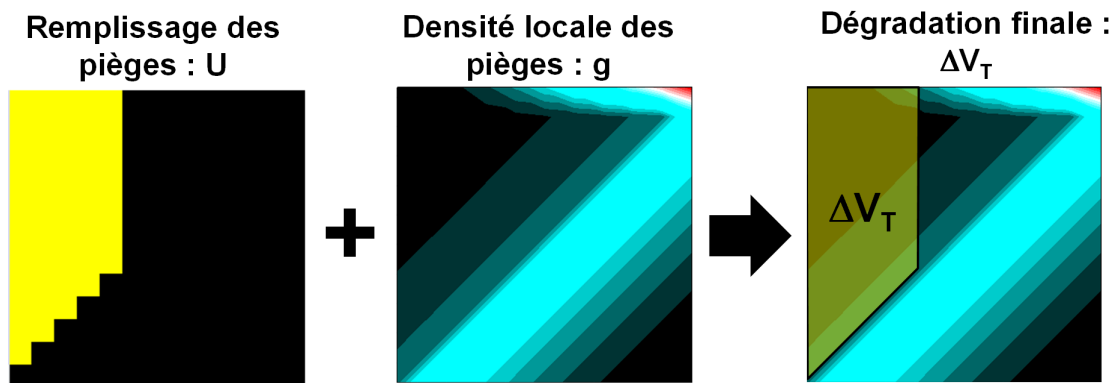


FIGURE 2.32 – Combinaison de la cartes donnant le remplissage des pièges U et de la CET MAP donnant la densité des pièges g pour donner le ΔV_T final.

2.6 Dégradations AC NBTI - Expériences et Simulations

Dans un premier temps, on cherchera à expliquer la dégradation NBTI AC. En particulier, on cherchera à obtenir les figures de mérite de la dégradation NBTI AC à savoir : la dépendance de la dégradation en fonction du Duty Factor et la dépendance de la dégradation à la fréquence du stress.

2.6.1 Dépendance de la dégradation NBTI en fonction du Duty Factor

La dépendance du NBTI en fonction du Duty Factor a été largement étudiée depuis l'introduction du stress AC. La « courbe en S » est le résultat classiquement obtenu pour de telles mesures [23], [24].

La dépendance de la dégradation NBTI AC en fonction du Duty Factor a été caractérisée sur nos dispositifs grâce à nos mesures rapides. Les résultats sont présentés sur la Figure 2.33.

Les dégradations NBTI AC obtenues sont normalisées par la dégradation DC. Les résultats, tracés en échelle linéaire du Duty Factor, forment bien une « courbe en S » comme obtenue classiquement.

Ces résultats sont une confirmation de cet aspect propre aux stress NBTI AC pour des mesures ultra-rapides. Le modèle RC, utilisé conjointement à notre CET MAP à deux populations, permet de bien décrire ce résultat expérimental (à la fois en échelle linéaire du Duty Factor et en échelle logarithmique). On notera qu'une MAP uniforme, c'est à dire une MAP où les densités locales de tous les couples (τ_c^i, τ_e^i) sont égales, est incapable d'expliquer la dégradation mesurée sur nos dispositifs.

2.6.2 Dépendance de la dégradation NBTI en fonction de la fréquence

On s'intéresse maintenant à la dépendance de la dégradation NBTI AC à la fréquence appliquée lors du stress. Aujourd'hui, il est majoritairement considéré que la dégradation NBTI AC est reconnue comme étant indépendante de la fréquence appliquée lors du stress [25]. Des mesures portant sur une très large gamme de fréquences, de 1Hz à 2Ghz, ont même été menées et n'ont montré aucune dépendance de la dégradation NBTI AC à la fréquence du stress [26]. On cherche donc à vérifier aussi cet aspect de la dégradation AC avec nos mesures rapides et notre modèle RC.

On réalise dans un premier temps des stress NBTI AC à un Duty Factor de 50% et pour des fréquences allant de 100Hz à 1MHz. Les résultats sont présentés sur la Figure 2.34.

On voit que la dégradation obtenue est très peu dépendante de la fréquence. Effet, la plupart des courbes se superposent. On observe un petit effet de la fréquence pour les faibles temps de stress mais qui reste très marginal. On voit notamment que, si l'on procède à l'extraction de la dégradation NBTI AC au terme de temps de stress longs, comme c'est le cas dans toutes les études de l'influence de la fréquence sur la dégradation NBTI AC, alors très peu de dépendance en fréquence est obtenue. Le modèle RC prévoit aussi une faible dépendance en fréquence et permet de bien expliquer les résultats expérimentaux.

En plus de la dégradation NBTI, on a mesuré la relaxation après stress à $V_{gRelax}=0V$. Étant donné que les relaxations aux différentes fréquences, s'arrêtent à différents temps de stress total, les courbes $\Delta V_{T,Relax}$ ont été normalisées par les valeurs des ΔV_T à la fin de leurs phases de stress AC. Un aspect singulier des dynamiques de relaxation est observé : un plateau, correspondant à une dynamique de relaxation nulle, est obtenue au début des phases de relaxation. La longueur

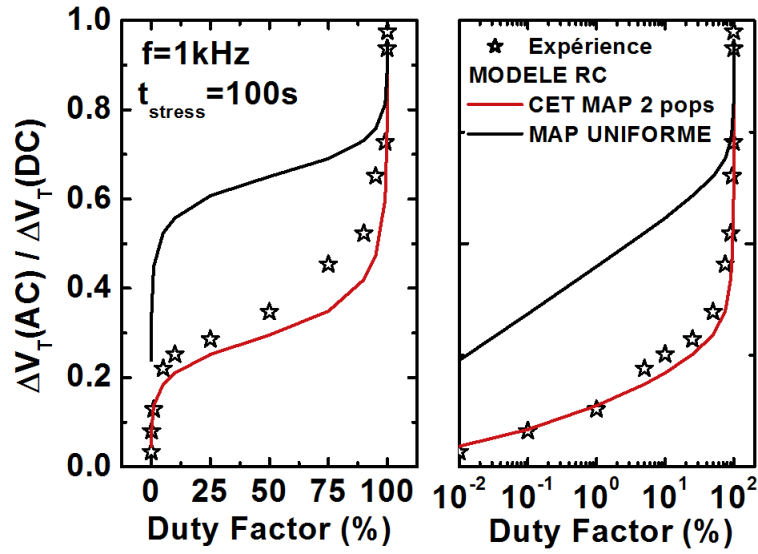


FIGURE 2.33 – (Symboles) Dégradations NBTI AC, pour plusieurs Duty Factor, obtenues après 100s de stress à une fréquence de 1kHz. La dégradation AC, normalisée par la dégradation DC, est représentée en échelle linéaire du Duty Factor (Gauche) et en échelle log (Droite). (Lignes) Modèle RC en utilisant une MAP uniforme (Noir) et en utilisant notre MAP à deux populations (Rouge)

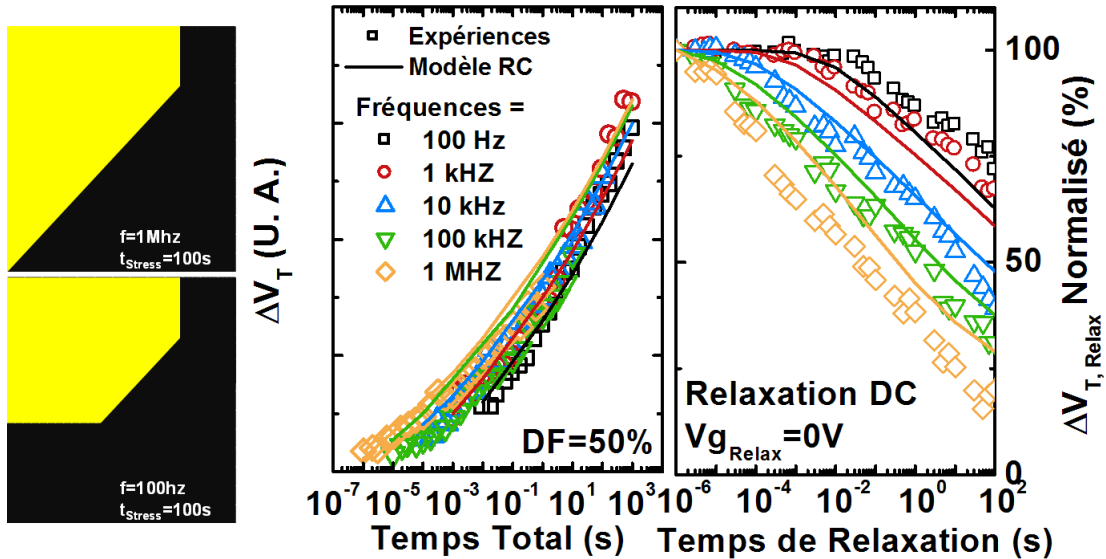


FIGURE 2.34 – (Gauche) Dégradations NBTI AC mesurées au cours du temps pour plusieurs fréquences (de 100Hz à 1MHz) pour un Duty Factor de 50% . (Droite) Relaxation DC à $V_{g, \text{relax}}=0\text{V}$ après le stress NBTI AC. (Symboles) Résultats expérimentaux (Lignes) Modèle RC avec la MAP à deux populations. MAP : état de remplissage des MAP au terme de la phase stress AC de fréquence 1MHz et de fréquence 100Hz

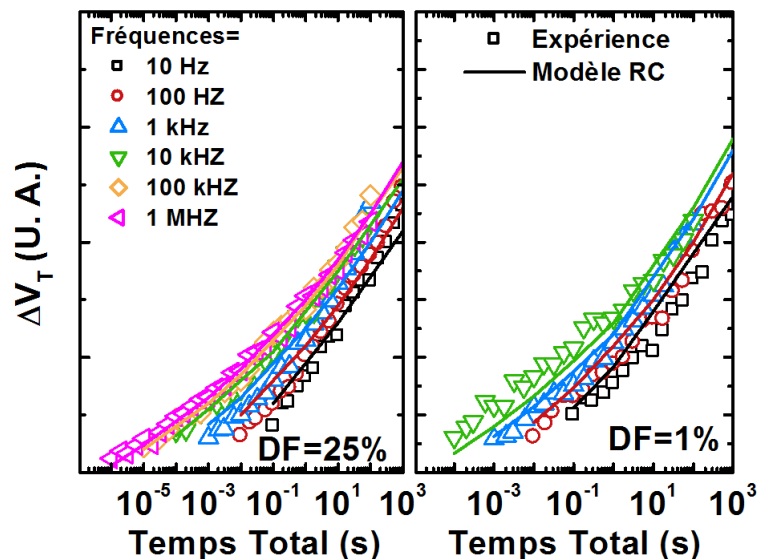


FIGURE 2.35 – (Symboles) Dégradations NBTI AC mesurées au cours du temps pour différentes fréquences (de 10Hz à 1MHz) pour des Duty Factor de 25% (Gauche) et 1% (Droite). (Lignes) Modèle RC avec la MAP à deux populations

du plateau dépend de la fréquence utilisée lors du stress : plus la fréquence est basse plus le plateau est grand. Cet aspect est assez bien prédit par le modèle RC qui reproduit bien les plateaux après les stress AC. Ce phénomène est dû aux pièges recouvrables, lors de la dernière période du stress AC. Lorsque les fréquences du stress sont hautes (e.g. 1MHz), les pièges ont très peu de temps pour se vider au cours de la dernière période (500ns pour une fréquence de stress de l'ordre de 1MHz). De ce fait, lorsque la relaxation commence, à la μ s, la dynamique de relaxation est tout de suite enclenchée car tous les pièges sont encore pleins. Au contraire, pour les fréquences très basses (e.g. 100Hz), les pièges ont beaucoup de temps pour se dé-piéger lors de la dernière période du stress (5ms pour une fréquence de 100Hz). Donc, quand on commence à mesurer la relaxation à des temps de l'ordre de la μ s, la dégradation reste constante car tous les pièges ayant des constantes de temps d'émission inférieures ou égales à la demi période ont déjà été vidés. Il faut attendre un temps approximativement égal à la période du stress pour voir redémarrer la relaxation.

On réalise maintenant une étude de la dépendance en fréquence pour des Duty Factor de 25% et de 1%. La Figure 2.35 présente les résultats obtenus pour ces deux Duty Factor.

Le premier point important est la dépendance en fréquence mesurée expérimentalement. Pour les deux Duty Factor, et contrairement à ce qui a été obtenu pour le Duty Factor 50%, une nette dépendance en fréquence est observée. En particulier, les fréquences les plus hautes montrent une dégradation NBTI AC plus importante que pour les fréquences les plus basses. L'autre point à noter est que le modèle RC capture très bien cette dépendance en fréquence dans les deux cas.

Ces résultats sont en désaccord avec ceux obtenus habituellement dans les études NBTI AC. Il est donc important de comprendre les raisons de cette différence.

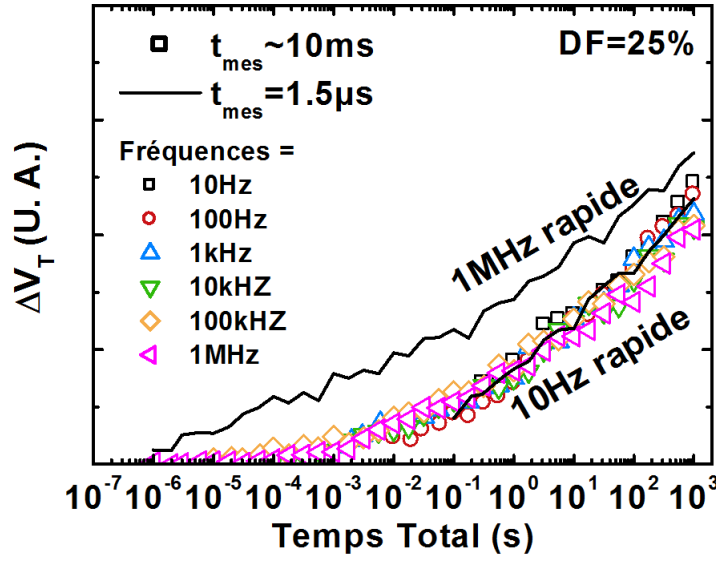


FIGURE 2.36 – Dégradations NBTI AC mesurées pour différentes fréquences (de 10Hz à 1MHz) et un Duty Factor de 25%. Le temps de mesure du V_T au cours du stress est $\approx 10ms$ (Symboles) et $\approx 1.5\mu s$ (Lignes)

2.6.3 Origine de la dépendance en fréquence de la dégradation AC NBTI

On cherche à savoir pourquoi la plupart des études menées jusqu'à présent dans les mesures NBTI AC obtiennent une indépendance en fréquence de la dégradation. Pour expliquer cette dépendance, on étudiera l'influence de la vitesse de mesure t_{mes} du V_T lors du stress et la durée totale du stress. Ces deux paramètres sont ceux qui diffèrent le plus entre notre étude et celles menées habituellement.

2.6.3.1 Dépendance en fréquence - t_{mes}

Comme expliqué au début du Chapitre (Section 2.2.2), les mesures NBTI AC classiques se font en couplant un générateur de pulse pour créer le stress AC tandis que la mesure du V_T se fait en utilisant des SMUs. La mesure est donc lente et s'effectue en $\approx 10ms$. Dans notre cas, à la fois la mesure et le signal de stress AC sont effectués avec le même instrument, permettant ainsi des mesures du V_T en $\approx 1.5\mu s$.

Le premier point sur lequel on peut étudier l'origine de cette dépendance en fréquence est donc le temps de mesure du V_T au cours du stress AC. On réalise les mêmes stress NBTI AC que la Figure 2.35 où l'on observait une forte dépendance des ΔV_T mesurés à la fréquence de stress en changeant le temps nécessaire pour mesurer le V_T . Pour avoir un temps de mesure équivalent à celui des SMUs utilisés dans des mesures NBTI AC classiques, t_{mes} est allongé pour atteindre $\approx 10ms$. Les résultats de ces mesures lentes sont présentés sur la Figure 2.36. On a également reporté sur la Figure les valeurs de ΔV_T mesurées rapidement pour les fréquences de 10Hz et 1MHz qui étaient les dégradations minimales et maximales obtenues.

On peut voir que, lorsque le temps de mesure est allongé pour atteindre des temps de l'ordre de la ms, toutes les courbes de dégradation AC se superposent. Cette superposition

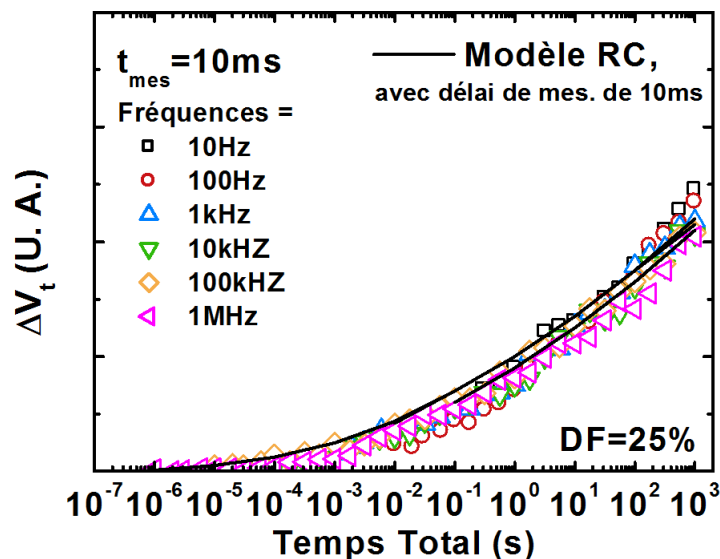


FIGURE 2.37 – (Symboles) Dégradations NBTI AC mesurées pour différentes fréquences (de 10Hz à 1MHz) et un Duty Factor de 25%. Le temps de mesure du V_T au cours du stress est $\approx 10ms$ (Lignes) Modèle RC prenant en compte le temps de mesure du V_T de 10ms

est d'autant plus intéressante qu'elle se produit sur la courbe mesurée rapidement à fréquence $f=10Hz$. En fait, la dégradation a diminué car le temps de mesure, trop important, a permis aux pièges rapides de se vider avant l'évaluation du V_T diminuant ainsi la dégradation effectivement mesurée. Dans ces conditions, on mesure donc nous aussi, une indépendance de la dégradation NBTI AC à la fréquence du stress. Cependant, cette indépendance est erronée. Elle provient uniquement du fait que les mesures du V_T sont trop lentes par rapport aux temps caractéristiques du stress NBTI AC.

Il est aussi intéressant de vérifier si le modèle RC est capable de prévoir cette indépendance si les temps de mesure du V_T sont trop importants. Pour prendre en compte le temps de mesure, une période de relaxation de 10ms est rajoutée dans le modèle après la simulation de la dégradation à chaque temps de stress. Sur la Figure 2.37 on a reporté les résultats expérimentaux obtenus avec des stress NBTI AC en utilisant des temps de mesure longs et on a ajouté les simulations données par le modèle RC lorsque l'on prend en compte ce temps de mesure.

Le modèle RC reproduit très bien cette indépendance fréquentielle lorsqu'on prend bien en compte ce délai de mesure propre aux SMUs. La dépendance en fréquence est donc bien réelle pour les stress NBTI AC, contrairement à ce qui a put être annoncé dans plusieurs études [26], [25]. Elle est due aux pièges corrélés rapides qui se vident durant la dernière période du stress AC.

2.6.3.2 Dépendance en fréquence - t_{Stress}

Le second point sur lequel on peut insister est la durée du stress AC. La plupart des études montrant une indépendance en fréquence de la dégradation NBTI AC se contentent de donner uniquement la dégradation obtenue après un long temps de stress t_{Stress} . Or, en regardant la Figure 2.35, on voit que cette dépendance à tendance à se réduire avec le temps de stress. Si

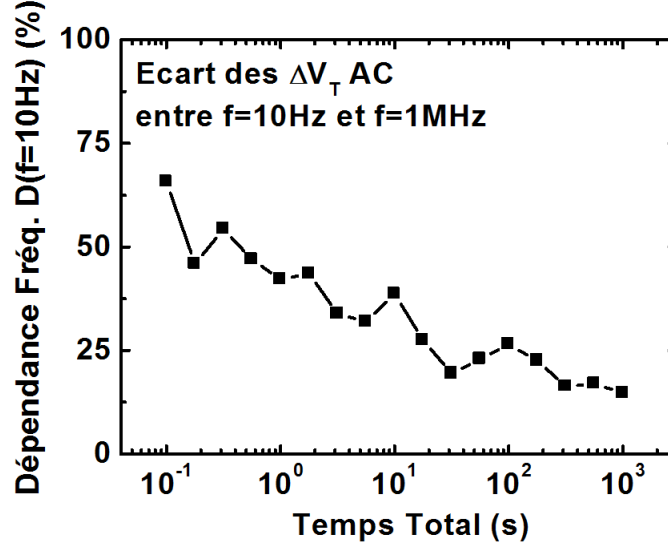


FIGURE 2.38 – Écart, en pourcentage, entre la dégradation NBTI AC mesurée pour une fréquence de 1MHz et pour une fréquence 10Hz

l'on considère l'écart des ΔV_T entre deux fréquences (1MHz et une autre fréquence), on peut calculer l'évolution de cette dépendance $D(f)$ au cours du temps par la formule :

$$D(f) = \frac{\Delta V_{T,1\text{MHz}}(t) - \Delta V_{T,f}(t)}{\Delta V_{T,1\text{MHz}}(t)} \cdot 100 \quad (2.54)$$

Sur la Figure 2.38, on montre l'évolution du ratio $D(f)$ entre la fréquence 10Hz et 1MHz qui donnaient les Δv_T minimum et maximum au cours du stress AC.

Avec l'augmentation du temps de stress, cette dépendance fréquentielle a clairement tendance à diminuer. Si bien que les études qui donnent uniquement le décalage de V_T après des temps de stress très longs ont d'autant plus de chance de ne pas voir cette dépendance. Par exemple, dans notre cas, avec des mesures ultra-rapides qui plus est, on ne verrait pas plus de 10% de dépendance entre les deux fréquences extrêmes après 1000s de stress.

2.6.3.3 Dépendance en fréquence - DP et DR

Il est possible d'utiliser le modèle RC pour analyser plus en détail cette dépendance en fréquence. Notamment, le rôle des deux populations (DP et DR) dans cette dépendance. Pour réaliser cette étude, on utilise deux CET MAP, la première constituée uniquement des pièges permanents (DP) et la seconde constituée uniquement des pièges corrélés (DR). On utilise le modèle RC avec ces deux MAP pour évaluer leur rôle dans la dépendance en fréquence. La Figure 2.39 montre les résultats de simulations NBTI AC réalisées avec le modèle RC pour les deux MAPs : DP et DR.

Le ΔV_T global est obtenu en sommant les contributions des deux populations, DP et DR. Grâce au modèle RC on montre que :

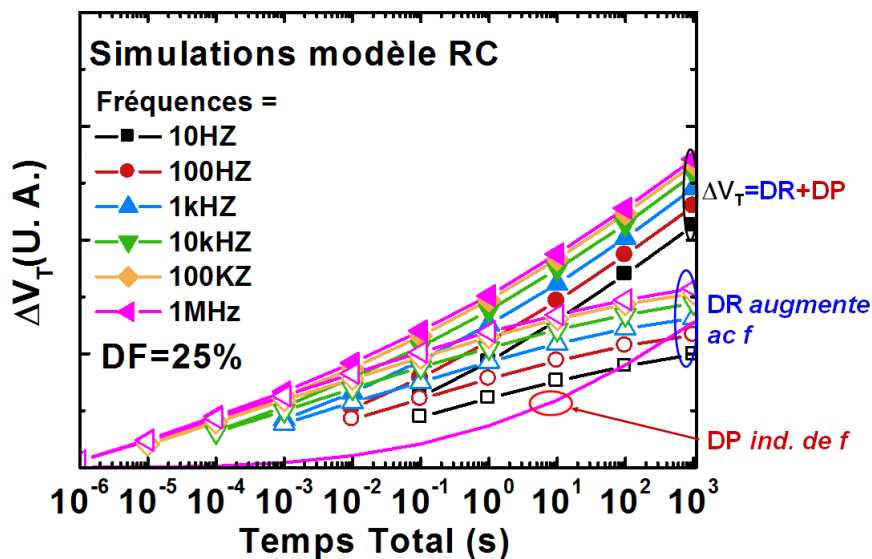


FIGURE 2.39 – Simulations de dégradation NBTI AC pour différentes fréquences et un Duty Factor de 25%. Le modèle RC permet d'évaluer la dépendance en fréquence des pièges permanents (Lignes), des pièges recouvrables (Symboles ouverts), et du ΔV_T total (Symboles fermés)

- La population de pièges permanents, DP, entraîne une dégradation qui est indépendante de la fréquence du stress AC. De plus, cette dégradation a tendance à accélérer au cours du stress
- La population de piège recouvrable, DR, présente une forte dépendance à la fréquence du stress AC. Cependant, cette dégradation tend à saturer à mesure que le temps de stress augmente

Ainsi, le ΔV_T obtenue au cours du stress AC présente une dépendance en fonction de la fréquence du stress. Cependant, cette dépendance est due uniquement aux seuls pièges recouvrables. C'est pourquoi, si on laisse un temps de relaxation long ou, identiquement, que le temps de mesure est trop important, alors le ΔV_T au cours du stress s'affranchit de la DR et apparaît comme indépendant de la fréquence (comme on a pu le voir sur la Figure 2.37).

De plus, étant donné la saturation de la DR avec le temps de stress et l'accélération de la DP, la dépendance en fréquence est de moins en moins importante au cours du stress. Cela confirme les résultats expérimentaux de la Figure 2.38.

On a maintenant compris pourquoi nos mesures NBTI AC montraient une dépendance en fréquence alors que ce n'est pas habituellement le cas dans la littérature. Il était important de justifier et comprendre ces résultats expérimentaux car ils sont souvent source de polémiques dans les études de fiabilité [24], [25].

2.6.4 Résultats avec stress AVGP - Expériences et Simulations

Le modèle RC analytique a montré qu'il était capable de décrire efficacement tous les résultats de dégradation NBTI AC obtenus sur nos dispositifs, validant ainsi notre CET MAP à deux populations. La version « numérique » du modèle RC va maintenant être utilisé pour simuler des stress AVGP. Dans un premier temps, on cherchera à savoir si la position des bits au sein d'un pattern a une influence sur la dégradation globale. Par la suite, on cherchera à

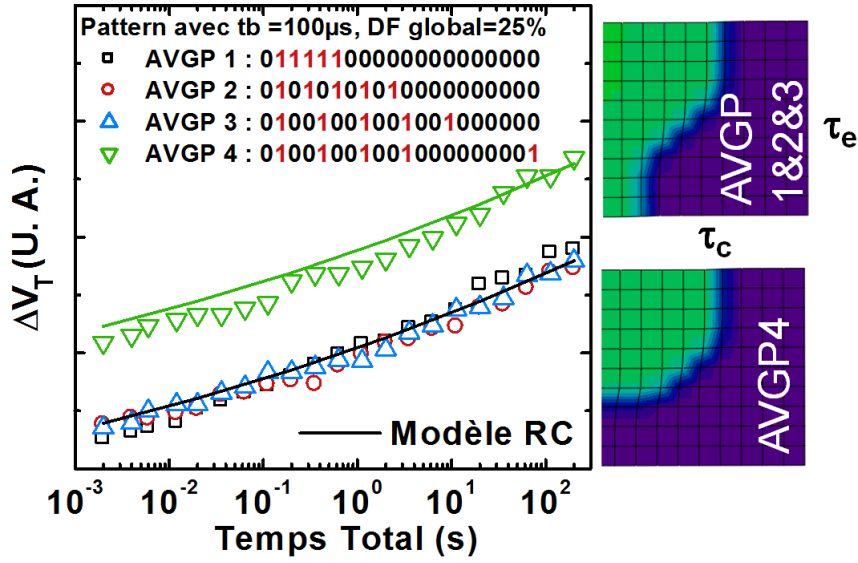


FIGURE 2.40 – (Symboles) Dégradations NBTI mesurées après 4 stress AVGP avec $t_b = 100\mu s$. (Lignes) Modèle RC numérique. (Droite) État de remplissage d’une CET MAP uniforme au terme des 4 stress AVGP

déterminer l’influence du Duty Factor global de stress AVGP sur la dégradation totale.

2.6.4.1 Influence de la position des bits dans un stress NBTI AVGP

La technique des stress NBTI en mode AC a été développée principalement pour évaluer la dégradation en mode circuit des dispositifs. Cependant, les signaux appliqués aux transistors en mode circuit ne sont jamais aussi réguliers que ceux générés lors de stress en mode AC. Le premier but recherché lors de la conception de notre technique de stress AVGP était de vérifier que la position des bits de stress et de relaxation n’avait pas d’influence sur la dégradation finale et, de fait, qu’il y a bien équivalence entre la dégradation en mode circuit « réelle » et celle générée artificiellement lors de stress AC.

En utilisant la technique des stress AVGP, on a réalisé 4 patterns de stress. Les quatre AVGP ont le même Duty Factor global de 25 % (i.e. 5 bits « 1 » et 15 bits « 0 ») mais la position des bits dans chaque pattern est différente. Dans un premier temps, on se place dans une configuration assez éloignée des « conditions circuits » en fixant la longueur des bits t_b à $100\mu s$, qui équivaut globalement à une fréquence de $\approx 10\text{kHz}$. Les résultats obtenus avec les 4 AVGP sont présentés sur la Figure 2.40.

Les stress effectués avec les AVGP 1, 2 et 3 donnent les mêmes dégradations. Cependant, le stress effectué avec l’AVGP 4 montre une grande augmentation de la dégradation. Dans les deux cas, le modèle RC numérique, couplé avec notre CET MAP à deux populations, permet de très bien décrire ces dégradations. De plus, le modèle permet d’expliquer l’augmentation de la dégradation, mesurée et simulée, pour le stress utilisant l’AVGP 4. Les états de remplissage des pièges de la MAP aux termes des stress utilisant les différents AVGP sont donnés à côté des dégradations sur la Figure 2.40. On a choisi de montrer ici le remplissage d’une MAP uniforme, on cherche juste à montrer les pièges potentiellement remplis/vidés au terme des stress AVGP.

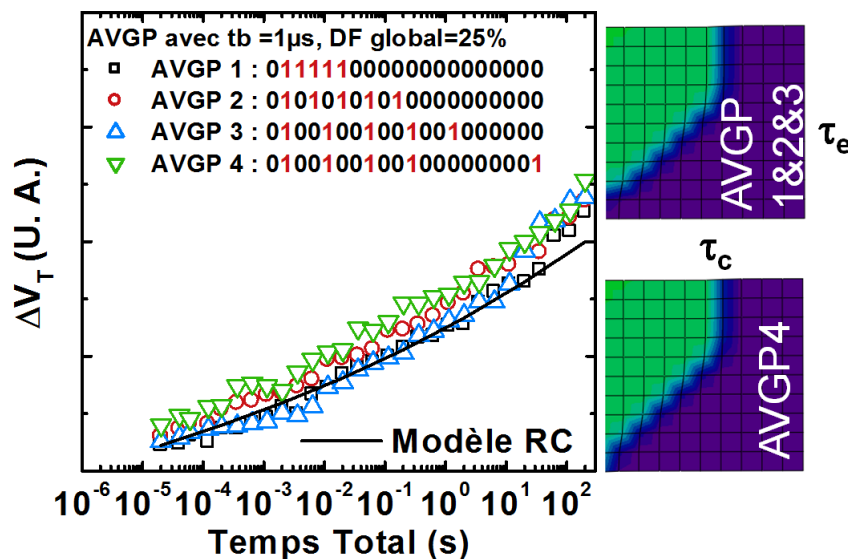


FIGURE 2.41 – (Symboles) Dégradations NBTI mesurées après 4 stress AVGP avec $tb=1\mu s$. (Lignes) Modèle RC numérique. (Droite) État de remplissage d’une CET MAP uniforme au terme des 4 stress AVPGs

Dans le cas du stress utilisant les AVGP 1, 2 et 3, tous les stress se terminent par un bit de relaxation « 0 ». De ce fait, une large partie des pièges se vident lors du tout dernier pattern de stress. A l’inverse, lorsque le dernier bit du pattern est un bit de stress « 1 », comme c’est le cas pour l’AVGP 4, alors plusieurs pièges se remplissent lors du dernier bit du pattern appliqué, entraînant ainsi une augmentation de la dégradation NBTI.

Ces résultats montrent donc que la dégradation finale est grandement affectée par la nature du dernier bit du pattern. On note néanmoins que l’on est loin des « conditions circuits ». En effet, les circuits fonctionnent à des fréquences beaucoup plus élevées que la dizaine de kHz. Pour se rapprocher de ces conditions, on diminue la longueur des bits pour atteindre $1\mu s$ et ainsi être à des fréquences de fonctionnement de l’ordre du MHz.

En gardant les 4 mêmes AVGP que ceux utilisés dans la Figure 2.40, on présente les résultats des dégradations mesurées pour $tb=1\mu s$ sur la Figure 2.41.

Cette fois, les dégradations mesurées avec les 4 AVGP donnent la même dégradation. Notamment, la dégradation obtenue avec l’AVGP 4 se terminant avec un bit de stress est équivalente aux dégradations obtenues avec les AVGP 1, 2 et 3, se terminant par des bits de relaxation. Le modèle RC numérique explique encore une fois assez bien les dégradations mesurées et l’absence de différence entre les 4 patterns.

Cette équivalence entre les 4 AVGP est facilement compréhensible quand on regarde l’état de charge des pièges de la MAP après stress. Cette fois ci, la durée du dernier bit étant très faible, très peu de pièges ont eu le temps de se charger ou vider lors du dernier bit du pattern du stress. De ce fait, l’état de charge des pièges après les AVGP 1, 2, 3 et 4 sont très proches et donnent logiquement la même dégradation.

Ce résultat est important car il montre que lorsque l’on est proche des conditions de fonctionnement d’un circuit, i.e. proche des hautes fréquences, la position des bits dans un pattern

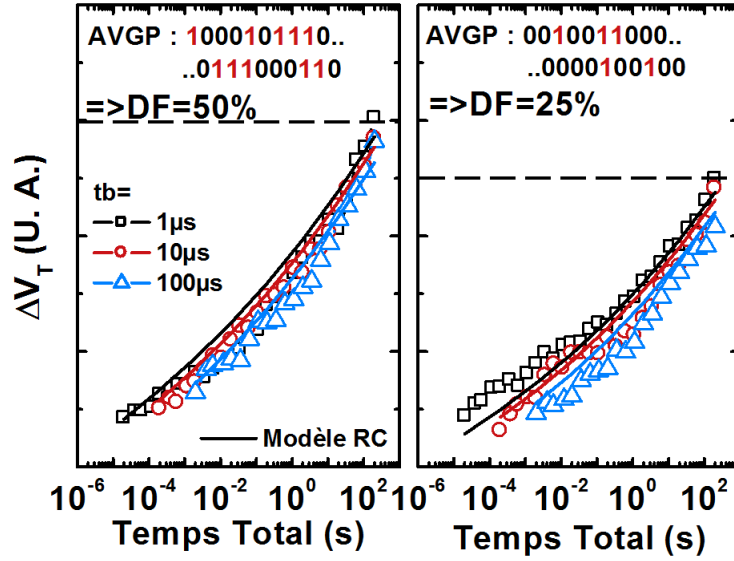


FIGURE 2.42 – (Symboles) Dégradations NBTI mesurées après des stress AVGP à différents Duty Factor : (Gauche) DF=50% et (Droite) DF=25%. Différentes longueurs de bits tb sont utilisées pour les deux AVGPs : 1 μ s (Noir), 10 μ s (Rouge), 100 μ s (Bleu). (Lignes) Modèle RC numérique

n'a pas d'effet sur la dégradation NBTI. De ce fait, les stress AC à *hautes fréquences* sont un bon moyen de reproduire les dégradations NBTI en condition circuit.

2.6.4.2 Influence du Duty Factor global d'un stress AVGP

On cherche maintenant à valider que le Duty Factor joue toujours un rôle sur la dégradation finale lorsque l'on applique un stress AVGP aux dispositifs. On génère aléatoirement deux AVGP avec des Duty Factor globaux de 25% et 50%. Les codes des pattern et les dégradations NBTI obtenues après des stress en utilisant ces pattern sont présentés sur la Figure 2.42. On a réalisé les stress pour 3 longueurs de bit différentes : de 1 μ s, 10 μ s et 100 μ s.

Tout d'abord, on remarque que la dégradation mesurée après les stress AVGP de Duty Factor global 50% est plus importante que celle obtenue après les stress AVGP de Duty Factor global 25%. Ce résultat montre bien que la dégradation NBTI, même en mode AVGP, est gouvernée par le Duty Factor du pattern. Le second point intéressant est que l'on retrouve l'influence de la fréquence (i.e. de la longueur des bits) propre aux stress AC. On remarque en effet que le ΔV_T mesuré lors des stress avec les AVGP de DF 50% ne dépendent pas de tb , similairement aux mesures NBTI AC à DF=50% qui montraient, elles aussi, une très faible dépendance en fréquence. De la même façon, les stress AVGPs effectués avec un DF de 25% montrent une dépendance non négligeable à la longueur des bits, identiquement aux stress AC à 25% qui montraient une forte dépendance à la fréquence du stress.

Ces résultats, conjointement avec ceux déjà obtenus sur la non-influence de la position des bits lors de stress à hautes fréquences, démontrent la validité de l'emploi des stress NBTI en mode AC pour évaluer la dégradation en condition de circuits.

2.6.5 Limites du modèle RC et de la CET-MAP

Comme démontré tout au long de la partie précédente, le modèle RC est très efficace pour décrire non seulement les caractéristiques de base des stress NBTI AC mais aussi les résultats plus complexes comme les stress AVGP. Cependant, il est important de noter que ce modèle présente un certain nombre de limitations :

- La première limitation est qu'il n'y a pas de méthode simple et directe pour extraire la CET MAP utilisée par le modèle RC. Sans cette MAP le modèle est inutilisable. La méthode initialement proposée par Hans Reisinger pour extraire la MAP se basait sur des mesures NBTI DC stoppées à plusieurs temps de stress suivies de longues mesures de relaxation afin de réaliser un « scan » de la MAP. Cette méthode se révèle rarement efficace et peine à expliquer les résultats AC. La meilleure méthode pour extraire la CET MAP est par « retro-fit » des données expérimentales, i.e. une MAP de base est choisie à partir de mesures simples comme les expériences NBTI DC et est affinée pour expliquer le plus de résultats expérimentaux possibles.

- La seconde limitation concerne l'unicité de la CET MAP. En effet, cette façon de définir la MAP entraîne implicitement la question de son unicité. Même si la MAP extraite arrive à décrire tous les résultats expérimentaux, il est possible qu'une autre MAP y arrive.

- Le dernier point, le plus critique, est l'incapacité de la MAP à prévoir ce qui se passe au-delà de ses bornes. Comme énoncé dans le premier point, la CET MAP est extraite à partir des mesures expérimentales. De ce fait elle est normalement bornée par les décades de temps que l'on a exploré lors des mesures. Par exemple, dans notre cas, la MAP est bornée entre $1\mu s$, qui est notre résolution minimale, et $10ks$, qui sont les temps de stress maximum utilisés pour la déterminer. De ce fait, il est impossible d'utiliser notre MAP pour prédire ce qui se passera en dehors de ses bornes. Notamment il est impossible de donner la dégradation à 10 ans (10^8s) et donc estimer la durée de vie des dispositifs.

Ce dernier point est un facteur particulièrement limitant du modèle. Pour ces raisons, on gardera le modèle RC et la CET MAP pour expliquer physiquement les résultats obtenus expérimentalement. Cependant, on utilisera une autre méthode pour réaliser les évaluations de durée de vie.

2.7 Modèle composite et dégradation NBTI

On a vu que le modèle RC, s'il pouvait être efficace pour expliquer la dégradation mesurée dans notre fenêtre expérimentale, était en revanche difficilement utilisable pour obtenir des estimations de durée de vie. Or, une des fonctions fondamentales de ces études de fiabilité est de donner un moyen d'extrapoler la dégradation à des temps de stress très supérieurs à ceux de notre fenêtre expérimentale.

Dans un premier temps on présentera le modèle analytique appelé « modèle composite » car il se base sur la contribution de deux sources pour expliquer la dégradation BTI. Ce modèle permet de décrire efficacement le ΔV_T mesurée sur nos dispositifs. On présentera ensuite une normalisation permettant de vérifier la validité de ce modèle. Enfin, la CET MAP et le modèle RC seront utilisés pour expliquer certains aspects du modèle composite.

2.7.1 Modèle composite

Ce modèle est appelé modèle composite car il se base sur l'hypothèse que deux types de pièges contribuent au NBTI : les pièges d'oxyde *Not* et les pièges d'interface *Nit*. En cela, on peut dire que le modèle est assez proche de notre modèle RC qui s'appuie sur une CET MAP à deux populations.

Dans le modèle composite, le remplissage des pièges d'oxyde constituent la dégradation recouvrable DR et la génération de défauts à l'interface la dégradation permanente DP. Ce modèle a été développé par Vincent Huard [8].

2.7.1.1 Dégradation Permanente : DP

On associe la dégradation permanente à la génération de *Nit*. On la modélise donc par une loi en puissance classique :

$$\Delta V_{T,Nit}(ts, Vgs, T) = Cp \cdot Vgs^{\gamma_p} \cdot e^{-\frac{qEap}{kT}} \cdot ts^n \quad (2.55)$$

Avec Cp une constante technologique, γ_p le paramètre d'accélération en tension, Eap l'énergie d'activation de la génération de défauts d'interface et n le facteur d'accélération temporelle et ts le temps de stress.

2.7.1.2 Dégradation Recouvrable : DR

La modélisation du stress et de la relaxation des pièges d'oxyde prévoit une dépendance en $\ln(ts/tr)$:

$$\Delta V_{T,Not}(ts, tr, Vgs, T) = Cr \cdot Vgs^{\gamma_r} \cdot e^{-\frac{qEa}{kT}} \ln \left(1 + \frac{\tau_c ts}{\tau_e tr} \right) \quad (2.56)$$

Avec Cr une constante technologique, τ_c et τ_e les constantes de temps moyennes des pièges d'oxydes contribuant à la partie recouvrable, γ_r le paramètre d'accélération en tension, Ea l'énergie d'activation des pièges d'oxyde et tr le temps de relaxation.

En pratique, on préférera utiliser la formulation donnée par Tewksbury [27] qui modélise mieux la dégradation obtenue sur nos dispositifs :

$$\Delta V_{T,Not}(ts, tr, Vgs, T) = Cr \cdot Vgs^{\gamma_r} \cdot e^{-\frac{qEa}{kT}} \ln \left(1 + \frac{\tau_c ts}{\tau_e tr} \right) \left(1 + Cr_2 \ln \left(1 + \frac{\tau_c ts}{\tau_e tr} \right) \right) \quad (2.57)$$

2.7.1.3 Dégradation totale : modèle composite

Le ΔV_T global au cours du stress et de la relaxation est simplement donné par la somme des deux contributions :

$$\Delta V_T(ts, tr, V_{gs}, T) = \Delta V_{T, Nit}(ts, V_{gs}, T) + \Delta V_{T, Not}(ts, tr, V_{gs}, T) \quad (2.58)$$

Cette formule permet de décrire la dégradation NBTI DC mesurée sur nos dispositifs au cours du stress et de la relaxation.

2.7.2 Vérification du modèle composite

On se propose dans un premier temps de vérifier la validité du modèle composite avec nos mesures rapides. Pour cela, on vérifiera les deux parties du modèle : la dégradation recouvrable engendrée par les pièges d'interface *Nit* et la dégradation permanente engendrée par les pièges recouvrables *Not*.

2.7.2.1 Dégradation permanente induite par les pièges d'interface *Nit*

Vérifier l'évolution de la dégradation permanente est difficile car aucune technique de mesure ne permet d'obtenir directement cette dégradation. La solution adoptée pour valider l'évolution de la dégradation due aux *Nit* a été de s'appuyer sur les résultats obtenus avec le modèle RC. Notamment, on a vu que la CET MAP définie dans la partie précédente présentait aussi deux populations distinctes : une population de pièges permanents et une population de pièges recouvrables. On simule donc l'influence des seuls pièges permanents avec le modèle RC et on utilise la loi en puissance donnée par la formule 2.55 pour décrire la dégradation. Les résultats sont présentés sur la Figure 2.43.

L'accélération de la dégradation en tension, $\gamma_p=4$, a été extraite de mesure NBTI DC à différentes tensions. On considère que la dégradation due aux *Nit* et aux *Not* ont la même accélération en tension : $\gamma_p=\gamma_r$.

La dégradation permanente donnée par la CET MAP et le modèle RC suivent la loi en puissance donnée par la formule 2.55 sur les dernières décades de stress. La loi en puissance n'est pas parfaite pour décrire la dégradation permanente mesurée sur nos dispositifs mais elle convient pour décrire la dégradation à long terme. Il est important de noter que la dégradation à court terme prévue par la CET MAP est très faible, les points obtenus dans les premières décades de temps de stress sont donc peu significatifs. De plus, la dégradation permanente prend tout son sens à des temps de stress longs. De ce fait, la loi en puissance, qui décrit bien les dernières décades de temps de stress, apparaît donc comme appropriée pour modéliser cette dégradation.

2.7.2.2 Dégradation recouvrable induite par les pièges d'oxyde *Not*

On cherche maintenant à vérifier la formule 2.57 permettant la description de la dégradation recouvrable.

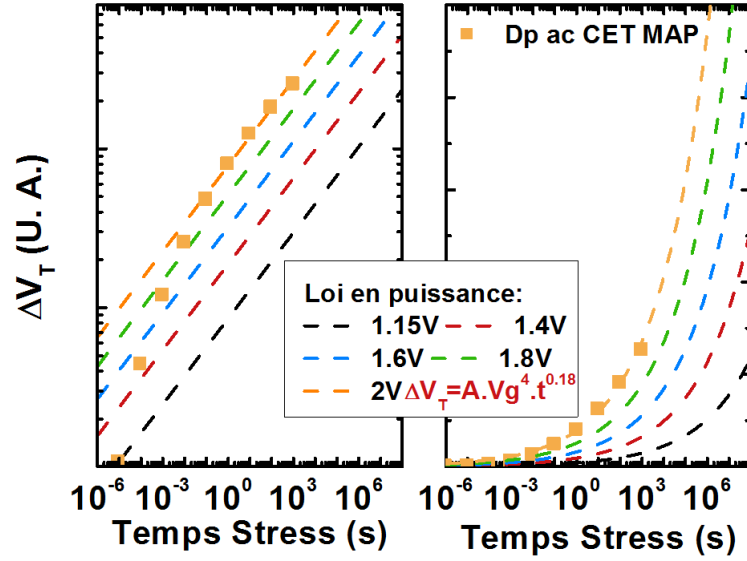


FIGURE 2.43 – (Symboles) Dégradation simulée par le modèle RC en ne considérant que la population de pièges permanents. (Lignes) Dégradation modélisée par la loi en puissance de la formule 2.55. Représentation logarithmique de la dégradation (Gauche) et linéaire (Droite)

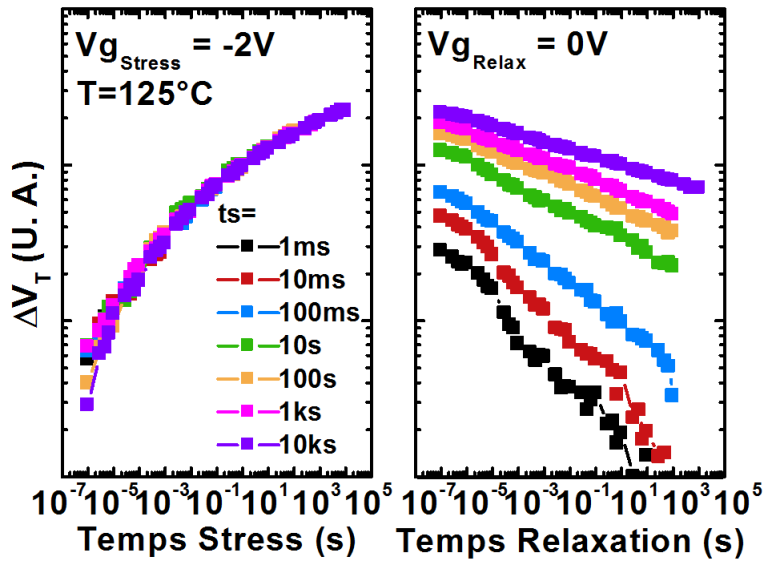


FIGURE 2.44 – (Gauche) Mesures de dégradations NBTI arrêtées à différents temps de stress ts_{max} . (Droite) Mesure de la relaxation après les dégradations NBTI aux différents temps de stress

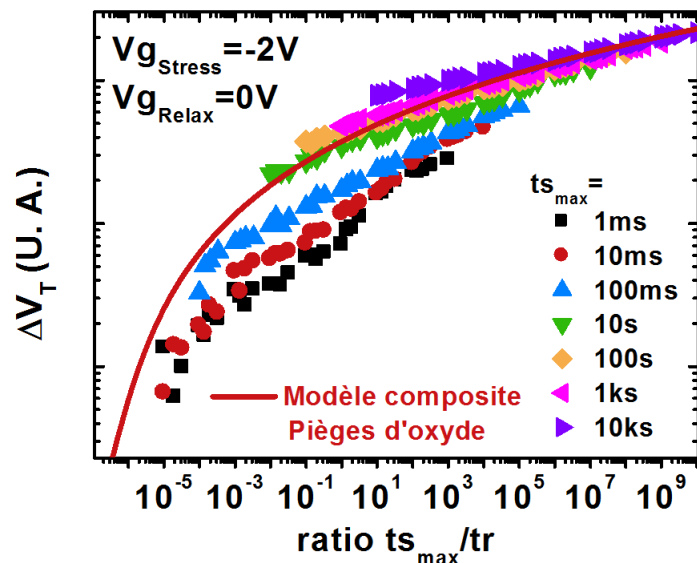


FIGURE 2.45 – (Symboles) Relaxations mesurées après stress NBTI et tracées en fonction du ratio ts_{max}/tr . (Lignes) Formule 2.57 du modèle composite prévoyant le comportement de la partie recouvrable

Pour ce faire, on réalise des stress NBTI que l'on arrête à différents temps de stress ts_{max} , et on mesure la relaxation après chaque stress. Les résultats des stress et relaxations sont reportés sur la Figure 2.44.

Toutes les courbes de stress se superposent montrant la bonne maîtrise des mesures du V_T au cours des tests. Étant donné que les stress ont été stoppés à différents temps ts_{max} , les courbes de relaxation démarrent à différents niveaux. Pour étudier la partie recouvrable de la dégradation due aux pièges d'oxyde, et la validité de la formule 2.57, il est plus facile de représenter les courbes de relaxation mesurées en fonction du ratio ts_{max}/tr . La Figure 2.45 montre donc la relaxation du ΔV_T en fonction de ce ratio. On représente également sur la Figure la relaxation des *Not* prévue par le modèle composite (en traits pleins).

Il est clair que les résultats de relaxations NBTI ne sont pas uniquement décrit par la formule 2.57 du modèle composite relative aux *Not*. Notamment, les faibles temps de stress : de 1ms à 100ms, temps qui étaient difficilement atteignables avec des techniques classiques et pour lesquels le modèle avait été initialement proposé, sont clairement en dehors des prévisions du modèle composite.

Pour pouvoir vérifier correctement la formule décrivant la dégradation prévue pour les pièges *Not*, il est nécessaire de s'affranchir de la partie permanente présente sur nos dispositifs lors du stress DC NBTI. En effet, la dégradation permanente est présente à la fois dans les mesures de stress et de relaxation. Il convient donc de la retirer pour vérifier la contribution des pièges d'oxyde *Not* prévue par le modèle composite.

2.7.3 Modélisation de la partie recouvrable

On se focalise maintenant sur la modélisation de la partie recouvrable de la dégradation due aux pièges d'oxyde. On a vu dans la partie précédente que l'on ne pouvait pas modéliser

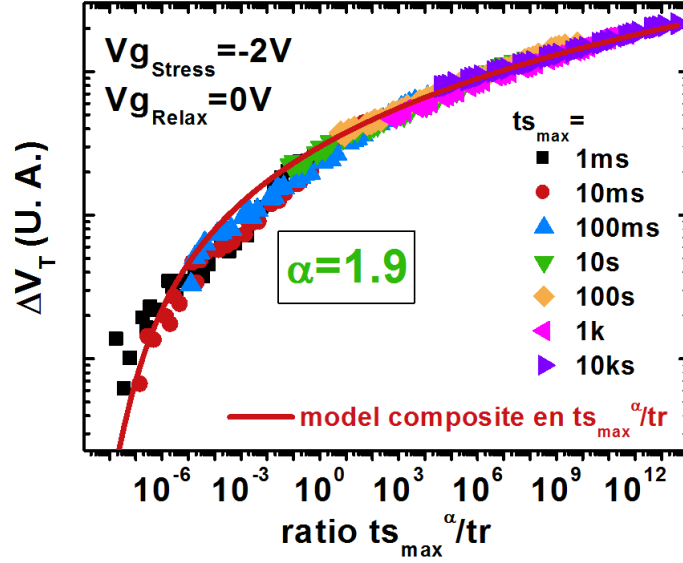


FIGURE 2.46 – (Symboles) Mesures de la relaxation de $t_r=1\mu s$ à $t_r=1000s$ après différents temps de stress tracé en fonction du ratio ts_{max}^α/tr . (Lignes) Modèle composite prévoyant le comportement de la partie recouvrable avec la modification ts_{max}^α/tr

directement la dégradation recouvrable avec la formule 2.57 du modèle composite.

Dans cette partie on proposera une normalisation qui permettra de complètement décrire la relaxation mesurée après différents temps de stress. On utilisera aussi la CET MAP et le modèle RC pour montrer que la formule 2.57 est finalement adaptée pour décrire la dégradation recouvrable.

2.7.3.1 Normalisation en ts^α/tr

L'équation 2.57 a été modifiée pour mieux décrire les relaxations obtenues expérimentalement :

$$\Delta V_{T,Not}(t, V_{gs}, T) = Cr_1 \cdot V_{gs}^{\gamma_r} \cdot e^{-\frac{qEa}{kT}} \ln \left(1 + K \frac{ts^\alpha}{tr} \right) \left(1 + Cr_2 \ln \left(1 + K \frac{ts^\alpha}{tr} \right) \right) \quad (2.59)$$

La première chose qu'il est important de noter est que cette formule **n'est pas physique**.

En effet, l'ajout de la puissance α en exposant du temps de stress donne une équation non homogène. De plus, cela a aussi entraîné le remplacement des temps τ_c et τ_e de l'équation 2.57 par cette constante générique K .

Cette puissance α , appliquée au temps de stress, enlève sa nature « physique » à l'équation : le ratio ts^α/tr n'étant plus sans dimension. L'équation devient juste une « formule de fit » et α un paramètre de fit supplémentaire. Cependant, en utilisant cette équation, il est possible de parfaitement décrire les résultats de relaxation NBTI. La Figure 2.46 reprend les résultats obtenus précédemment, le modèle analytique en ts^α/tr donnée par l'équation 2.59 est également reporté sur la Figure.

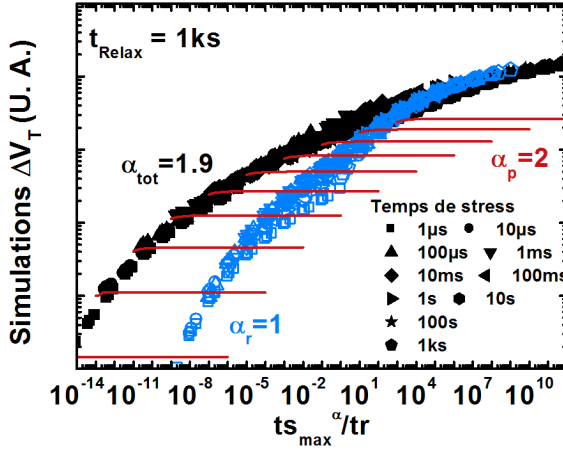


FIGURE 2.47 – Simulations de la relaxation du ΔV_T avec le modèle RC et la CET MAP en considérant : (Rouge) Uniquement la population de pièges permanent (Bleu) Uniquement la population de pièges corrélés, (Noir) Les deux populations de pièges

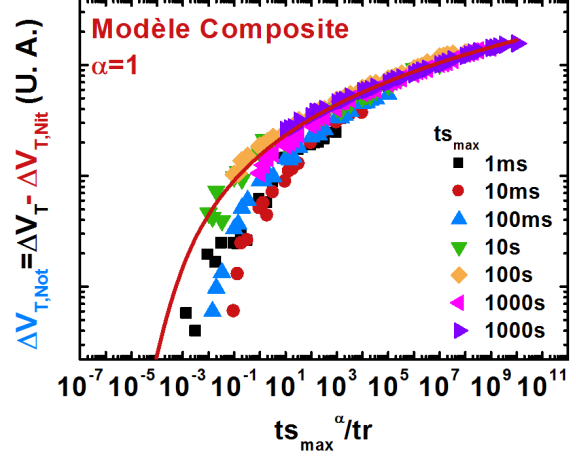


FIGURE 2.48 – (Symboles) Soustraction des relaxations mesurées après stress à différents ts_{max} , ΔV_T , et de la dégradation permanente obtenue aux différents ts_{max} donnée par la CET MAP. (Ligne) Modèle composite donnant le comportement des pièges d'oxyde

L'équation 2.59 permet donc de très bien modéliser les relaxations obtenues aussi bien après les faibles temps de stress que les longs avec un paramètre $\alpha=1.9$.

2.7.3.2 Origine du ratio ts^α/tr

Le modèle RC, détaillé dans la partie précédente, est utilisé ici pour comprendre l'origine de cette normalisation en ts^α/tr . Des simulations de stress et de relaxations NBTI de durées identiques à celles mesurées expérimentalement ont été réalisées. On distingue trois cas particuliers :

- (i) Des simulations en ne considérant que les pièges ayant une corrélation entre τ_e et τ_c , i.e. les pièges recouvrables
- (ii) Des simulations en ne considérant que les pièges ayant de très longues constantes d'émission, i.e. les pièges permanents
- (iii) Des simulations prenant en compte les deux populations de la CET MAP, i.e. la CET MAP présentée dans la Figure 2.31

Les résultats sont tracés en fonction du ratio ts_{max}^α/tr et sont présentés sur la Figure 2.47.

On remarque tout d'abord que les simulations prenant en compte les deux populations de pièges montrent une dégradation qui se normalise aussi en ts^α/tr avec $\alpha=1.9$ comme ce que l'on avait obtenue expérimentalement.

Ensuite, on voit que la population de pièges recouvrables, elle, suit bien une normalisation en ts/tr . En effet, un coefficient $\alpha_r=1$ permet une bonne normalisation des courbes. Ce résultat montre que la formule 2.57, du modèle composite, qui donne la dégradation due aux pièges d'oxyde est correcte.

Enfin, on note qu'aucune normalisation n'est possible pour la dégradation permanente DP. Sur la Figure, un paramètre $\alpha_p=2$ a été utilisé mais il est clair qu'aucune valeur d'alpha ne

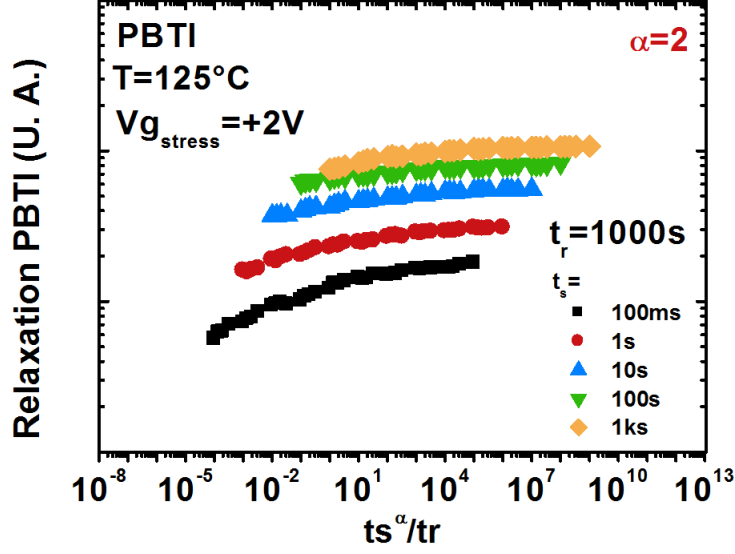


FIGURE 2.49 – Relaxation PBTI mesurées après différents temps de stress. Les relaxations sont tracées en fonction de ts_{max}^α/tr avec $\alpha=2$

pourra permettre une normalisation des résultats de relaxation.

Ces simulations nous donne l'origine du paramètre $\alpha=1.9$ obtenue dans notre formule 2.59. Les pièges recouvrables, sur nos dispositifs, suivent une loi classique en ts/tr , l'ajout d'une population de pièges permanents tend à augmenter ce ratio. Dans notre cas, cela donne un α égal à 1.9.

En d'autre termes, le paramètre α peut être vu comme un indicateur du ratio entre deux populations de pièges : une population de pièges causant une Dégradation Permanente et une population causant une Dégradation Recouvrable. Plus la proportion de pièges recouvrables est importante par rapport à la population de pièges permanents et plus α tendra vers 1. A l'inverse, plus la population de pièges permanents sera importante par rapport à la population de pièges recouvrable et plus α sera important.

2.7.3.3 Paramètre α et dégradation PBTI

Sur nos dispositifs, le stress PBTI génère une dégradation permanente beaucoup plus importante que la dégradation NBTI. Il est intéressant de voir comment la normalisation ts/tr se comporte avec un stress PBTI. La Figure 2.49 présente les relaxations PBTI mesurées après différents temps de stress et représentées en fonction du ratio ts_{max}^α/tr .

Il est clair, au vu des résultats, que la normalisation avec $\alpha=1.9$ est impossible cette fois ci. La valeur de $\alpha=2$ choisie pour représenter les résultats est clairement inadaptée pour normaliser les relaxations. Le paramètre est en réalité bien supérieur à 2 et témoigne d'une population de pièges permanents bien plus importante que la population de pièges recouvrables.

2.7.4 Modélisation simple de la dégradation et extraction de durée de vie

On a donc vu que le modèle composite permettait d'assez bien reproduire la réalité. On utilise ce modèle pour décrire les dégradations et relaxation dues au NBTI. Les Figures 2.50 et 2.51

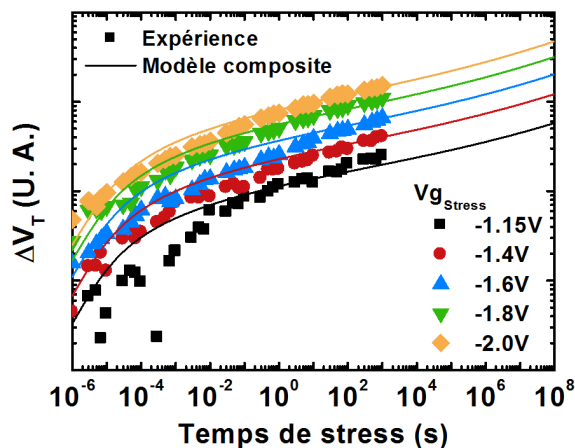


FIGURE 2.50 – (Symboles) Mesures de dégradation NBTI à différentes tensions de stress. (Lignes) Modèle composite

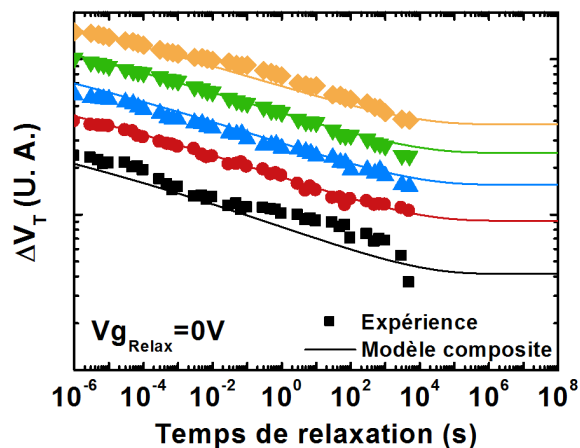


FIGURE 2.51 – (Symboles) Mesures de relaxations après les stress aux différentes tensions. (Lignes) Modèle composite

montrent respectivement les stress effectués à différentes tensions et les relaxations mesurées après les phases de stress. Les descriptions données par le modèle composite sont également donnée sur les deux Figures.

Le modèle donne une assez bonne description de la dégradation mesurée pour les 5 tensions de stress. Les relaxations mesurées après stress sont aussi très bien décrites par ce modèle composite. Contrairement au modèle RC développé dans la partie précédente, on se limite ici à la modélisation de la dégradation et de la relaxation NBTI DC. On n'est plus capable de prédire directement la dégradation en cas de stress AC ou AVGP.

Cependant, un des intérêts du modèle est de fournir une extrapolation de la dégradation pour les longs temps de stress. La Figure 2.52 montre une extrapolation de durée de vie réalisée grâce au modèle composite.

Au critère C choisi, la tension permettant aux dispositifs d'atteindre 10 années de fonctionnement est $\approx 1.2V$.

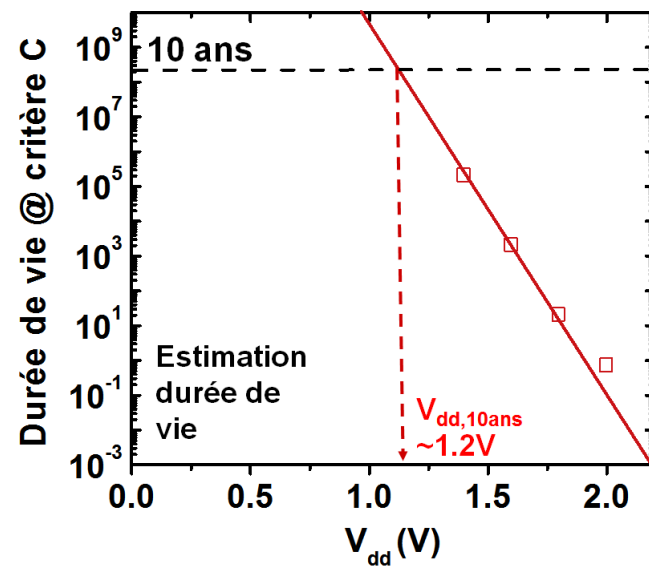


FIGURE 2.52 – Extrapolation de la durée de vie des dispositifs à partir du modèle composite

2.8 Conclusion

Dans ce Chapitre, nous nous sommes penchés sur les mécanismes mis en jeu lors de dégradations NBTI. Plusieurs techniques de caractérisation rapide ont été présentées : le stress NBTI AC, le stress via génération de pattern arbitraire et le stress via pattern répétable (AVGP). Les résultats expérimentaux obtenus avec ces techniques rapides ont permis d'apporter un regard nouveau sur le NBTI.

On a vu notamment que sur nos dispositifs, la partie recouvrable de la dégradation NBTI était non négligeable après un stress AC. Les mesures effectuées avec des patterns arbitraires ont montré que l'hypothèse d'une dégradation NBTI cumulable était inadéquat pour nos dispositifs. Les expériences de stress NBTI DC et HCI DC ont permis de mettre en lumière l'existence claire de deux populations de pièges dans les dispositifs PMOS : des pièges aux constantes de temps d'émission lentes (présents majoritairement lors des stress HCI) et des pièges rapides, avec des constantes d'émission de l'ordre des constantes de capture (actifs majoritairement lors des stress NBTI).

A la lumière de ces résultats expérimentaux, nous avons pu comparer les modèles couramment utilisés dans la fiabilité NBTI et évaluer leur capacité à décrire les mesures effectuées sur nos dispositifs. On a vu notamment que le modèle de Andreas Kerber, basé sur l'additivité de la dégradation NBTI, était inapplicable dans notre cas. De même, le modèle Multi Phonon Non Radiatif développé par Tibor Grassler, basé exclusivement sur le rôle des pièges d'oxyde, permet d'expliquer qualitativement les résultats expérimentaux. Cependant, le trop grand nombre de paramètres nécessaires pour faire fonctionner le modèle le rend difficilement utilisable.

Finalement, un autre modèle centré exclusivement sur le rôle des pièges a été utilisé : le modèle RC. En effet, on remarque que les équations de remplissage des pièges dans le cas des modèles SRH et NRMP sont les mêmes que les équations décrivant la charge d'une capacité dans un circuit RC. De ce fait, ce modèle assimile les pièges présents dans l'oxyde des transistors à un circuit RC et calcule leur remplissage grâce aux mêmes équations que les modèles NRMP et SRH. Grâce aux mesures effectuées pour décrire au mieux la dégradation sur nos dispositifs, une CET MAP a pu être définie. Le modèle RC, couplé à une CET MAP à deux populations de défauts a permis d'expliquer tous les résultats obtenus expérimentalement : la courbe en S obtenue pour des stress AC à différents Duty Factor, la dépendance en fréquence mesurée pour la dégradation aux DF à 25% et 1%, les plateaux de relaxation après des AC à différentes fréquences...

Une version numérique du modèle RC a été développée pour décrire les dégradations obtenues au cours de stress AVGP. Le modèle a permis une très bonne description des résultats expérimentaux. Ces expériences de stress AVGP ont notamment permis de confirmer l'emploi du stress AC pour caractériser la dégradation en condition de circuit. En particulier, on a pu montrer que la position des bits au sein d'un AVGP n'avait pas d'influence sur la dégradation finale *si la fréquence du stress était suffisamment haute*. On a montré également que le Duty Factor continuait de contrôler la dégradation globale même dans le cas de stress AVGP.

Une discussion sur le modèle RC a aussi été faite, donnant les avantages et les inconvénients du modèle. Il a notamment été exposé que le modèle était inadapté pour décrire la dégradation en dehors de la fenêtre expérimentale. Cet aspect est un inconvénient important du modèle RC car il ne permet aucune prédiction de durée de vie, juste une explication des résultats expérimentaux.

Pour contourner ce problème, et donner des estimations de durée de vie des dispositifs,

un modèle analytique composite, séparant les contributions des dégradations permanentes et recouvrables, a été proposé. Ce modèle permet une bonne description des dégradations NBTI DC et des relaxations et donne une idée de la dégradation pouvant affecter nos dispositifs après 10 ans de fonctionnement.

Bibliographie

- [1] B. E. Deal, M. Sklar, and E. H. Snow, "Characteristics of the surface state charge (Q_{ss}) of thermally oxidized silicon," *Journal of the Electrochemical Society*, vol. 114, no. 3, pp. 266–274, 1967.
- [2] K. O. Jeppson and C. M. Svensson, "Negative bias stress of mos devices at high electric fields and degradation of mnos devices," *Journal of Applied Physics*, vol. 48, no. 5, pp. 2004–2014, 1977.
- [3] S. Ogawa and N. Shiono, "Generalized diffusion-reaction model for the low-field charge-buildup instability at the Si-sio₂ interface," *Phys. Rev. B*, vol. 51, pp. 4218–4230, Feb 1995.
- [4] M. Alam and S. Mahapatra, "A comprehensive model of PMOS NBTI degradation," *Microelectronics Reliability*, vol. 45, no. 1, pp. 71 – 81, 2005.
- [5] T. Grasser, B. Kaczer, W. Goes, H. Reisinger, T. Aichinger, P. Hehenberger, P.-J. Wagner, F. Schanovsky, J. Franco, M. Luque, and M. Nelhiebel, "The paradigm shift in understanding the bias temperature instability : From reaction-diffusion to switching oxide traps," *Electron Devices, IEEE Transactions on*, vol. 58, no. 11, pp. 3652–3666, Nov 2011.
- [6] M. Rafiq, "Caractérisation et modélisation de la fiabilité des transistors avancés à diélectriques de hautes permittivités et à grille métalliques," Ph.D. dissertation, EEATS, 2005.
- [7] T. Grasser, B. Kaczer, W. Goes, H. Reisinger, T. Aichinger, P. Hehenberger, P.-J. Wagner, F. Schanovsky, J. Franco, M. Luque, and M. Nelhiebel, "The paradigm shift in understanding the bias temperature instability : From reaction-diffusion to switching oxide traps," *Electron Devices, IEEE Transactions on*, vol. 58, no. 11, pp. 3652–3666, Nov 2011.
- [8] V. Huard, C. Parthasarathy, N. Rallet, C. Guerin, M. Mammase, D. Barge, and C. Ouvrard, "New characterization and modeling approach for NBTI degradation from transistor to product level," in *Electron Devices Meeting, 2007. IEDM 2007. IEEE International*, Dec 2007, pp. 797–800.
- [9] A. Kerber, S. Krishnan, and E. Cartier, "Voltage ramp stress for bias temperature instability testing of metal-gate/high-k stacks," *Electron Device Letters, IEEE*, vol. 30, no. 12, pp. 1347–1349, Dec 2009.
- [10] T. Grasser, "Stochastic charge trapping in oxides : From random telegraph noise to bias temperature instabilities," *Microelectronics Reliability*, vol. 52, no. 1, pp. 39 – 70, 2012, 2011 Reliability of Compound Semiconductors (ROCS) Workshop.
- [11] H. Reisinger, T. Grasser, W. Gustin, and C. Schlunder, "The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress," in *Reliability Physics Symposium (IRPS), 2010 IEEE International*, May 2010, pp. 7–15.
- [12] A. Subirats, X. Garros, J. Cluzel, J. El Hussein, F. Cacho, X. Federspiel, V. Huard, M. Rafik, G. Reimbold, O. Faynot, and G. Ghibaudo, "A new gate pattern measurement for evaluating the BTI degradation in circuit conditions," in *Reliability Physics Symposium, 2014 IEEE International*, June 2014, pp. 5D.1.1–5D.1.5.

-
- [13] N. Planes, O. Weber, V. Barral, S. Haendler, D. Noblet, D. Croain, M. Bocat, P. Sassoulas, X. Federspiel, A. Cros, A. Bajolet, E. Richard, B. Dumont, P. Perreau, D. Petit, D. Golanski, C. Fenouillet-Beranger, N. Guillot, M. Rafik, V. Huard, S. Puget, X. Montagner, M.-A. Jaud, O. Rozeau, O. Saxod, F. Wacquant, F. Monsieur, D. Barge, L. Pinzelli, M. Mellier, F. Boeuf, F. Arnaud, and M. Haond, "28nm FDSOI technology platform for high-speed low-voltage digital applications," in *VLSI Technology (VLSIT), 2012 Symposium on*, June 2012, pp. 133–134.
- [14] A. Kerber, T. Pompl, M. Rohner, K. Mosig, and M. Kerber, "Impact of failure criteria on the reliability prediction of CMOS devices with ultrathin gate oxides based on voltage ramp stress," *Electron Device Letters, IEEE*, vol. 27, no. 7, pp. 609–611, July 2006.
- [15] S. Mahapatra, S. De, K. Joshi, S. Mukhopadhyay, R. Pandey, and K. Murali, "Understanding process impact of hole traps and NBTI in HKMG p-MOSFETs using measurements and atomistic simulations," *Electron Device Letters, IEEE*, vol. 34, no. 8, pp. 963–965, Aug 2013.
- [16] H. Reisinger, R. Vollertsen, P.-J. Wagner, T. Huttner, A. Martin, S. Aresu, W. Gustin, T. Grasser, and C. Schlunder, "A study of NBTI and short-term threshold hysteresis of thin nitrided and thick non-nitrided oxides," *Device and Materials Reliability, IEEE Transactions on*, vol. 9, no. 2, pp. 106–114, June 2009.
- [17] X. Garros, J. Mitard, C. Leroux, G. Reimbold, and F. Boulanger, "In depth analysis of Vt instabilities in HFO2 technologies by charge pumping measurements and electrical modeling," in *Reliability physics symposium, 2007. proceedings. 45th annual. ieee international*, April 2007, pp. 61–66.
- [18] W. Shockley and W. T. Read, "Statistics of the recombinations of holes and electrons," *Phys. Rev.*, vol. 87, pp. 835–842, Sep 1952.
- [19] B. K. Ridley, "Multiphonon, non-radiative transition rate for electrons in semiconductors and insulators," *Journal of Physics C : Solid State Physics*, vol. 11, no. 11, p. 2323, 1978.
- [20] P. Weckx, B. Kaczer, M. Toledano-Luque, T. Grasser, P. Roussel, H. Kukner, P. Raghavan, F. Catthoor, and G. Groeseneken, "Defect-based methodology for workload-dependent circuit lifetime projections - application to SRAM," in *Reliability Physics Symposium (IRPS), 2013 IEEE International*, April 2013, pp. 3A.4.1–3A.4.7.
- [21] T. Grasser, H. Reisinger, W. Goes, T. Aichinger, P. Hehenberger, P.-J. Wagner, M. Nelhiebel, J. Franco, and B. Kaczer, "Switching oxide traps as the missing link between negative bias temperature instability and random telegraph noise," in *Electron Devices Meeting (IEDM), 2009 IEEE International*, Dec 2009, pp. 1–4.
- [22] H. Reisinger, T. Grasser, K. Ermisch, H. Nielen, W. Gustin, and C. Schlunder, "Understanding and modeling AC BTI," in *Reliability Physics Symposium (IRPS), 2011 IEEE International*, April 2011, pp. 6A.1.1–6A.1.8.
- [23] S. Mahapatra, N. Goel, S. Desai, S. Gupta, B. Jose, S. Mukhopadhyay, K. Joshi, A. Jain, A. Islam, and M. Alam, "A comparative study of different physics-based NBTI models," *Electron Devices, IEEE Transactions on*, vol. 60, no. 3, pp. 901–916, March 2013.

- [24] T. Grasser, B. Kaczer, H. Reisinger, P.-J. Wagner, and M. Toledano-Luque, “On the frequency dependence of the bias temperature instability,” in *Reliability Physics Symposium (IRPS), 2012 IEEE International*, April 2012, pp. XT.8.1–XT.8.7.
- [25] S. Mahapatra, V. Huard, A. Kerber, V. Reddy, S. Kalpat, and A. Haggag, “Universality of NBTI - from devices to circuits and products,” in *Reliability Physics Symposium, 2014 IEEE International*, June 2014, pp. 3B.1.1–3B.1.8.
- [26] R. Fernandez, B. Kaczer, A. Nackaerts, S. Demuynck, R. Rodriguez, M. Nafria, and G. Groeseneken, “AC NBTI studied in the 1 hz – 2 ghz range on dedicated on-chip CMOS circuits,” in *Electron Devices Meeting, 2006. IEDM '06. International*, Dec 2006, pp. 1–4.
- [27] T. Tewksbury, “Relaxation effect in MOS devices due to tunnel exchange with near interface oxide traps,” Ph.D. dissertation, MIT, 1992.

Chapitre 3

Variabilité dynamique sur des transistors FDSOI de tailles $<0.1\mu\text{m}^2$

Sommaire

3.1	Introduction	137
3.2	Caractérisation de la variabilité dynamique	139
3.2.1	Dérive du V_T induite lors de stress BTI	139
3.2.1.1	Distributions expérimentales de ΔV_T	139
3.2.1.2	Origine de la forme des distributions de ΔV_T	141
3.2.2	Modèles analytiques décrivant les distributions de ΔV_T sur des dispositifs de taille nanométrique	142
3.2.2.1	Modèle de Kaczer - Defect Centric Model	142
3.2.2.2	Modèle de Skellam	146
3.2.3	Description des distributions de ΔV_T sur une technologie FDSOI standard avec les modèles de Skellam et de Kaczer	148
3.2.3.1	Modélisation des distributions avec le modèle de Skellam	148
3.2.3.2	Modélisation des distributions avec le modèle de Kaczer	149
3.2.4	Limites des modèles de Skellam et de Kaczer	151
3.2.4.1	Mesures sur un très grand nombre de dispositifs	151
3.2.4.2	Mesures sur des transistors d'une technologie présentant de nombreux pièges	151
3.2.5	Problématique soulevée par le DCM	152
3.3	Simulations électrostatiques et Mesures Expérimentales	154
3.3.1	Description de la simulation	155
3.3.1.1	Structure FDSOI simulée	155
3.3.1.2	Description du modèle - Équation de Poisson et de Drift-Diffusion	155
3.3.2	Résultats de simulations en éléments finis	157
3.3.3	Distributions Exponentielles et DCM	158
3.3.3.1	Dispositifs avec exactement une charge - Simulations Monte Carlo	158
3.3.3.2	Dispositifs avec plusieurs charges	162
3.3.4	Influence de la dimension sur la variabilité dynamique	163

3.3.4.1	Résultats expérimentaux	164
3.3.4.2	Simulations de la variation de η avec la dimension des dispositifs	165
3.4	Structures réalistes de transistors FDSOI	167
3.4.1	Problématique liée aux hypothèses du DCM	167
3.4.1.1	Populations de pièges multiples dans l'oxyde - Résultats expérimentaux	168
3.4.1.2	Simulations électrostatiques sur des transistors bicouches	169
3.4.2	Revue détaillée du DCM	171
3.4.2.1	Dispositifs avec un unique piège d'oxyde	171
3.4.2.2	Cas de transistors avec une unique couche d'oxyde avec N défauts	174
3.4.2.3	Cas de transistors avec 2 couches d'oxyde avec N défauts	174
3.4.2.4	Cas de transistors avec Nt pièges suivant une loi de Poisson : Analyse du DCM	176
3.4.2.5	Cas de transistors avec Nt Pièges suivant une loi de Poisson : Modèle semi analytique	180
3.4.3	Application aux SRAM	182
3.4.3.1	Généralité de l'expression du DCM bicouche	182
3.4.3.2	Application du DCM bicouche aux cellules SRAM	182
3.5	Conclusion	186

3.1 Introduction

Avec la réduction des dimensions des dispositifs utilisés dans la microélectronique contemporaine, la manière de considérer la fiabilité a fortement évolué au cours des dernières années. Les paramètres électriques des transistors, qui correspondaient autrefois à une valeur moyennée, lorsqu'ils étaient mesurés sur de grands dispositifs, sont maintenant fortement distribués et nécessitent une étude statistique.

En particulier, en ce qui concerne les contraintes, ou stress, BTI, le principe qui considérait que les dégradations mesurées auparavant sur des dispositifs longs et larges étaient représentatives d'un comportement général n'est plus vrai pour des transistors ayant des longueurs et largeurs de grille inférieures à la centaine de nanomètres.

Les dégradations sur ces transistors nanométriques devront donc être traitées de façon statistique grâce notamment aux fonctions de densité de probabilité (PDF) et aux fonctions de distribution cumulée (CDF).

En terme de mesures expérimentales, cela se traduira par des mesures de la dégradation sur de larges populations de dispositifs afin de recueillir des distributions des paramètres étudiés (V_T , G_m , $I_{d,sat}$, ...) et de leurs dégradations (ΔV_T , ΔG_m , $\Delta I_{d,sat}$, ...)

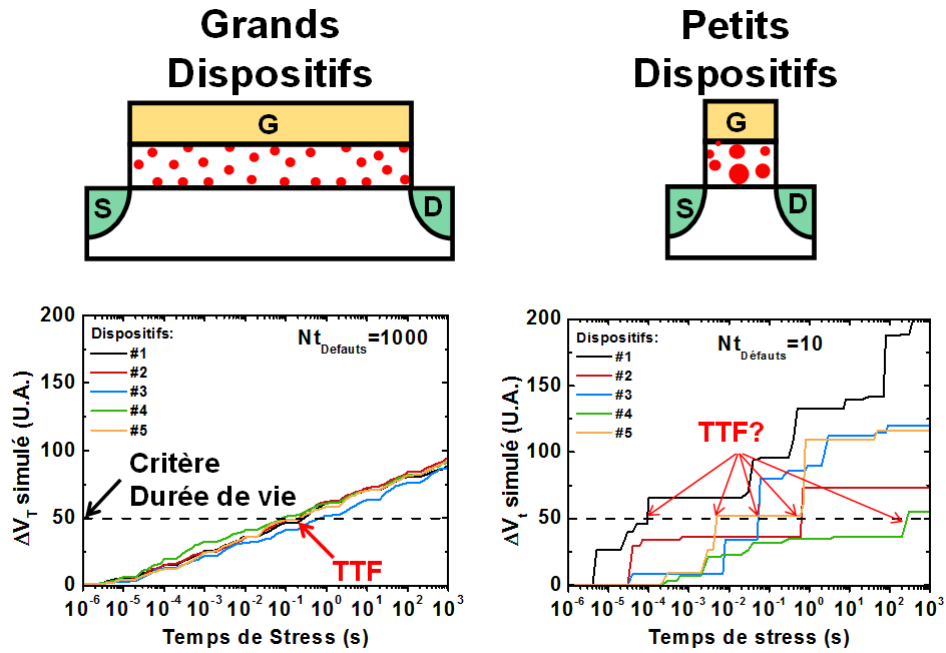


FIGURE 3.1 – Illustration de l'effet de la réduction des dimensions des transistors sur le nombre de pièges (Haut) et sur le ΔV_T (Bas). (Gauche) Grands dispositifs (surface $> \mu\text{m}^2$). (Droite) Petits dispositifs (surface $< 0.01\mu\text{m}^2$)

Plus précisément, en ce qui concerne la dégradation BTI, les défauts, ou pièges, voient leur nombre et leur impact grandement affectés par la réduction des dimensions. En effet, on considère que les dispositifs de grande taille ont un nombre de défauts moyen qui est semblable d'un dispositif à l'autre. De plus, tous les défauts d'un même dispositif ont globalement le même impact sur les paramètres électriques du transistor. Cela conduit à une étude de la fiabilité sur

un nombre restreint de dispositifs.

Cependant, lorsque les dimensions des dispositifs sont réduites, le nombre de défauts devient très faible et varie grandement d'un dispositif à l'autre. Dans le Chapitre 1, on a vu que sur de tels dispositifs il est alors possible d'observer des sauts discrets de capture et de relaxation de pièges uniques. Ces sauts discrets sont également visibles sur la Figure 3.1. Lors d'un stress BTI, les pièges se chargent par la capture d'un porteur et chaque capture entraîne un saut unique de V_T .

En plus du nombre de défauts qui varie beaucoup d'un dispositif à l'autre, l'impact des défauts au sein d'un même dispositif change énormément. Les raisons de cette augmentation de l'influence des défauts avec la diminution de la taille des transistors seront abordés dans ce Chapitre. La combinaison de ces deux effets : grande variabilité du nombre et de l'influence des défauts, entraîne que l'évaluation de la durée de vie, ou TTF (pour Time To Failure), ne peut plus être envisagée aussi simplement que sur des dispositifs de grande taille. La Figure 3.1 résume bien cette nouvelle problématique de la fiabilité dans le contexte de la microélectronique contemporaine en montrant comment la dégradation BTI évolue avec la réduction des dimensions.

Dans ce Chapitre, on commencera par présenter des mesures de dégradation de tensions de seuil à la suite de stress BTI sur des transistors de petite dimension. On mettra ainsi en évidence la variabilité de la dégradation obtenue en mode BTI sur des dispositifs décanométriques. Différents modèles seront comparés pour décrire les distributions BTI obtenues expérimentalement : le Modèle proposé par S. E. Rauch [1], basé sur les travaux de Skellam [2], et le Modèle Defect-Centric (ou DCM) proposé pour la première fois par Ben Kaczer [3]. Ces deux modèles sont les deux principaux outils employés aujourd'hui dans la fiabilité des dispositifs de petite dimension. On présentera leur intérêt et leur limitation et on conclura sur leur pertinence pour les études de fiabilité dans la microélectronique contemporaine.

On réalisera également des simulations électrostatiques 3D sur dispositifs FDSOI. Ces simulations permettront d'étudier la validité du DCM qui a été mis au point initialement pour des technologies BULK. Les simulations seront aussi utilisées conjointement avec des résultats expérimentaux pour étudier l'influence de la dimension des dispositifs sur les dégradations BTI.

Finalement, on présentera une revue complète du DCM. Dans cette revue, on s'attardera sur les différentes étapes nécessaires à la construction du DCM et on étendra le modèle pour des dispositifs avec des oxydes de grille comportant deux couches distinctes : une couche d'oxyde interfacial (IL) et une couche de diélectrique haute permittivité (HK).

3.2 Caractérisation de la variabilité dynamique

Dans cette partie on s'intéressera plus particulièrement à la modélisation de la dégradation du V_T sur des transistors de petites dimensions (largeur et longueur de grille inférieure à la centaine de nanomètres). Plus particulièrement, on comparera les distributions obtenues sur ces transistors à la loi normale, dont la PDF est rappelée par la formule 3.1, qui est adaptée pour modéliser la dégradation sur de grands dispositifs.

$$\theta_{Norm}(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{1}{2}\left(\frac{x-\mu}{\sigma}\right)^2} \quad (3.1)$$

Avec σ qui définit l'écart type de la distribution et μ la valeur moyenne.

On notera que la loi normale réduite, θ^* est obtenue pour $\mu=0$.

3.2.1 Dérive du V_T induite lors de stress BTI

L'importante variabilité des ΔV_T obtenus sur des transistors de petites dimensions nécessite de réaliser une étude du ΔV_T sur un grand nombre de transistors afin d'avoir une évaluation correcte de la dégradation. Les mesures de ΔV_T effectuées dans cette partie ont été réalisées avec une méthode rapide de Stress-Mesure-Stress classique. Étant donné les dimensions des transistors étudiés dans cette partie (jusqu'à 80nm de largeur de grille et 30nm de longueur), les courants mesurés sont de l'ordre de la dizaine de μA . De ce fait, les temps de mesure sont considérablement allongés et sont de l'ordre de la centaine de μs .

3.2.1.1 Distributions expérimentales de ΔV_T

Les décalages de tension de seuil mesurés sur des dispositifs de petite taille ne sont pas aussi simples à modéliser que sur des dispositifs de grande taille. La Figure 3.2 montre les distributions de V_T , initiales et après stress BTI, obtenues sur des transistors courts et étroits ($W=80nm$ et $L=50nm$). La loi normale est également reportée sur la Figure et est donnée par une droite dans cette représentation.

Quel que soit le temps de stress, les distributions de V_T suivent une loi normale. Seules les valeurs moyennes, valeurs de V_T à l'ordonnée $y=0$, et les variances, pentes des distributions, augmentent avec le temps de stress. Cependant, les distributions de ΔV_T , elles, dévient légèrement de la loi normale, notamment au niveau des queues de distribution (faibles et forts ΔV_T) comme il est possible de le voir sur la Figure 3.3. On a donné deux représentations des mêmes distributions sur la Figure, une en représentation normale qui permet d'avoir une bonne vision de la dégradation pour les fortes valeurs de ΔV_T et une en représentation de Weibull, qui permet de voir facilement la dégradation pour les faibles valeurs de ΔV_T .

Sur ces mesures, on constate que la déviation à la loi normale est, somme toute, assez faible. Hormis le faible écart au niveau des queues de distribution pour les faibles valeurs de ΔV_T , la loi normale permet une bonne description de la dégradation mesurée. De tels résultats ont aussi été observés récemment par Andreas Kerber [4] mais ne sont pas les plus courants. Généralement, les distributions de ΔV_T mesurées sur des dispositifs de petites surfaces dévient assez clairement de la loi normale [5], [6].

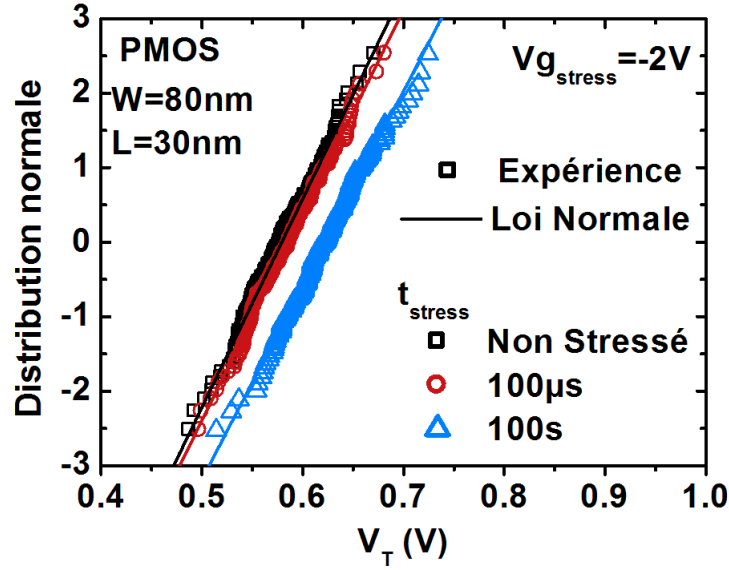


FIGURE 3.2 – (Symboles) Distributions de V_T mesurées sur des transistors de petites tailles ($W=80\text{nm}$, $L=30\text{nm}$) après différents temps de stress : avant stress (noir), $100\mu\text{s}$ (rouge), 100s (bleu). (Lignes) Loi normale utilisée pour modéliser les distributions

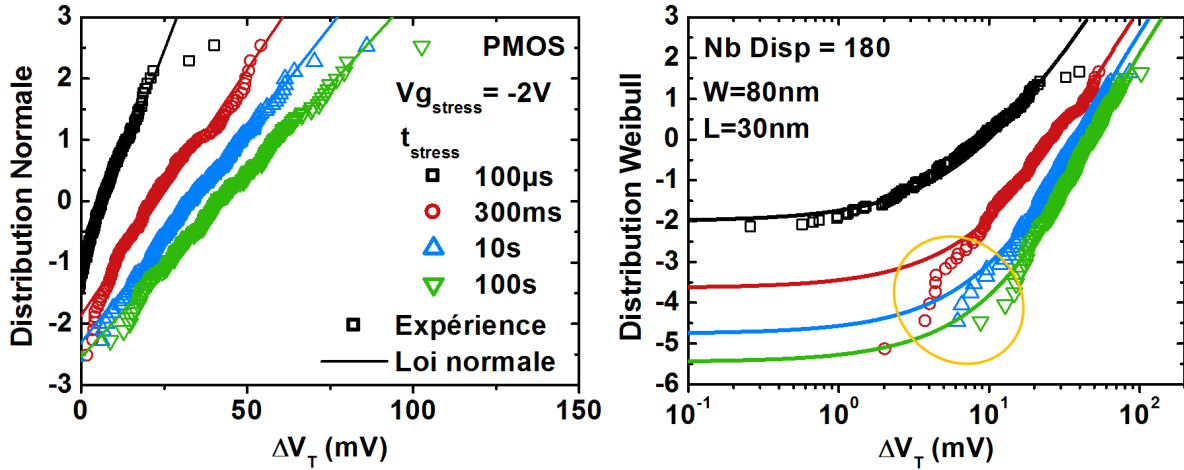


FIGURE 3.3 – (Symboles) Distributions de ΔV_T mesurées sur des transistors de petites tailles ($W=80\text{nm}$, $L=30\text{nm}$) à différents temps de stress : $100\mu\text{s}$ (noir), 300ms (rouge), 10s (bleu) et 100s (vert) en représentation normale (à gauche) et de Weibull (à droite). (Lignes) Loi normale utilisée pour décrire les distributions. La loi normale permet ici de capturer l'essentiel de la dégradation mais rate parfois les queues de distribution

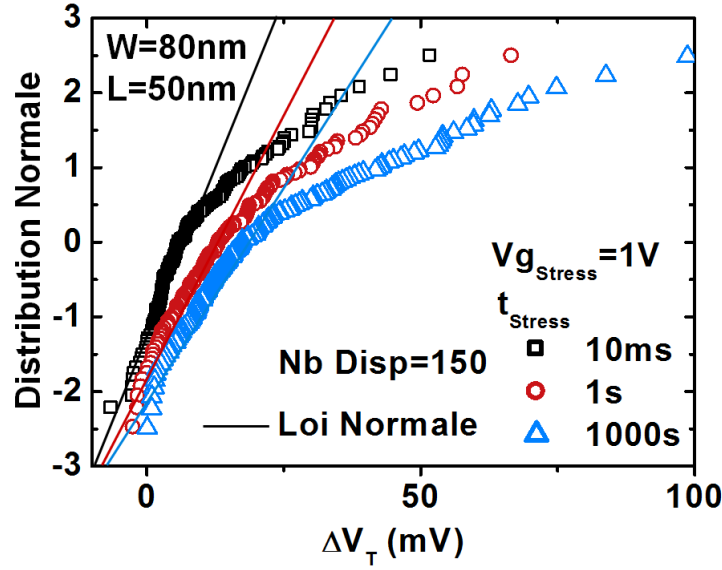


FIGURE 3.4 – (Symboles) Distributions de ΔV_T mesurées sur des transistors présentant une grande sensibilité au piégeage. (Lignes) La loi normale utilisée pour modéliser la dégradation BTI est clairement inadaptée pour expliquer la dégradation

Notamment, il est possible de mesurer une claire déviation à la loi normale sur des technologies plus sensibles au piégeage. La Figure 3.4 montre des ΔV_T mesurés sur des transistors NMOS d’une technologie avec beaucoup de piégeage rapide, on a également représenté la loi normale.

Sur de tels transistors, on voit bien que la loi normale apparait comme clairement inadaptée pour décrire les distributions de ΔV_T . Il est donc important de trouver un modèle permettant de mieux estimer cette dégradation mesurée sur nos dispositifs.

3.2.1.2 Origine de la forme des distributions de ΔV_T

Avant de présenter les différents modèles permettant de décrire les distributions de ΔV_T , on cherche à savoir pourquoi ces distributions dévient de la loi normale. Le résultat est en effet surprenant sachant que les distributions de V_T avant et au cours du stress BTI, elles, suivent une loi normale (comme on a pu le voir sur la Figure 3.2).

L’origine de cette déviation par rapport à la loi normale vient de l’absence de corrélation entre la tension de seuil initiale des petits transistors n’ayant pas subi de stress BTI (V_{T0}) et le ΔV_T obtenu après stress. On a reporté les ΔV_T mesurés après un stress de 100s à $V_{gStress} = -2V$ en fonction de la tension de seuil initiale V_{T0} sur la Figure 3.5.

On voit bien que les transistors avec le plus faible V_{T0} (respectivement plus fort) ne donnent pas le plus fort ΔV_T (respectivement plus faible). C’est cette absence de corrélation qui entraîne la perte de la « normalité » pour les distributions de ΔV_T .

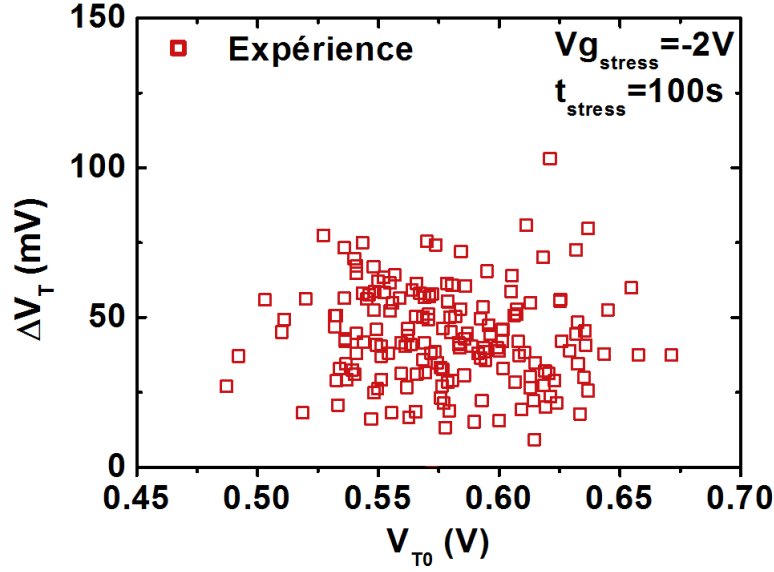


FIGURE 3.5 – (Symboles) Corrélation entre les ΔV_T mesurés sur des transistors de petites tailles ($W=80\text{nm}$, $L=30\text{nm}$) après 100s de stress à $V_{g_{stress}} = -2V$ et le V_{T0} . Aucune corrélation n'est trouvée entre les deux grandeurs

3.2.2 Modèles analytiques décrivant les distributions de ΔV_T sur des dispositifs de taille nanométrique

Ces résultats de distribution « non-normale » ont déjà été observés à plusieurs reprises dans la littérature [1], [7], [3]. Plusieurs modèles ont été proposés pour permettre de décrire les distributions mesurées. Dans cette partie, on présentera les deux modèles les plus utilisés.

Le premier modèle étudié ici a été proposé par Ben Kaczer [3]. Il se base uniquement sur le rôle de pièges d'oxyde dont le nombre suit une loi de Poisson et l'influence sur le ΔV_T suit une loi exponentielle.

Le second modèle étudié a été proposé pour la première fois par Stewart E. Rauch [1] et plus tard repris par Vincent Huard [5]. Ce modèle se base sur la concurrence entre deux phénomènes : la création de défauts et leur destruction. Chaque procédé suit lui aussi une loi de Poisson et l'influence des pièges est supposée Gaussienne.

3.2.2.1 Modèle de Kaczer - Defect Centric Model

Récemment, un nouveau modèle a été développé pour expliquer ces distributions de ΔV_T qui dévient de la loi normale classique. Développé par Ben Kaczer [3], ce modèle permet de mieux décrire les résultats obtenus expérimentalement. Étant donné que ce modèle est exclusivement centré sur le rôle des défauts, on se référera par la suite à ce modèle sous le nom de DCM pour Defect-Centric Model. L'essentiel des calculs nécessaires pour la mise au point de ce modèle sont reportés dans l'annexe de cette partie : Annexe B.

Ce modèle se base sur deux hypothèses principales. La première est que le décalage de tension de seuil provoqué par des pièges individuels suit une loi exponentielle dont les PDF et CDF sont rappelées ici :

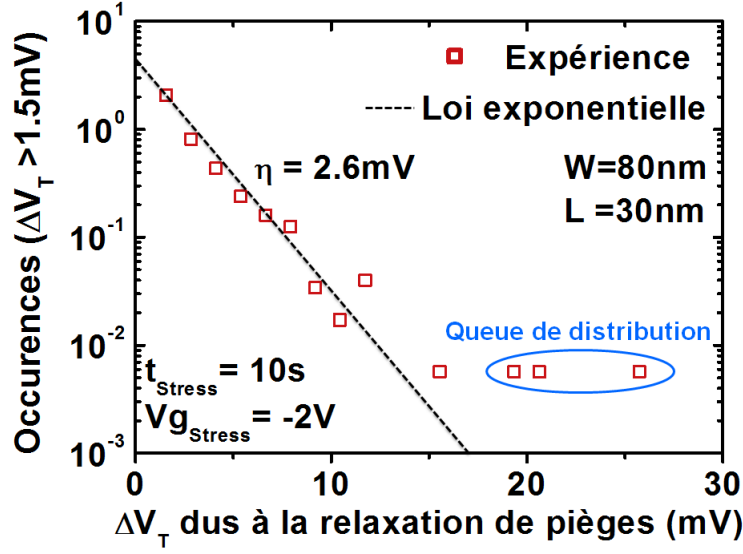


FIGURE 3.6 – (Symboles) Histogramme des sauts de ΔV_T obtenus après 10s de charge des pièges à $V_{g_{stress}} = -2V$ selon la technique expliquée dans le Chapitre 1. Les sauts discrets de ΔV_T dus à la relaxations des pièges suivent une loi exponentielle

$$f_{exp}(\Delta V_T, \eta) = \frac{1}{\eta} e^{-\frac{\Delta V_T}{\eta}} \quad (3.2)$$

$$F_{exp}(\Delta V_T, \eta) = 1 - e^{-\frac{\Delta V_T}{\eta}} \quad (3.3)$$

Avec η qui correspond à l'influence moyenne des pièges sur le V_T .

Cette hypothèse est vérifiée expérimentalement par des mesures de remplissage/vidage dont la technique est présentée en détail dans le Chapitre 1. Une population de ≈ 180 transistors est stressée pendant 10s à $V_{g_{stress}} = -2V$ et la relaxation des transistors a été mesurée après ces 10s de stress. Les décalages discrets de tension de V_T , dus au dé-piégeage des porteurs capturés sont regroupés dans un histogramme et les résultats sont présentés sur la Figure 3.6.

On peut voir que les amplitudes des sauts discrets de ΔV_T dues à la relaxation des pièges obéissent globalement à une loi exponentielle. Il est aussi intéressant de noter que ces mesures ont été réalisées sur transistors FDSOI et que l'on observe aussi, comme sur les dispositifs BULK, une « queue de distribution » pour les forts ΔV_T qui dévient de la loi exponentielle. Une explication pour cet écart à la loi exponentielle sur dispositifs FDSOI sera proposée dans la Section 2.

Si on considère maintenant que n défauts sont présents dans la grille de chaque transistor, alors la PDF à laquelle doit obéir une telle population de dispositifs s'obtient par n convolutions des PDFs données par l'équation 3.2. Les PDFs et CDFs obtenues après calcul des convolutions sont données par les équations :

$$f_n(\Delta V_T, \eta) = \frac{e^{-\frac{\Delta V_T}{\eta}}}{(n-1)!} \frac{\Delta V_T^{n-1}}{\eta^n} \quad (3.4)$$

$$F_n(\Delta V_T, \eta) = 1 - \frac{\Gamma\left(n, \frac{\Delta V_T}{\eta}\right)}{(n-1)!} \quad (3.5)$$

Avec Γ qui représente la fonction Gamma étendue définie par :

$$\Gamma\left(n, \frac{\Delta V_T}{\eta}\right) = \int_{\Delta V_T/\eta}^{\infty} t^{n-1} e^{-t} dt \quad (3.6)$$

Ces formules sont importantes mais elles ne représentent toujours pas totalement la réalité. En effet, il est clair que le nombre de défauts présents dans chaque transistor n'est pas identique d'un transistor à l'autre. La deuxième hypothèse importante du DCM est de supposer que, dans des transistors de petites dimensions, le nombre de défauts présents dans l'oxyde suit une loi de Poisson dont la formule de la PDF est rappelée ici :

$$f_{N,Poiss}(n) = \frac{e^{-N} N^n}{n!} \quad (3.7)$$

Avec N qui représente le nombre moyen de défauts dans la grille des transistors.

Ainsi, en sommant toutes les distributions F_n pondérées par la probabilité de Poisson, on obtient la CDF qui permet de modéliser les distributions de ΔV_T sur des transistors de petites dimensions :

$$F_{N,DCM}(\Delta V_T) = \sum_{n=1}^{\infty} f_{N,Poiss}(n) F_n(\Delta V_T) \quad (3.8)$$

Ce qui donne :

$$F_{N,DCM}(\Delta V_T, \eta) = \sum_{n=1}^{\infty} \frac{e^{-N} N^n}{n!} \left(1 - \frac{\Gamma\left(n, \frac{\Delta V_T}{\eta}\right)}{(n-1)!} \right) \quad (3.9)$$

Et la PDF par dérivation de la CDF :

$$f_{N,DCM}(\Delta V_T, \eta) = e^{-N} \left[\delta(\Delta V_T) + N e^{-\frac{\Delta V_T}{\eta}} {}_0\mathcal{F}_1 \left(2; N \frac{\Delta V_T}{\eta} \right) \right] \quad (3.10)$$

Avec ${}_0\mathcal{F}_1$ qui représente la fonction hypergéométrique définie par :

$${}_0\mathcal{F}_1 \left(2; N \frac{\Delta V_T}{\eta} \right) = \sum_{k=0}^{\infty} \frac{N^k \Delta V_T^k}{(k+1)!(k!)^2 \eta^k} \quad (3.11)$$

Le terme $\delta(\Delta V_T)$ rend compte de la fraction de dispositifs qui ont un ΔV_T nul (i.e les dispositifs sans aucun piège). On notera que ce terme tend vers 0 quand le nombre de pièges moyen, N , augmente.

En calculant les moments de la PDF (équation 3.10), il est possible de remonter à deux formules simples qui lient le nombre moyen de défauts (N) présents dans les transistors et leurs impacts moyens (η) sur le V_T à la valeur moyenne de la dégradation ($\mu \Delta V_T$) et la variance de la dégradation ($\sigma \Delta V_T$). Ainsi, après calculs, on obtient :

$$\mu \Delta V_T = N \eta \quad (3.12)$$

$$\sigma \Delta V_T^2 = 2N \eta^2 \quad (3.13)$$

En utilisant les formules 3.12 et 3.13 on est maintenant capable de modéliser les distributions de ΔV_T mesurées sur des dispositifs de petites dimensions. Un des intérêts majeurs du modèle est l'aspect pratique de ces deux équations : par un simple calcul de moyenne et de variance des distributions mesurées, on est capable de retrouver le nombre moyen de défauts N et leurs impacts moyens η donnés par les formules 3.14 et 3.15 respectivement :

$$N = \frac{2(\mu \Delta V_T)^2}{(\sigma \Delta V_T)^2} \quad (3.14)$$

$$\eta = \frac{(\sigma \Delta V_T)^2}{2\mu \Delta V_T} \quad (3.15)$$

Le couple de paramètres (N , η) sont les deux seuls paramètres nécessaires pour utiliser le DCM.

3.2.2.2 Modèle de Skellam

Le deuxième modèle permettant de décrire ces distribution de ΔV_T a été proposé pour la première fois par Stewart E. Rauch [1] et se base sur les travaux de Skellam [2]. Par la suite, on se référera donc à ce modèle comme modèle de Skellam.

Le premier point important du modèle est de considérer que la dégradation NBTI est principalement due à la génération d'états d'interface et à l'accumulation de charges dans l'oxyde. De ce fait, le procédé stochastique à l'origine du NBTI est de nature discrète.

Le second point est qu'il y a une concurrence dans la relaxation de la dégradation entre : la re-passivation des états d'interface (qui est une caractéristique prévue par le modèle de Réaction-Diffusion) et le procédé de dé-piégeage des pièges d'oxyde.

Ces deux hypothèses entraînent que le procédé contrôlant le nombre de charges ΔN ne suit pas une loi de Poisson classique. C'est en fait la différence entre deux lois de Poisson, que l'on appelle une distribution de Skellam [1].

En effet, si on considère les deux variables aléatoires indépendantes C et D (pour Création et Destruction) toutes deux suivant une loi de Poisson avec comme valeur moyenne μ_C et μ_D . Alors, en calculant la valeur moyenne et la variance de la différence on obtient :

$$\mu(C - D) = \mu_C - \mu_D \quad (3.16)$$

$$Var(C - D) = \mu_C + \mu_D \quad (3.17)$$

De ce fait, on peut calculer le facteur de dispersion R qui est défini par le rapport entre la variance et la moyenne :

$$\begin{aligned} R &= \frac{Var(C - D)}{\mu(C - D)} \\ &= \frac{\mu_C + \mu_D}{\mu_C - \mu_D} > 1 \end{aligned} \quad (3.18)$$

Le facteur $R > 1$ montre que la différence de deux procédés de Poisson ne suit pas une loi de Poisson ($R = 1$ si le procédé suit une loi de Poisson classique).

Lorsqu'une charge est créée ou détruite, cela entraîne un décalage discret du V_T des transistors. La hauteur du saut est, elle aussi, distribuée aléatoirement et dépend de sa position dans l'oxyde et de la position des dopants dans le canal. De ce fait, les procédés de Création et de Destruction sont modélisés par un procédé dit « Poisson composé » défini par :

$$\Delta V_T(t) = \sum_{i=1}^{N(t)} S_i \quad (3.19)$$

Avec $N(t)$ la variable aléatoire donnant la variation du nombre de défauts dans la structure. $N(t)$ suit un procédé de Poisson et S_i des variables aléatoires indépendantes entre elles et avec $N(t)$ qui représente l'impact des pièges sur le ΔV_T .

En développant l'expression précédente on obtient :

3.2. Caractérisation de la variabilité dynamique

$$\Delta V_T(t) = \sum_{i=1}^{N_C(t)} S_i - \sum_{i=N_C+1}^{N_C(t)+N_D(t)} S_i \quad (3.20)$$

On définit la variable aléatoire normalisée U par :

$$U = \frac{S}{K_Q} \quad (3.21)$$

Avec K_Q qui représente l'impact moyen des pièges donné par :

$$K_Q = \frac{q \cdot T_{ox, Eff}}{\epsilon_{Ox} \cdot W \cdot L} \quad (3.22)$$

En considérant uniquement la variation de charges lors du stress BTI, on peut réécrire l'équation 3.20 en :

$$\Delta V_T(t) \approx K_Q \sum_{i=1}^{\Delta N} U'_i \quad (3.23)$$

Pour les larges valeurs de ΔN la somme $\sum_{i=1}^{\Delta N} U'_i$ tend vers une distribution normale de valeur moyenne $\mu = \Delta N$ et de variance $\sigma = \sqrt{\Delta N(\phi - 1)}$ avec ϕ le facteur « d'extra-dispersion » ϕ , qui représente la dispersion de notre procédé par rapport à ce qui aurait résulté d'un simple procédé de Poisson, définie par :

$$\phi \equiv \frac{Var(\Delta V_T)}{K_Q \mu(\Delta V_T)} = \frac{\mu_C + \mu_D}{\mu_C - \mu_D} (1 + Var(U)) \quad (3.24)$$

Après calculs, on en déduit la PDF de la distribution de Skellam :

$$f_{Skell}(\Delta V_T) \approx \sum_{n=0}^{\infty} \frac{\theta^* \left(\frac{\Delta - m}{\sqrt{m(\phi - 1)}} \right)}{\sqrt{m(\phi - 1)}} \frac{e^{-\mu(\Delta)} \mu(\Delta)^m}{m!} \quad (3.25)$$

Avec $\Delta = \frac{\Delta V_T}{K_Q}$ et θ^* la PDF de la loi normale réduite. Pour $m=0$, θ^* est pris égal à la fonction de Dirac $\delta(x)$.

Par intégration de la PDF, on en déduit la CDF de la distribution de Skellam :

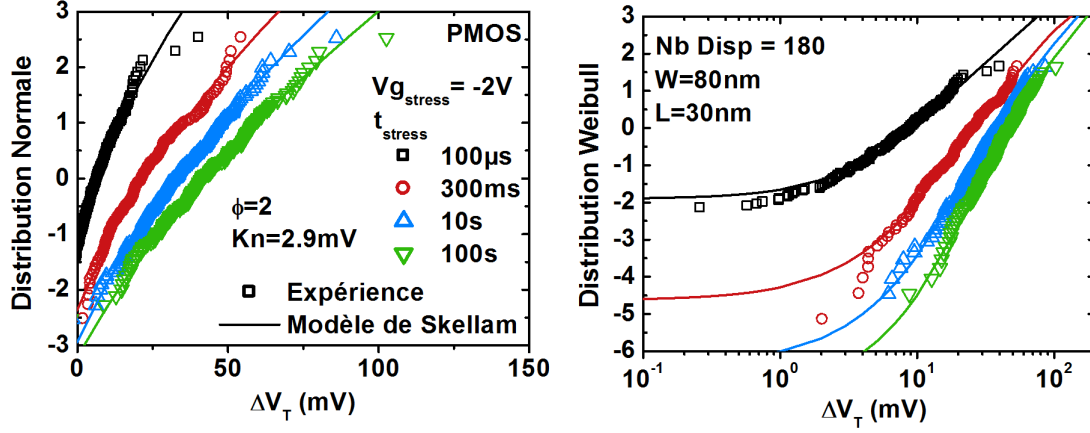


FIGURE 3.7 – (Symboles) Distributions de ΔV_T mesurées sur des PMOS de petites tailles ($W=80\text{nm}$, $L=30\text{nm}$) à différents temps de stress : $100\mu\text{s}$ (noir), 300ms (rouge), 10s (bleu) et 100s (vert) en représentation normale (à gauche) et de Weibull (à droite). (Lignes) Modèle de Skellam utilisé pour décrire les résultats expérimentaux

$$F_{Skell}(\Delta V_T) \approx \sum_{n=0}^{\infty} \Theta \left(\frac{\Delta - m}{\sqrt{m(\phi - 1)}} \right) \frac{e^{-\mu(\Delta)} \mu(\Delta)^m}{m!} \quad (3.26)$$

Où Θ est la CDF de la loi normale standard. Pour $m=0$, Θ est égal à la fonction de Heavyside $H(x)$.

En utilisant cette expression analytique, on va maintenant être capable de mieux décrire les distributions de ΔV_T mesurées précédemment sur nos dispositifs.

3.2.3 Description des distributions de ΔV_T sur une technologie FDSOI standard avec les modèles de Skellam et de Kaczer

Dans cette partie on va chercher à confronter les modèles de Skellam et de Kaczer aux résultats obtenus expérimentalement. Dans un premier temps, on se concentrera sur les résultats obtenus sur une technologie « stable », c'est à dire les résultats de la Figure 3.3, où la loi normale permettait une bonne description de la majeure partie de la distribution mais omettait une partie des queues de distributions.

3.2.3.1 Modélisation des distributions avec le modèle de Skellam

En utilisant la CDF du modèle de Skellam, donnée par la formule 3.26, il est possible de modéliser les résultats expérimentaux de la Figure 3.3 précédemment modélisés avec la loi normale. Sur la Figure 3.7, on a reporté les distributions de ΔV_T aux différents temps de stress de la Figure 3.3 et la loi normale a été remplacée par la CDF du modèle de Skellam.

Les distributions de ΔV_T sont correctement reproduites par le modèle de Skellam. On remarque que, en plus de la partie principale des distributions qui était déjà bien reproduite par la loi normale, les queues de distributions, sont, elles aussi, un peu mieux décrites par ce modèle.

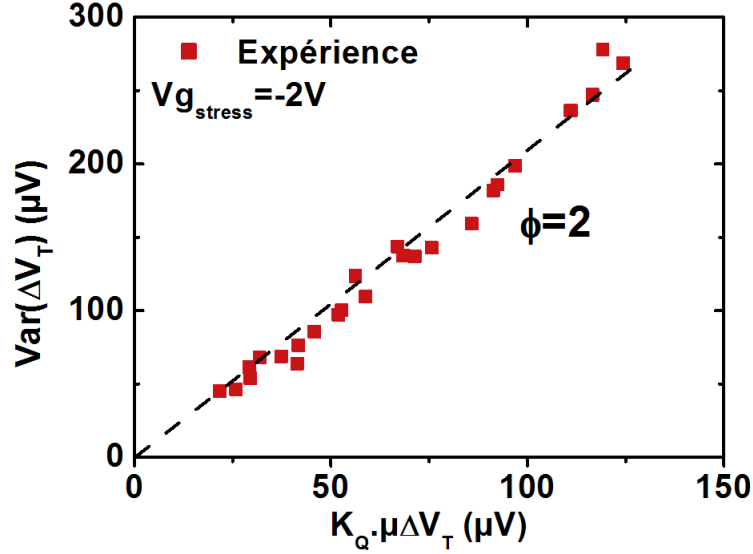


FIGURE 3.8 – $\text{Var}(\Delta V_T)$ tracée en fonction de $K_Q \mu(\Delta V_T)$ aux différents temps de stress. La corrélation permet d'évaluer le paramètre $\phi=2$

Seule la queue de distribution des faibles valeurs de ΔV_T pour le temps de stress $t_{stress}=300\text{ms}$ dévie un peu du modèle.

Les deux paramètres nécessaires pour utiliser le modèle de Skellam sont déterminés par :

- (a) Pour K_Q , le paramètre est fixé par la structure des dispositifs, et est égal à 2.9 mV pour nos transistors.
- (b) Pour ϕ , le paramètre est extrait en traçant la variabilité de la dégradation aux différents temps de stress en fonction de la valeur moyenne de la dégradation. Le paramètre est extrait dans la Figure 3.8 et est égal à 2.

Il est intéressant de noter qu'un paramètre ϕ égal à 2 implique un procédé de destruction nul (i.e. $\mu_D=0$). Ce résultat témoignerait d'une absence de re-passivation des états d'interface et impliquerait que toute la partie recouvrable après un stress NBTI proviendrait exclusivement du dé-piégeage de pièges d'oxyde. De manière générale, le paramètre ϕ obtenu par le modèle de Skellam est toujours très proche de 2 [1], [5].

3.2.3.2 Modélisation des distributions avec le modèle de Kaczer

On cherche maintenant à modéliser ces résultats expérimentaux en utilisant le DCM. On reprend les données expérimentales de la Figure 3.3 et, pour les quatre temps de stress, on calcule les couples de paramètres (N, η) en utilisant les formules 3.14 et 3.15. Ces quatre couples de paramètres obtenus sont résumés dans le tableau 3.1.

Grâce à ces couples il est possible d'utiliser la formule 3.9 pour modéliser les distributions de ΔV_T aux différents temps de stress. Les résultats des distributions de ΔV_T et de la modélisation en utilisant le DCM sont présentés sur la Figure 3.9.

Le modèle permet de très bien décrire les distributions obtenues expérimentalement aux quatre temps de stress. On voit notamment que les queues de distribution sont très bien cap-

Temps de stress	Nombre de défauts N	Impact des Défauts η (mV)
100 μs	2.6	2.92
300ms	7.55	3.08
10s	11.37	2.95
100s	13.82	3.11

TABLE 3.1 – Liste des couples de paramètres (N, η) calculés aux 4 différents temps de stress. Ces paramètres sont utilisés par le DCM dans la Figure 3.9 pour décrire les distributions de ΔV_T mesurées expérimentalement

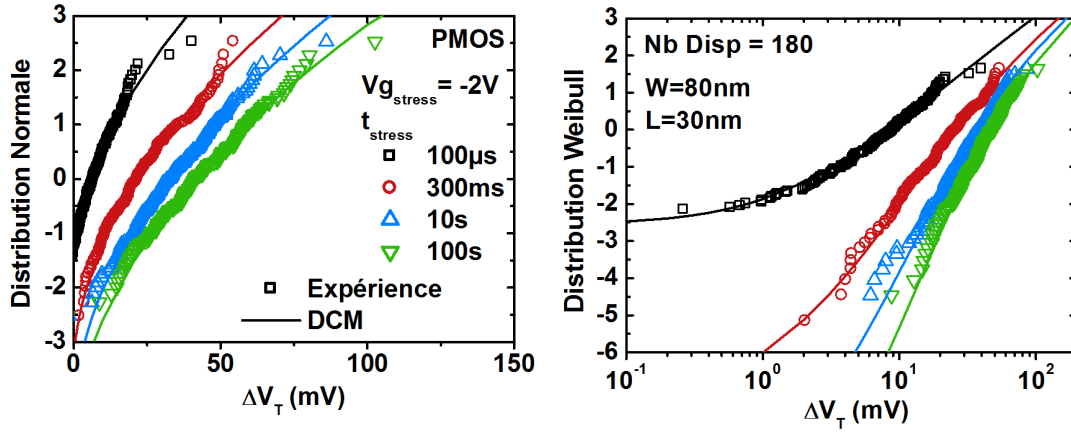


FIGURE 3.9 – (Symboles) Distributions de ΔV_T mesurées sur des PMOS de petites tailles ($W=80\text{nm}$, $L=30\text{nm}$) à différents temps de stress : 100 μs (noir), 300ms (rouge), 10s (bleu) et 100s (vert) en représentation Normale (à gauche) et de Weibull (à droite). (Lignes) DCM utilisé pour décrire les résultats expérimentaux

turées par le DCM. En effet, les ΔV_T les plus faibles, qui échappaient auparavant à la loi normale (Figure 3.3) et un peu au modèle de Skellam (Figure 3.7) sont, cette fois, très bien modélisés par le modèle, comme on peut le voir sur la représentation de Weibull.

Il est aussi intéressant de commenter les paramètres utilisés par le modèle. En effet, on remarque un des grands intérêts du modèle : le sens physique des paramètres extraits. On voit une augmentation constante du nombre de défauts dans les dispositifs avec le temps de stress. Le nombre de pièges remplis lors du stress passe de ≈ 2.6 à ≈ 13.8 . En terme de densité, donnée par N/WL , la dégradation passe d'une densité effective de pièges de $1.08 \times 10^{11} \text{ cm}^{-2}$ à 100 μs de stress à une densité de $5.7 \times 10^{11} \text{ cm}^{-2}$ à 100s de stress qui sont des valeurs typiquement observées pour le NBTI sur de grands dispositifs [3].

Enfin, on remarque que, quel que soit le temps de stress, l'impact moyen des pièges ne change pas : on extrait une valeur de η constante au cours du stress avec $\eta \approx 3\text{mV}$. Ce résultat montre que l'influence des pièges est indépendante du temps de stress, c'est à dire que les pièges chargés au cours du stress ont en moyenne le même impact sur le V_T . Un dernier point intéressant à noter est que l'on retrouve l'impact moyen des pièges mesurés au cours des mesures de piégeage/dé-piégeage (pour rappel, sur la Figure 3.6 on avait extrait $\eta \approx 2.6\text{mV}$).

Cet aspect logique des valeurs extraites contribue à montrer que les paramètres (N, η) ne

sont pas juste des « paramètres de fit » mais ont bien un vrai sens physique.

3.2.4 Limites des modèles de Skellam et de Kaczer

On a vu que les deux modèles permettaient de mieux décrire les distributions de ΔV_T que la loi normale classique. Cependant, il est intéressant de déterminer les capacités de ces deux modèles à décrire des distributions de ΔV_T lorsqu'elles dévient nettement de la loi normale.

Dans cette partie on cherchera à déterminer la validité des deux modèles dans des cas extrêmes, où la loi normale est clairement inadaptée pour modéliser les dégradations mesurées. On montrera notamment une étude dans laquelle le nombre de dispositifs testés était très grand. De plus, on reprendra les résultats de la Figure 3.4, obtenus pour des dispositifs présentant une sensibilité particulière au piégeage, et on montrera les descriptions données par les deux modèles.

3.2.4.1 Mesures sur un très grand nombre de dispositifs

Le premier point sur lequel il est possible de différencier ces modèles se trouve dans le comportement au niveau des queues de distribution. En effet, c'est autour des $\pm 3\sigma$ que l'écart entre les deux modèles est le plus important. Récemment, une étude approfondie sur plus de cent mille transistors a été menée par Damien Angot [8] afin de comparer la distribution mesurée expérimentalement aux prédictions faites par les deux modèles. Grâce à un tel échantillonnage, les comparaisons ont pu se faire jusqu'à des valeurs de $\pm 4.5\sigma$. Les résultats de cette étude sont présentés sur la Figure 3.10 et ont montré que le DCM était légèrement plus adapté que le modèle de Skellam pour décrire ces distributions de ΔV_T , notamment pour les très grandes valeurs de σ .

3.2.4.2 Mesures sur des transistors d'une technologie présentant de nombreux pièges

On revient maintenant sur les mesures de transistors NMOS qui présentaient de fortes dégradations du V_T pour des valeurs très faibles de la tension de stress (résultats de la Figure 3.11). On avait montré que dans ce cas, la loi normale était incapable de fournir une bonne description de la distribution de ΔV_T . On cherche maintenant à savoir si le modèle de Skellam et le DCM sont capables de mieux décrire les distributions expérimentales.

La Figure 3.11 montre les données obtenues expérimentalement et les modélisations données par la loi normale (a), le DCM (b) et le modèle de Skellam (c).

Cette fois ci, la CDF donnée par le modèle de Skellam, bien que meilleure que la loi normale, n'est guère satisfaisante pour décrire la dégradation obtenue. On remarque également que le paramètre utilisé par le modèle pour le fit $\phi=7.3$, est très loin des valeurs habituelles. Ceci laisse à penser que le paramètre a finalement peu de sens physique.

Seule la CDF donnée par le DCM décrit ici correctement l'essentiel de la dégradation. Le modèle indiquerait par ailleurs que le nombre de pièges remplis au cours du stress serait très faible (autour de 3.3 à 1000s de stress) mais que leur impact serait importants ($\eta \approx 6\text{mV}$). Ce résultat expliquerait pourquoi la loi normale serait complètement inadaptée pour modéliser les distributions de ΔV_T mesurées sur ces transistors. En effet, la loi normale est efficace pour décrire des distributions de dispositifs comportant un grand nombre de pièges. Cependant, les transistors testés ici ont un nombre de pièges très faible tandis que leur impact sur le V_T est

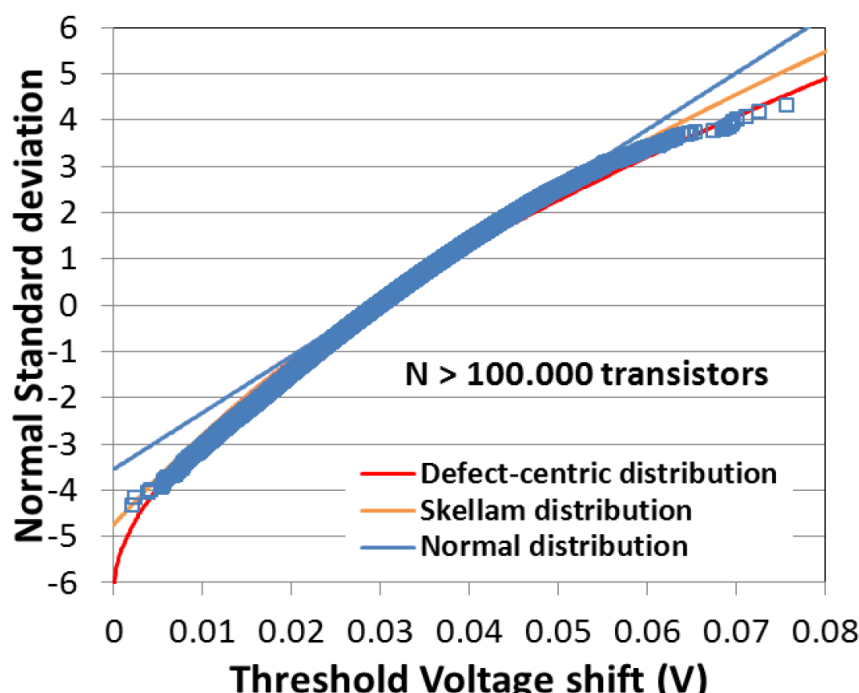


FIGURE 3.10 – Comparaison des modèles de Skellam et de Kaczer avec une distribution des ΔV_T obtenus après stress NBTI sur plus de 100000 transistors FDSOI réalisés en technologie 28nm [9]

important. C'est cette combinaison qui expliquerait cette grande déviation entre la loi normale et les distributions mesurées.

Très récemment, une étude très similaire à la nôtre a été réalisée par Intel [10] sur des transistors FinFETs. Les conclusions de ces travaux arrivent au même constat, à savoir que le DCM est plus adapté que le modèle de Skellam pour décrire les distributions de ΔV_T sur des transistors de petite taille.

Pour ces raisons, on se concentrera désormais uniquement sur le seul DCM dans la suite de ce Chapitre.

3.2.5 Problématique soulevée par le DCM

Le DCM se base sur une hypothèse principale essentielle qui stipule que l'influence des défauts sur le V_T des transistors suit une loi exponentielle. Lors de la mise au point du modèle, l'explication principale avancée pour justifier cette distribution exponentielle était l'existence d'un couplage entre les dopants présents dans le canal des dispositifs BULK et les défauts présents dans l'oxyde. Les dopants positionnés aléatoirement dans le canal créent des « chemins de percolation » qui forment des passages préférentiels empruntés par les porteurs quand ils circulent de la source vers le drain (voir Figure 3.12 (gauche)).

Les pièges d'oxyde sont, eux aussi, positionnés aléatoirement dans toute la grille des transistors. Lors de stress BTI ils peuvent se charger d'un porteur et ainsi obstruer la circulation du courant au-dessous du piège par répulsion électrostatique. Si, par hasard, les pièges chargés viennent à se retrouver au-dessus d'un chemin de percolation, ils peuvent couper la route des

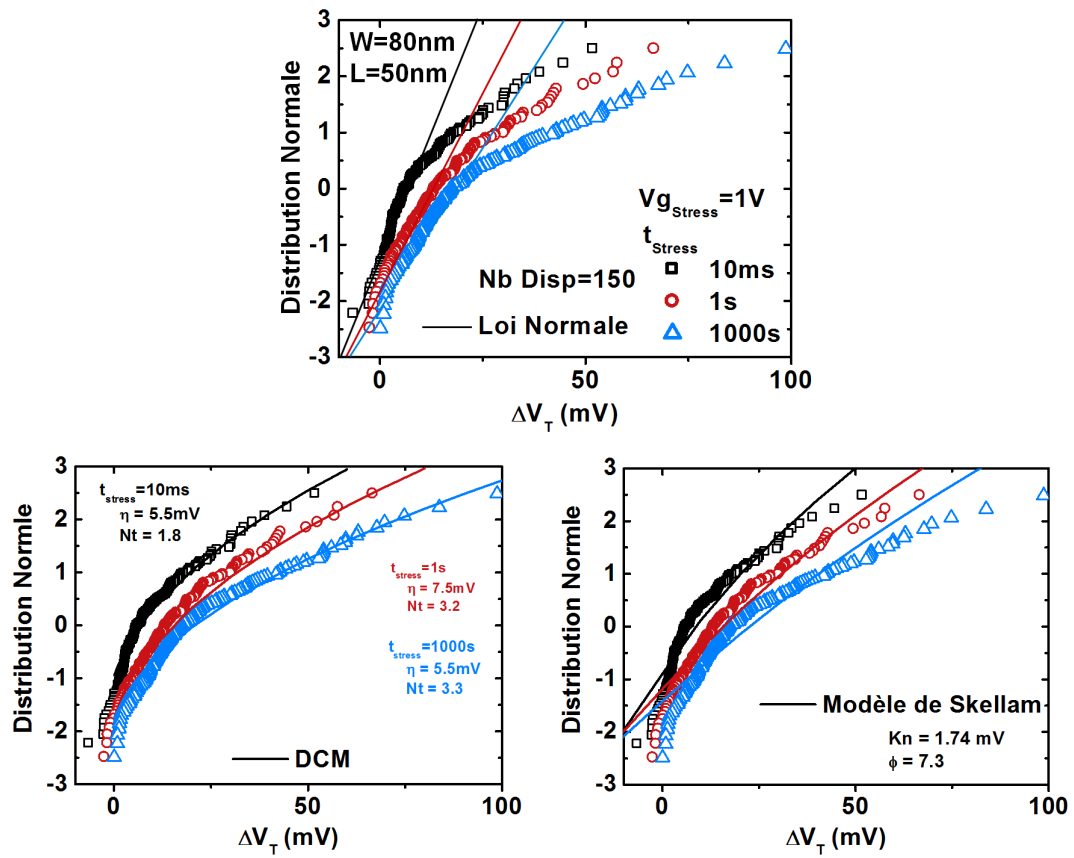


FIGURE 3.11 – (Symboles) Distributions de ΔV_T mesurées sur des transistors présentant une grande sensibilité au piégeage. (Lignes) L'efficacité des modèles de Skellam (bas gauche), de Kaczer (bas droite) et de la loi normale (haut) sont comparés aux distributions de ΔV_T mesurées à différents temps de stress : 10ms (noir), 1s (rouge), 1000s (bleu)

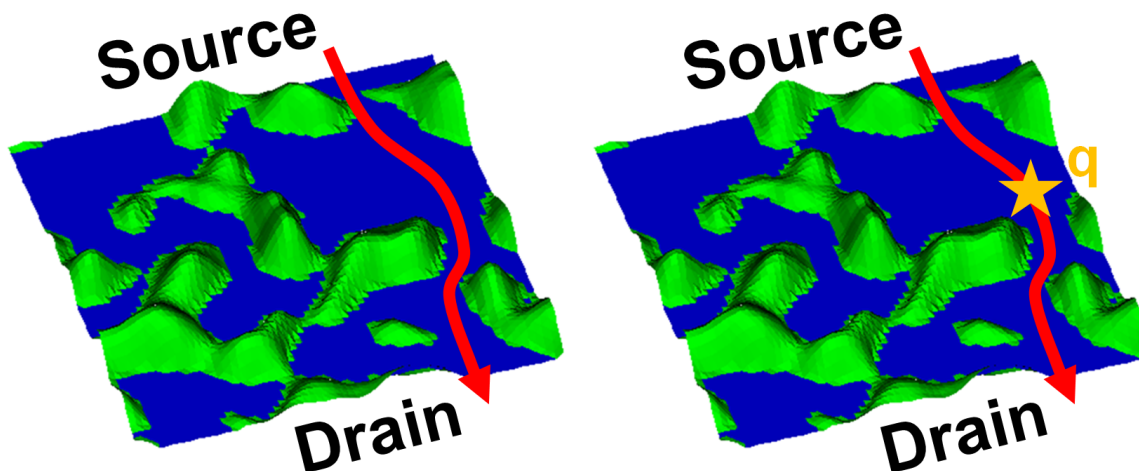


FIGURE 3.12 – Schématisation des potentiels formés par les dopants présents dans le canal de transistors BULK et du « chemin de percolation » emprunté par les porteurs. (Gauche) Transistor sans piège d'oxyde chargé. (Droite) Pièges d'oxyde chargés, un piège bloque le flux de porteur

porteurs comme on peut le voir sur la Figure 3.12 (droite). Cette coupure du chemin de percolation entraîne un très fort décalage du V_T du transistor et c'est ce phénomène qui expliquerait la loi exponentielle suivie par l'influence des pièges sur le V_T .

Le problème levé par cette conclusion est que le modèle ne pourrait s'appliquer qu'à des transistors avec une population de dopants dans le canal, i.e. essentiellement des technologies BULK planaires. Or on a montré expérimentalement, avec les résultats de la Figure 3.6, que l'on pouvait obtenir des distributions exponentielles de l'influence des pièges sur des films non dopés. De plus, on a montré l'efficacité du DCM pour décrire des distributions de ΔV_T obtenues sur de petits dispositifs FDSOI avec les Figures 3.9 et 3.11. On va donc s'intéresser dans la suite de ce Chapitre à l'origine de cette distribution exponentielle de l'influence des pièges d'oxyde et à la validité de l'emploi du DCM pour décrire des distributions mesurées sur des transistors FDSOI.

3.3 Simulations électrostatiques et Mesures Expérimentales

Dans la partie précédente, on a identifié le DCM comme étant le modèle le plus apte à décrire les distributions expérimentales de ΔV_T obtenues sur des transistors de petite taille. Cependant, on a vu qu'une des hypothèses du DCM était justifiée par une théorie qui ne pouvait être utilisée dans le cas de dispositifs FDSOI. En effet, l'idée selon laquelle l'impact des pièges sur le ΔV_T suit une distribution exponentielle à cause de chemins de percolations générés par un couplage « Dopants-Pièges d'Oxyde » est invalide sur des transistors FDSOI comportant des films non-dopés.

En particulier, une étude comparant la variabilité sur dispositifs BULK et FDSOI a montré que les dopants présents dans le canal n'avaient pas d'influence sur le ΔV_T des dispositifs [8].

Dans cette partie, on s'intéressera donc plus particulièrement à la raison première de cette

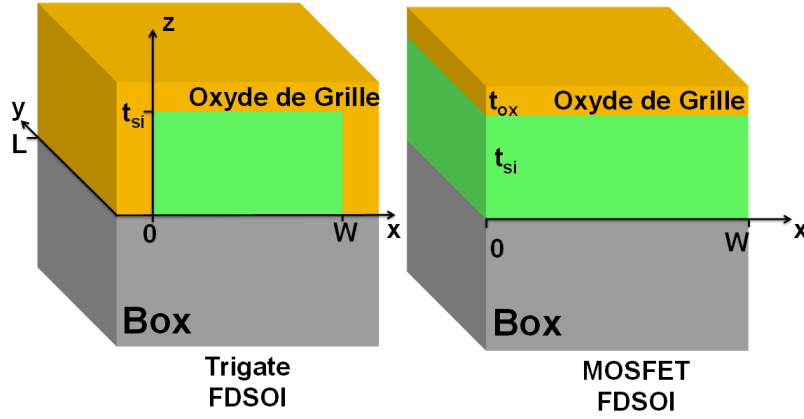


FIGURE 3.13 – Schéma des structures FDSOI trigate (gauche) et FDSOI planaires (droite) utilisées pour les simulations

distribution exponentielle de l'influence des pièges sur le ΔV_T .

Le travail présenté dans cette partie a été publié dans le journal TED [11].

3.3.1 Description de la simulation

Pour déterminer l'influence des charges piégées sur le V_T des transistors, on réalise des simulations électrostatiques 3D d'une structure FDSOI.

3.3.1.1 Structure FDSOI simulée

Deux structures ont été modélisées : un transistor planaire FDSOI et un transistor tri-gate FDSOI (voir Figure 3.13). Pour le transistor planaire, la grille est juste présente au-dessus du film Silicium alors qu'elle est aussi présente sur les flancs pour le transistor tri-gate. L'épaisseur physique de l'oxyde de grille est $t_{ox}=3\text{nm}$ et sa permittivité relative $\kappa = 9.75$ dans le but d'avoir une EOT de 1.2nm proche de celle de nos dispositifs expérimentaux. Les dimensions de la structure simulée sont prises proches des structures testées expérimentalement, la largeur de grille W est de 80nm et la longueur L de 30nm . L'épaisseur du film de Silicium est de 8nm et il est non-dopé (i.e. on considère un dopage résiduel $N_a \approx 1.45 \times 10^{15} \text{ cm}^{-3}$). Le dopage dans les sources et drains est pris égal à $N \approx 5 \times 10^{19} \text{ cm}^{-3}$. Le BOX des structures FDSOI simulées est de 145nm (qui est l'épaisseur du BOX des structures testées expérimentalement dans la partie précédente).

3.3.1.2 Description du modèle - Équation de Poisson et de Drift-Diffusion

Les simulations sont basées sur la résolution par éléments finis de l'équation de Poisson pour obtenir le potentiel dans la structure :

$$\text{div}(\epsilon \cdot \overrightarrow{\text{grad}}(V)) = \rho + Q_{ox} \quad (3.27)$$

Avec V le potentiel électrostatique dans la structure et ρ la densité volumique de charge dans les différentes zones de la structure. On aura donc $\rho=0$ dans toute la structure sauf dans le film où il sera égal à :

$$\rho = q \cdot \left(R(x, y) \cdot n_0 \cdot e^{\frac{V}{kT}} - R(x, y) \cdot p_0 \cdot e^{-\frac{V}{kT}} + Na \right) \quad (3.28)$$

Avec $R(x, y)$ un facteur de correction quantique.

Étant donné que l'on cherche à étudier l'influence de pièges uniquement sur le V_T (i.e. sous le seuil), on peut simplifier le paramètre ρ en faisant l'approximation :

$$\rho = q \cdot Na \quad (3.29)$$

Enfin, la grandeur Q_{ox} représente la charge piégée dans l'oxyde. On considère que la distribution spatiale de la charge obéit à une distribution Gaussienne définie par :

$$Q_{ox} = \frac{q}{\sqrt{2\pi}\sigma} e^{-\left[\frac{(x-x_0)^2 + (y-y_0)^2 + (z-z_0)^2}{2\sigma^2}\right]} \quad (3.30)$$

On a choisi de considérer une telle répartition gaussienne de la charge de façon à ce que l'intégrale de la distribution sur tout l'espace soit égale à la charge ponctuelle q :

$$q = \int \int \int Q_{ox} \cdot dx \cdot dy \cdot dz \quad (3.31)$$

Les coordonnées (x_0, y_0, z_0) représentent la position de la charge dans l'oxyde. La déviation standard σ détermine le confinement de la charge autour de sa position. On choisit σ suffisamment petit pour capturer l'aspect ponctuel de la charge piégée et assurer en même temps une distribution lisse pour éviter les divergences lors de la résolution de l'équation de Poisson. De ce fait, on fixe σ égal à $t_{ox}/5$ dans les simulations.

Pour obtenir le courant de drain, on résout également l'équation de la continuité du courant de « drift-diffusion » donnée par :

$$\text{div}(q \cdot n \cdot \vec{\mu} \cdot \overrightarrow{\text{grad}}(U_c)) = 0 \quad (3.32)$$

Avec U_c le quasi niveau de Fermi des électrons. La densité de porteurs dans le film, n , est calculée par une statistique de Boltzmann :

$$n = R(x, y) \cdot n_0 \cdot e^{\frac{V - U_c}{kT}} \quad (3.33)$$

Le paramètre $R(x, y)$ correspond à la correction de Hanch [12] et permet de prendre en compte le confinement quantique des porteurs :

$$R(x, y) = \left(1 - e^{-\left(\frac{x}{\lambda}\right)^2}\right) \left(1 - e^{-\left(\frac{W-x}{\lambda}\right)^2}\right) \left(1 - e^{-\left(\frac{y}{\lambda}\right)^2}\right) \left(1 - e^{-\left(\frac{t_{Si}-y}{\lambda}\right)^2}\right) \quad (3.34)$$

Où λ est définie par :

$$\lambda = \frac{\hbar}{\sqrt{2m_e kT}} \quad (3.35)$$

Avec m_e la masse d'un électron. En pratique on a $\lambda \approx 1.2\text{nm}$.

En utilisant ces équations, on est capable de simuler l'influence d'une charge sur le potentiel électrostatique de la structure et sur la conduction dans le canal, quelque soit la position de la charge piégée.

Sur la Figure 3.14, on a représenté l'influence d'une charge élémentaire sur la densité de porteur dans le canal dans le plan $Y=L/2$. On voit que la charge modifie clairement la conduction et, de ce fait, le V_T du transistor.

C'est sur l'effet de cette charge unique, en fonction de sa position dans l'oxyde, que l'on va se concentrer dans la suite de ce Chapitre.

3.3.2 Résultats de simulations en éléments finis

On s'intéresse maintenant à l'impact d'une charge sur le V_T du transistor en fonction de sa position. Pour ce faire, on réalise une cartographie de l'influence de la charge en fonction de son emplacement dans l'oxyde de grille. Deux positions particulières sont étudiées : l'interface entre l'oxyde face avant (GOX pour Gate OXyde) et le film de Silicium et l'interface entre l'oxyde face arrière (BOX pour Buried OXyde) et le Film de Silicium. Ces cartographies de ΔV_T générées par une charge unique à ces deux interfaces sont présentées sur la Figure 3.15.

Dans les deux cas, on obtient une influence en forme de dôme avec le maximum d'influence qui est atteint lorsque la charge est positionnée au milieu du canal. Ces résultats sont cohérents avec ceux obtenus pour des simulations sur des FinFET FDSOI [13] ou des nanofils [14]. Un autre résultat important est qu'une charge située à l'interface BOX/Si a une importance bien plus grande qu'une charge située à l'interface GOX/Si. La raison de cette différence vient des différentes capacités de grille face avant et de Box comme cela à déjà été reporté dans [15], [16].

Qualitativement, une charge située dans la grille face avant ne peut générer, selon nos simulations, de valeur de ΔV_T supérieure à 5mV tandis qu'une charge située dans la grille face arrière peut provoquer des ΔV_T qui dépassent 10mV.

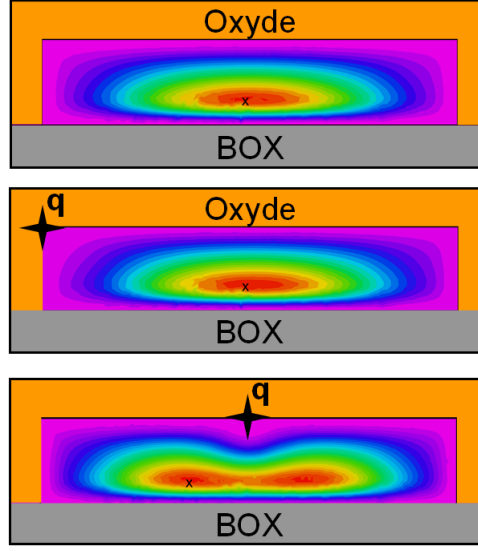


FIGURE 3.14 – Coupes de transistors TriGate en $Y=L/2$ avec une charge unique placée à différentes positions dans l'oxyde de grille. (Haut) Aucune charge présente dans la grille (Milieu) Une charge présente dans un coin de la grille. (Bas) Une charge présente au milieu de la grille en $(x_0 = W/2, y_0 = L/2, z_0 = t_{si})$

Les résultats sont présentés ici pour des transistors FDSOI planaires. Toutefois, des résultats équivalents ont été obtenus sur transistors tri-gate FDSOI pour une charge située sur la grille du dessus ou des côtés. Dans la suite de ce Chapitre, on se concentrera donc sur la seule structure FDSOI planaire.

3.3.3 Distributions Exponentielles et DCM

On a maintenant un outil qui permet de calculer l'influence des pièges sur le V_T des transistors quelles que soient leurs positions. Le but est maintenant de faire le lien entre les résultats expérimentaux et les simulations. Dans un premier temps, on va chercher à retrouver la distribution exponentielle de l'influence des pièges. Puis on cherchera à retrouver les distributions prédites par le DCM.

3.3.3.1 Dispositifs avec exactement une charge - Simulations Monte Carlo

Pour se rapprocher des conditions réelles des résultats précédents, la charge est maintenant placée de façon aléatoire dans les deux régions de diélectriques : le GOX ou le BOX. Le ΔV_T généré par la charge dans l'oxyde est reconstruit via la formule 3.36 qui permet, grâce aux dômes obtenus dans la partie précédente, d'obtenir le ΔV_T induit par la charge piégée quelle que soit sa position dans la structure.

$$\Delta V_T(x, y, z) = \Delta V_{T,Dome}(x, y) \left(1 - \frac{z}{T_{ox}}\right) \quad (3.36)$$

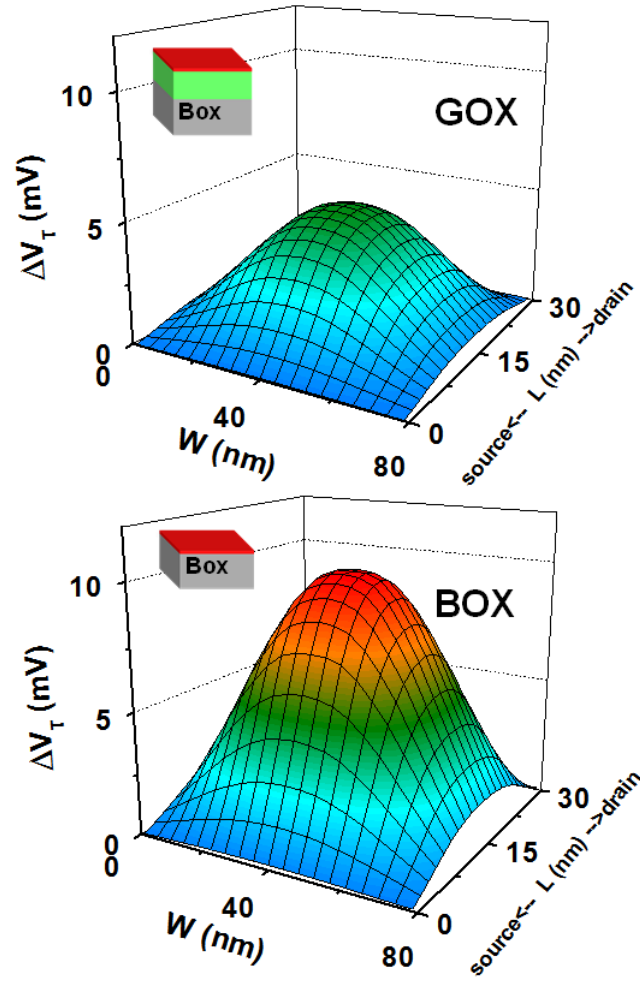


FIGURE 3.15 – Simulation des ΔV_T générés par une charge unitaire en fonction de sa position à l'interface GOX/Si (Haut) et à l'interface BOX/Si (Bas). Le transistor simulé a une longueur de grille de $L=30\text{nm}$ et une largeur de $W=80\text{nm}$. Dans les deux cas, une influence en forme de dôme est obtenue

Avec T_{ox} l'épaisseur de l'oxyde (GOX ou BOX).

Pour reproduire l'influence des charges sur le ΔV_T , on réalise des simulations Monte Carlo pour générer 20000 dispositifs avec exactement une charge dans le GOX ou le BOX. Étant donné que l'on se place dans une configuration de stress BTI, la tension de stress appliquée est uniforme sur toute la surface de la grille. De ce fait, la charge piégée obéit donc à une loi de répartition uniforme dans les directions x et y . De plus, comme le potentiel est uniforme sur toute la surface de la grille, le champ vertical favorisant le piégeage est, lui aussi, uniforme dans tout l'oxyde de grille. Au final, on en déduit qu'aucune position dans l'oxyde n'est privilégiée pour la position de la charge piégée. On considère donc que la position de la charge dans l'oxyde obéit à une loi uniforme dans les 3 directions de l'espace (x,y,z) .

On va étudier 3 cas de figure particuliers :

- (a) Lorsque la charge est exclusivement placée dans le GOX.
- (b) Lorsque la charge est exclusivement placée dans le BOX.
- (c) Quand les charges sont présentes à la fois dans le GOX et le BOX avec des concentrations de 95 % dans le GOX et 5 % dans le BOX. Notons que ce ratio est pertinent par rapport aux concentrations de pièges mesurés sur les BOX et GOX de dispositifs FDSOI [17].

La Figure 3.16 montre les histogrammes de ΔV_T obtenus quand une charge est présente uniquement dans un des deux oxydes de grille (cas (a) et (b)). On voit que le ΔV_T est distribué de façon exponentielle dans les deux cas avec différentes valeurs de η (η_{GOX} et η_{BOX}). On retrouve donc la distribution exponentielle de l'impact des charges sur le ΔV_T , observée dans les technologies BULK [18], et mesurée également sur nos dispositifs FDSOI. Ces résultats démontrent que la loi exponentielle de l'influence des charges provient uniquement de la sensibilité particulière du V_T à une charge (i.e. la forme de dôme obtenue précédemment) et d'une répartition uniforme des charges dans l'oxyde.

En particulier, il n'est pas nécessaire d'utiliser une quelconque corrélation entre les dopants présents dans le film et les charges présentes dans l'oxyde pour expliquer cette distribution exponentielle, comme cela est fait communément pour les technologies BULK [18], [19].

Qualitativement, on remarque aussi que le η_{BOX} extrait est 2.15 fois plus grand que le η_{GOX} . Cela confirme que les charges présentes dans le BOX ont un impact bien plus important sur le V_T des transistors que les charges de la GOX. Une telle différence permet aussi d'expliquer la queue de distribution visible sur la distribution expérimentale de la Figure 3.6. En effet, en considérant le cas (c) avec une répartition des charges asymétrique entre le GOX et le BOX, il est possible de bien reproduire cet écart à la loi exponentielle obtenue expérimentalement comme cela est montré sur la Figure 3.17.

A ce niveau il est important de noter que le piégeage de charge dans la BOX est un évènement tout à fait possible pour les valeurs de tensions de grilles appliquées expérimentalement qui correspondent à une inversion faible pour l'interface Si/BOX. En particulier, d'autres exemples de piégeage/dé-piégeage pour des concentrations très faibles de porteurs ont été observées, que ce soit pour l'interface BOX/Si [17], ou plus couramment pour du RTN sous le seuil [20].

On précisera également que l'on ne réfute pas, ici, le modèle de chemin de percolation établi sur BULK. Le point que l'on veut souligner est que la raison première de la distribution exponentielle de l'influence des charges provient de la sensibilité particulière du V_T à la position des charges dans l'oxyde (i.e. le dôme) et de la répartition uniforme des charges dans l'oxyde.

Le modèle de percolation est probablement correct, mais il n'est pas la raison principale de cette distribution exponentielle observée sur les transistors, que ce soit pour les technologies

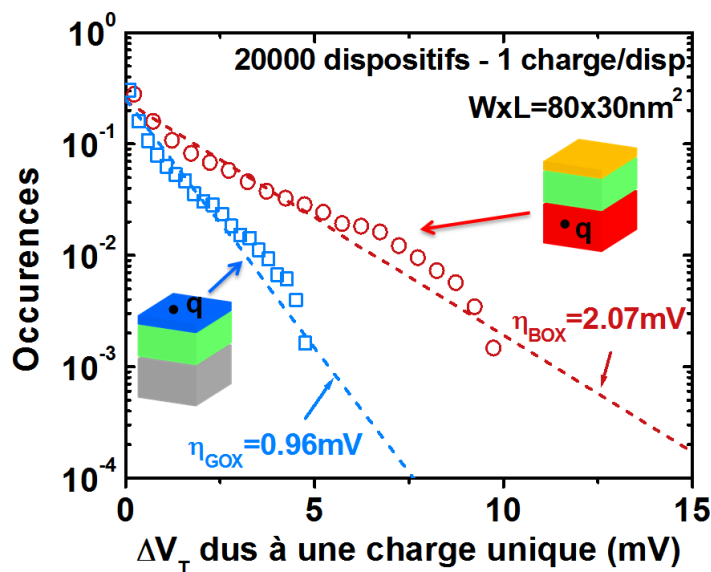


FIGURE 3.16 – Histogrammes des simulations des ΔV_T induit par une charge unique positionnée aléatoirement dans le GOX (cercles) ou le BOX (carrés). (pointillés) Loi exponentielle utilisée pour modéliser les résultats de simulations

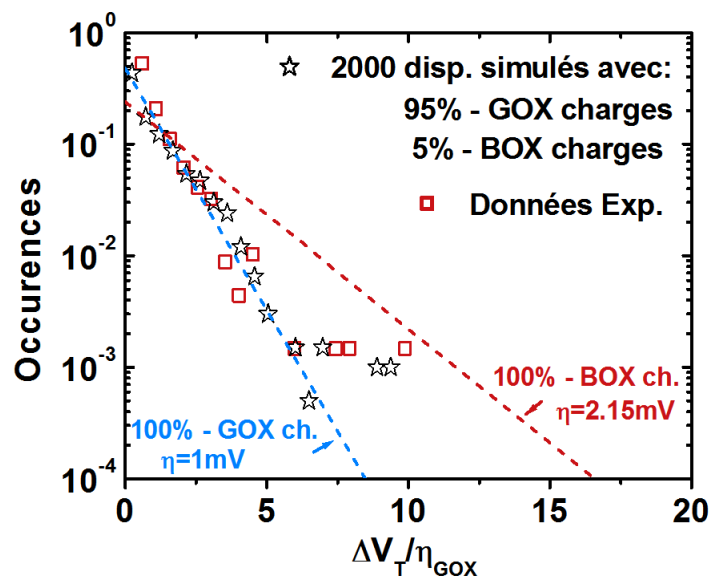


FIGURE 3.17 – Comparaisons entre les résultats expérimentaux de la Figure 3.6 (carrés) et simulés (étoiles) des ΔV_T induits par une charge unique. Les deux histogrammes présentent une majeure partie suivant une distribution exponentielle et une queue de distribution bien expliquée par la présence de pièges dans le GOX

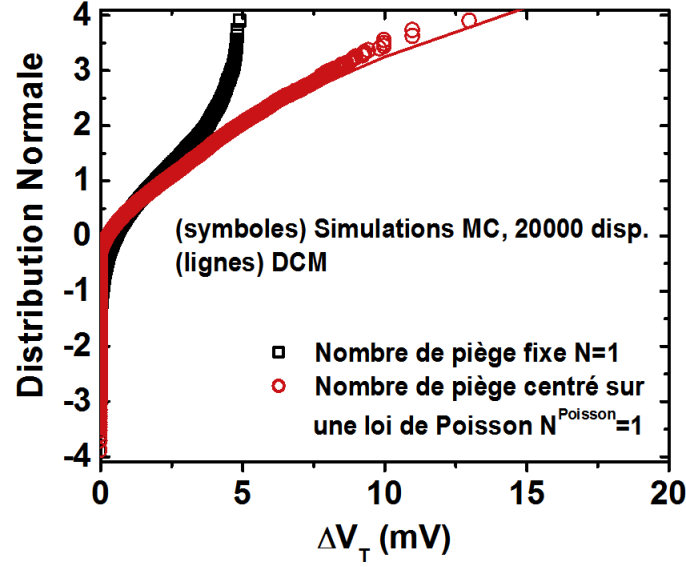


FIGURE 3.18 – Distributions cumulées des ΔV_T obtenus par simulations Monte Carlo sur des dispositifs avec exactement un défaut dans le GOX (Carrés) ou avec un nombre de défauts moyen de 1 et suivant une loi de Poisson (Ronds). (Ligne) DCM

FDSOI ou BULK. Il est d'ailleurs tout à fait possible que ce modèle soit une explication aux queues de distribution qui s'écartent de la loi exponentielle sur les dispositifs BULK (étant donné l'absence de BOX).

3.3.3.2 Dispositifs avec plusieurs charges

On cherche maintenant à reproduire les résultats expérimentaux de distributions de ΔV_T semblables à la Figure 3.3. Pour ce faire, on ne va plus limiter à 1 le nombre de charges présentes dans les différents dispositifs. Chaque dispositif simulé va se voir doter d'un nombre aléatoire de pièges qui suivra une loi de Poisson (première hypothèse du DCM). Chaque piège sera positionné aléatoirement dans le GOX des transistors et le ΔV_T du dispositif sera calculé en sommant les contributions individuelles de chaque piège.

La Figure 3.18 compare les distributions de ΔV_T obtenues sur des dispositifs ayant :

- (a) Exactement un défaut dans le GOX
- (b) Le nombre de défauts dans le GOX qui suit une loi de Poisson centrée sur $N^{Poisson}=1$

On constate que si le nombre de défauts est fixé exactement à 1, une saturation du ΔV_T est visible dans la distribution (voir Figure 3.18). Cependant, si le nombre de défauts moyen est fixé à 1 mais suit globalement une loi de Poisson, alors cette saturation disparaît complètement et la distribution obtenue est bien reproduite par le DCM.

On cherche maintenant à reproduire le cas expérimental dans lequel le nombre de défauts $N^{Poisson}$ augmente avec le temps de stress à cause du piégeage. La Figure 3.19 montre des simulations Monte Carlo avec un nombre de pièges moyen, centré sur une loi de Poisson, variant de 1 à 100. On a aussi représenté les descriptions réalisés avec le DCM à partir des couples (N^{fit}, η^{fit}) extraits par le calcul de $\mu\Delta V_T$ et $\sigma\Delta V_T$ des distributions simulées.

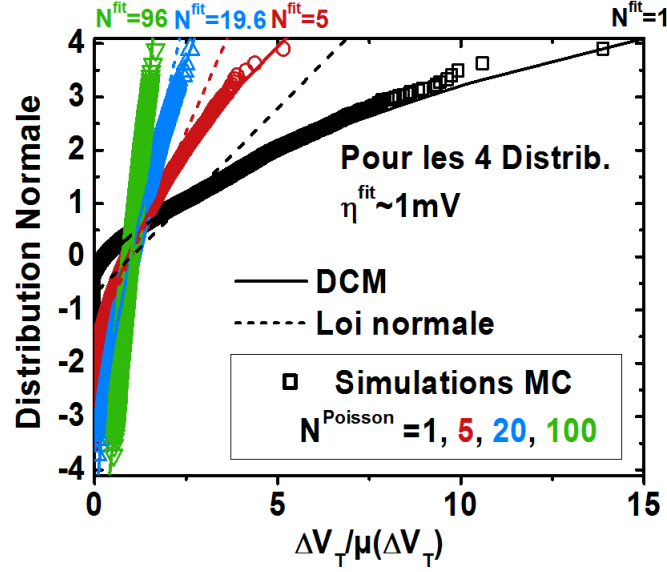


FIGURE 3.19 – (Symboles) Distributions de ΔV_T obtenues par simulations Monte Carlo pour des dispositifs avec un nombre moyen de défauts suivant une loi de Poisson : 1 (noir), 5 (rouge), 20 (bleu) et 100 (vert). (Traits pleins) DCM (Pointillés) Loi normale. Les valeurs de N^{fit} données par le DCM sont en accords avec celles utilisées pour les simulations Monte Carlo

Il est clair à ce niveau que ces simulations Monte Carlo qui combinent :

- (i) une influence en forme de dôme sur le ΔV_T des charges à l'interface
- (ii) une répartition uniforme des charges dans l'oxyde
- (iii) un nombre Poissonien de pièges dans l'oxyde

permettent de décrire toutes les caractéristiques des dégradations mesurées expérimentalement. On note de plus, que les simulations Monte Carlo sont très bien expliquées par le DCM. Les valeurs des couples (N^{fit}, η^{fit}) extraites par le DCM sont cohérentes : le modèle permet de retrouver les nombres de pièges moyens ($N^{Poisson}$) entrés en paramètres des simulations et l'impact moyen des pièges (η^{fit}) est égal à la valeur de η_{GOX} (voir Figure 3.16).

Finalement, la Figure 3.19 permet aussi de mieux comprendre comment $N^{Poisson}$ affecte les distributions de ΔV_T . Quand $N^{Poisson}$ est faible (1 à 10), l'écart des distributions obtenues par rapport à une loi normale est très important. Le DCM étant alors bien plus adapté que la loi normale pour expliquer les distributions. Cependant, quand $N^{Poisson}$ devient assez grand (typiquement ≥ 20), la différence est bien moins importante et la loi normale devient une bonne approximation des distributions de ΔV_T . On retrouve en fait le cas de dispositifs de grandes tailles, i.e avec beaucoup de défauts, pour lesquelles les distributions de ΔV_T peuvent être modélisées par des lois normales classiques.

3.3.4 Influence de la dimension sur la variabilité dynamique

On va s'intéresser dans cette partie à l'influence de la taille des dispositifs sur les paramètres du DCM à savoir : l'impact moyen des pièges et le nombre moyen de pièges. Cette influence sera étudiée à la fois avec des résultats de mesures expérimentales et des résultats de simulations.

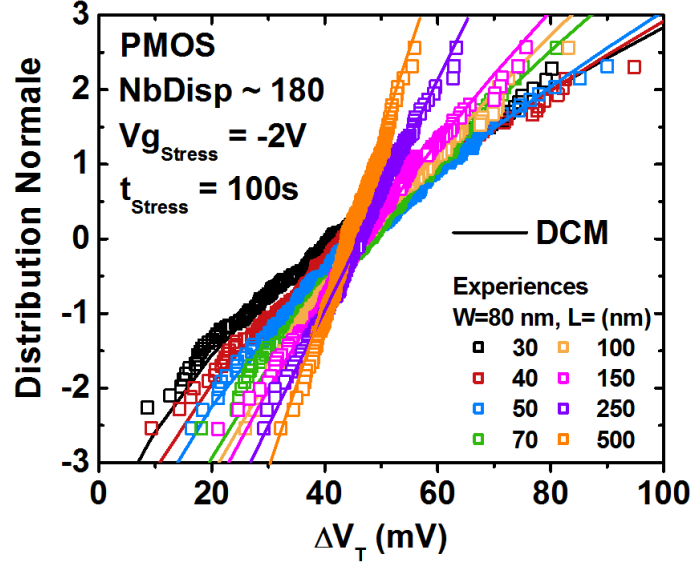


FIGURE 3.20 – (Symboles) Distributions de ΔV_T mesurées après 100s de stress à $V_{g\text{Stress}} = -2V$ sur des transistors de différentes tailles. (Lignes) DCM

3.3.4.1 Résultats expérimentaux

Une étude NBTI en fonction de la dimension des dispositifs a donc été réalisée. Les résultats de cette étude sont présentés sur la Figure 3.20. On voit clairement que la variabilité due au stress NBTI augmente avec la diminution de la dimension des dispositifs, comme cela a déjà été observé pour des technologies BULK. Notons au passage que les tensions de seuil initiales des transistors étaient indépendantes de la longueur de grille (grâce à un bon contrôle des phénomènes de canaux courts). Cela implique que le même stress a été vu par les transistors des différentes dimensions.

On constate donc que seule la variabilité de la dégradation ($\sigma(\Delta V_T)$) augmente avec la diminution des dimensions des dispositifs. La dégradation moyenne ($\mu(\Delta V_T)$), elle, est constante quelle que soit la dimension des dispositifs. Ces résultats sont plus facilement visibles sur la Figure 3.21. En particulier, on met en évidence le fait que $\sigma(\Delta V_T)$ suit une loi de Pelgrom avec une pente de $0.8\text{mV} \cdot \mu\text{m}$. Ces deux dépendances en \sqrt{WL} sont bien prédites par un simple modèle de *charge – sheet* qui considère, lui aussi, que le nombre de charges suit une loi de Poisson. Dans ce modèle, $\sigma(\Delta V_T)$ et $\mu(\Delta V_T)$ sont liés par la relation :

$$\sigma(\Delta V_T) = \sqrt{K_N \mu(\Delta V_T)} / \sqrt{WL} \quad (3.37)$$

Avec K_N donné par $q \cdot EOT / \epsilon_{ox}$

Cependant, la pente extraite expérimentalement $A_{\Delta V_T}$ est $\sqrt{2.7}$ fois supérieure à celle prévue par l'expression 3.37. Cet écart entre la pente prédite par le modèle et celle mesurée expérimentalement a aussi été observé sur des dispositifs BULK [1]. Cette différence est due au fait que ce modèle analytique est un modèle 1D qui ne prend pas en compte une distribution dans les trois directions de l'espace.

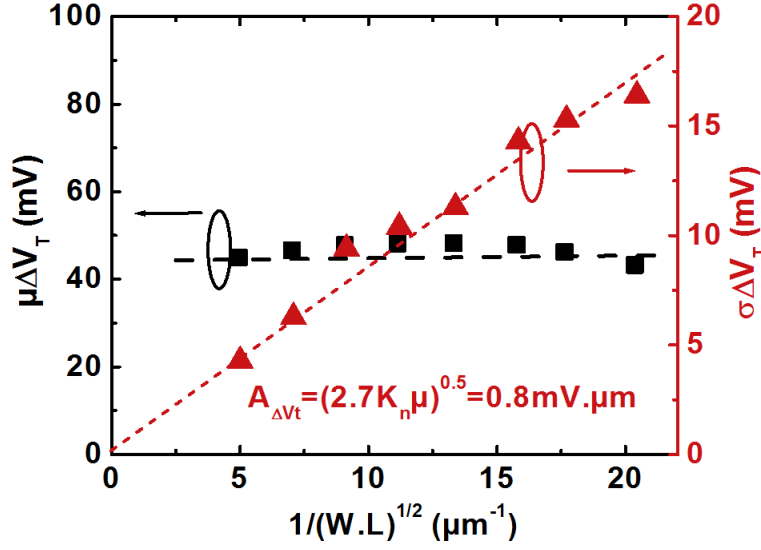


FIGURE 3.21 – Valeurs moyennes et variances des ΔV_T obtenus dans la Figure 3.20 tracés en fonction de $(WL)^{-0.5}$

Pour avoir une meilleure compréhension de l'influence de la dimension sur la variabilité dynamique, on s'intéresse aux paramètres (N, η) extrait avec le DCM et utilisés pour décrire les résultats de la Figure 3.20. Les couples, extraits par le modèle pour toutes les dimensions, sont reportés sur la Figure 3.22. Au lieu de reporter directement le nombre total de pièges extraits, on a reporté la densité de défauts, donnée par N/WL .

On remarque dans un premier temps que cette densité est constante, autour de $5.10^{11} \text{ cm}^{-2}$. Ce résultat montre qu'au terme d'un temps de stress t_{Stress} sur des dispositifs de différentes dimensions, la dégradation finale sera identique. En particulier, cela implique qu'il n'y a pas de piégeage préférentiel pour des dispositifs de petites dimensions. Ce résultat était attendu théoriquement mais n'est pas toujours observable facilement expérimentalement. En effet, de nombreuses étapes intervenant dans les procédés de fabrication comme la gravure, le nettoyage ou les recuits à hautes températures peuvent affecter la qualité de l'oxyde de grille d'un transistor (notamment ses flans) et produire une densité anormalement élevée de défauts dans les dispositifs de plus petites dimensions. Ce n'est pas le cas ici et cela témoigne d'une bonne qualité de cette technologie FDSOI très « agressive ».

Si la densité de défauts reste constante, la valeur de η , elle, augmente avec la diminution de la dimension. Étant donné que η est donné par la relation 3.15, il varie linéairement avec $1/(WL)$ avec une pente de α_η de $7.45 \mu\text{V} \cdot \mu\text{m}^2$. On en déduit que la dégradation de la variabilité dynamique (capturée par $\sigma(\Delta V_T)$) résulte uniquement du fait qu'une charge a une plus grande influence sur le V_T pour des transistors de petites dimensions. Cet effet avait déjà été prédit par des simulations [21] mais n'avait jamais été confirmé clairement sur des transistors FDSOI.

3.3.4.2 Simulations de la variation de η avec la dimension des dispositifs

Pour mieux comprendre ces effets de variations de l'influence de la charge en fonction des dimensions des transistors, on réalise encore une fois des simulations 3D électrostatiques. Cependant, on simule cette fois des dispositifs de plusieurs largeurs et longueurs de grille. On se

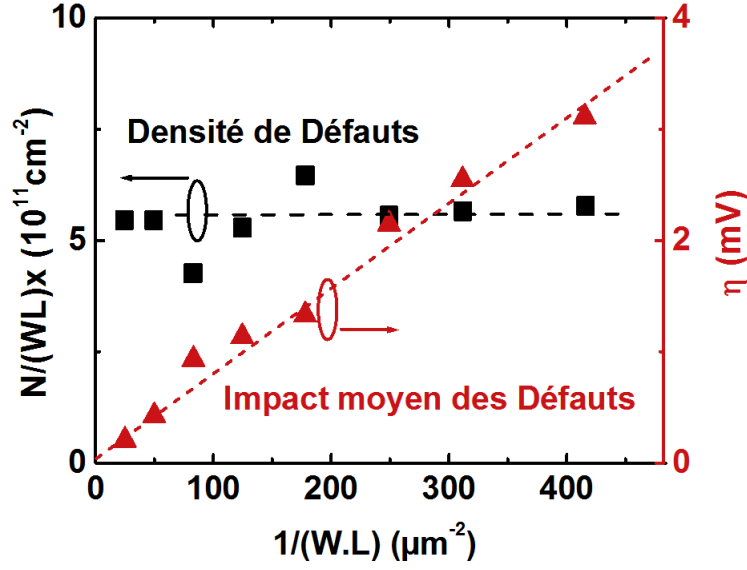


FIGURE 3.22 – Valeurs des couples (N, η) donnés par le DCM appliqué aux distributions de la Figure 3.20. Les résultats sont tracés en fonction de $(WL)^{-1}$

concentre ici uniquement sur le GOX (l'effet étant globalement le même sur le BOX mais en plus intense). La cartographie d'influence de la charge à l'interface GOX/Si est générée pour des L et W variant toutes deux de 100nm à 20nm. Pour toutes les géométries, et en appliquant la procédure utilisée dans la partie précédente, on extrait la valeur de η_{GOX} . La variation de l'influence des charges en fonction de la dimension est présentée sur la Figure 3.23.

Dans un premier temps, on voit clairement que l'on reproduit la diminution de l'influence des charges avec l'augmentation de la dimension des dispositifs. Plus particulièrement, on observe que η_{GOX} varie en $(WL)^{-1}$ et non en $W^{-1}L^{-0.5}$ jusqu'à des dimensions de $L=20\text{nm}$. Ces résultats sont cohérents avec les mesures expérimentales sur nos dispositifs et différents des résultats obtenus pour des technologies BULK pour lesquels on prévoit une dépendance de η en $W^{-1}L^{-0.5}$ donné par la formule établie par Andreas Ghetti [21]

$$\eta_{BULK} = \frac{C}{\alpha_G} \frac{t_{ox}^\alpha \sqrt{Na}}{W\sqrt{L}} \quad (3.38)$$

Avec C une constante propre à la technologie, α_G un coefficient légèrement inférieur à 1 et Na le dopage du canal.

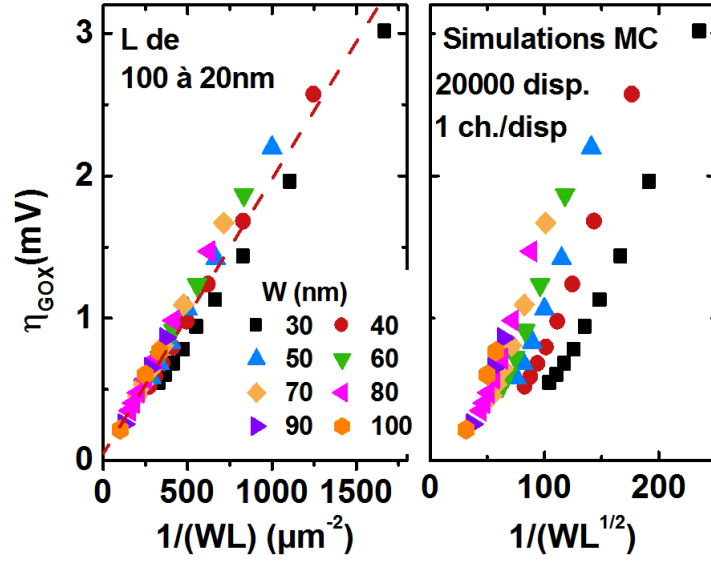


FIGURE 3.23 – η_{GOX} extraits des simulations et tracés en fonction de (gauche) $(WL)^{-1}$ et (droite) $W^{-1}L^{-0.5}$ pour différentes tailles de dispositifs

3.4 Structures réalistes de transistors FDSOI

Le DCM a prouvé être efficace pour décrire les distributions de ΔV_T mesurées sur nos dispositifs et par d'autres groupes. On a vu que des simulations électrostatiques 3D simples permettaient d'expliquer la distribution exponentielle de l'impact des pièges sur le ΔV_T et, de ce fait, permis de valider l'emploi du DCM sur nos dispositifs FDSOI. Seulement, les structures utilisées pour les simulations (voir Figure 3.13) sont une simplification des structures « réelles ». En effet, les transistors dotés d'un unique oxyde de grille sont quasi inexistant dans la micro électronique contemporaine. Aussi, il est important, pour se rapprocher des cas réels, de considérer non pas une unique couche d'oxyde, mais deux couches superposées : une couche d'oxyde inter-facial (IL) et une couche de diélectrique haute permittivité High-K (HK).

Le travail présenté dans cette partie a été soumis à publication dans le journal TED [22].

3.4.1 Problématique liée aux hypothèses du DCM

Le problème soulevé par ces structures bicouches est que l'on ne se trouve plus avec une unique zone pour accueillir des pièges d'oxyde. Deux zones distinctes sont en fait susceptibles de présenter des populations de pièges. On va chercher à savoir si ces deux populations sont mesurables en pratique, et si on peut reproduire leur influence par notre méthode de simulations électrostatiques.

En particulier, on cherchera à savoir comment la prise en compte de deux populations de défauts modifie les résultats obtenus jusqu'à présent.

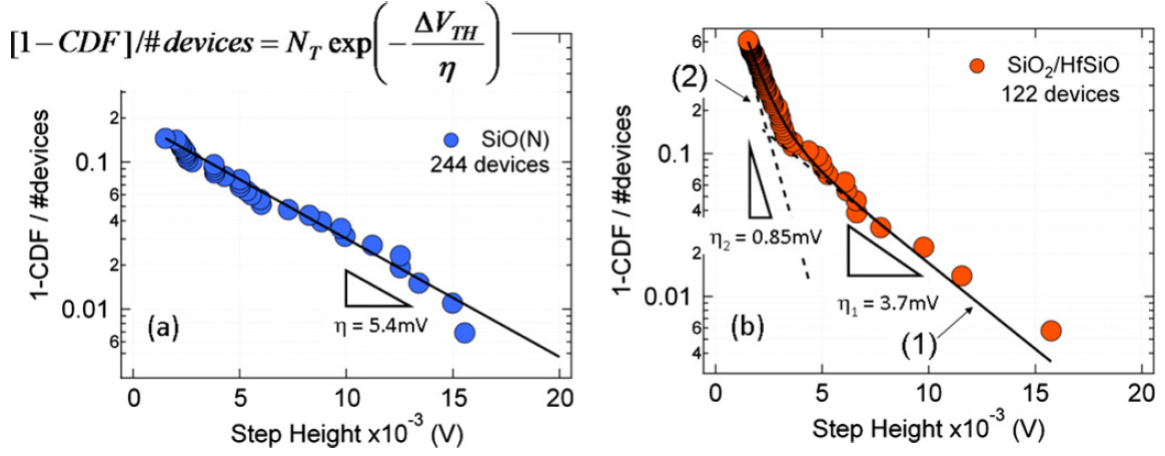


FIGURE 3.24 – Histogrammes des ΔV_T dues à des pièges d'oxyde. (Gauche) Mesures sur des transistors avec une unique couche de d'oxyde SiON (Droite) Mesures sur des transistors avec deux couches d'oxyde SiO₂/HfSiO [23]

3.4.1.1 Populations de pièges multiples dans l'oxyde - Résultats expérimentaux

Des études récentes (voir Figure 3.24) ont montré que les pièges des deux couches (IL et HK) avaient une influence mesurable sur le V_T des transistors. Sur ces résultats, on peut voir que dans le cas d'un oxyde unique, l'influence des pièges obéit à une loi purement exponentielle. Cependant, quand deux couches d'oxyde sont présentes (IL et HK) il est possible de distinguer deux pentes dans la distribution exponentielle de l'influence des pièges. La première pente, englobant les valeurs de ΔV_T les plus faibles, correspond aux pièges présents dans le HK. La seconde pente, prenant en compte les pièges avec les plus forts ΔV_T , correspond aux pièges situés dans l'IL.

Ces résultats expérimentaux posent la question de la légitimité d'appliquer le DCM pour décrire des distributions de ΔV_T mesurées sur des transistors de la microélectronique contemporaine. En effet, les dispositifs ont aujourd'hui tous adoptés la technologie HK pour limiter les fuites de grille et possèdent de ce fait au moins deux couches d'oxyde. En particulier, les distributions présentées sur les dispositifs élaborés au CEA-LETI, dans ce Chapitre, ont toutes été mesurées sur des transistors possédant deux couches d'oxyde (typiquement une couche d'IL constituée de SiON et une couche de HK constituée de HfSiON).

Dans la suite, on cherchera à répondre à la question suivante : pourquoi le DCM est un modèle adapté pour décrire les distributions expérimentales de ΔV_T ?

En effet, les dispositifs mesurés présentaient tous deux couches dans l'oxyde de grille (IL et HK). De ce fait, le DCM, qui ne prend en compte qu'une unique population de pièges (i.e. un seul η), devrait être incapable de reproduire aussi bien les distributions expérimentales. On s'intéressera aussi aux limites du modèle et on proposera un modèle étendu plus général qui prendra en compte ces deux populations.

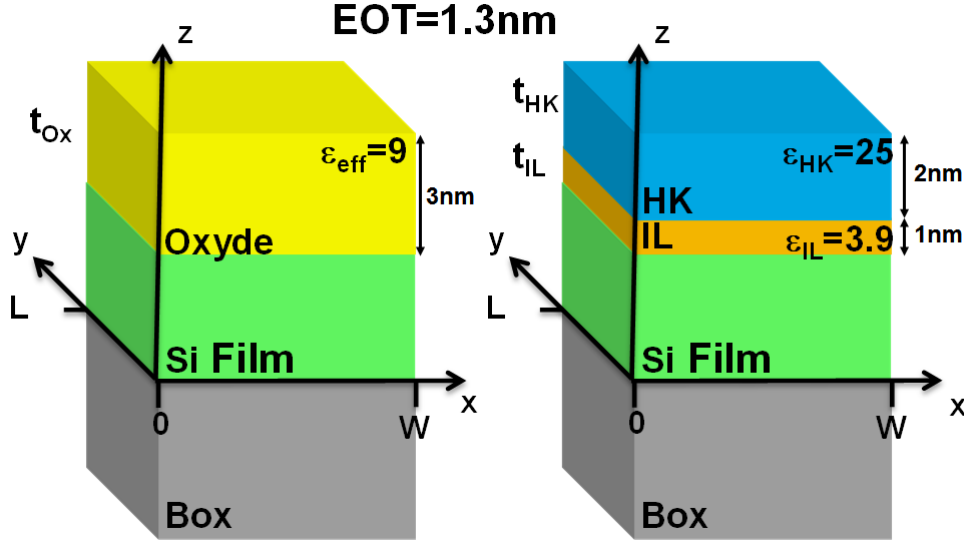


FIGURE 3.25 – (Gauche) Structure FDSOI monocouche. (Droite) Structure FDSOI bicouche

3.4.1.2 Simulations électrostatiques sur des transistors bicouches

Les simulations électrostatiques réalisées ici reprennent la même démarche que dans la partie précédente. Cependant, on simule cette fois une structure bicouche (voir 3.25 (droite)) comportant une couche d'oxyde interfacial (IL) et une couche de diélectrique High-K (HK). On prend une épaisseur de la couche d'IL égale à 1nm et une épaisseur de la couche de HK égale à 2nm.

On simule également, en plus de la structure bicouche, une structure monocouche avec un oxyde unique de 3nm (voir 3.25 (gauche)).

Les permittivités des structures monocouches et bicouches sont choisies pour que les EOTs des deux structures soient proches de 1.3nm.

De la même façon que dans la partie précédente, on s'intéresse à l'influence d'une charge sur le V_T des transistors quand elle est placée à des positions particulières. On regarde donc l'effet de la charge quand elle est positionnée à l'interface Film de Silicium/IL (voir Figure 3.26 (bas)) et IL/HK (voir Figure 3.26 (haut)).

Comme pour les résultats obtenus précédemment, le ΔV_T montre une dépendance en forme de dôme (à la fois pour l'interface Si/IL et l'interface IL/HK) avec le maximum d'influence atteint lorsque la charge est située au milieu du canal.

On simule maintenant l'effet de la profondeur sur l'influence de la charge. La Figure 3.27 montre le ΔV_T causé par une charge en fonction de sa profondeur dans l'oxyde quand elle est placée au milieu du canal ($x=W/2$, $y=L/2$). On effectue ces simulations pour un transistor monocouche et un transistor bicouche.

Dans le cas du bicouche, le ΔV_T décroît linéairement dans chaque couche mais avec des pentes différentes α_{IL} et α_{HK} pour les couches d'IL et de HK.

Pour l'oxyde monocouche, l'influence de la charge décroît linéairement depuis l'interface Si Film/Oxyde jusqu'au sommet de l'oxyde avec une unique pente α_{eff} .

Enfin, il est intéressant de noter que ces simulations 3D sur l'influence de la charge en fonction de sa profondeur sont assez bien expliquées par un simple modèle analytique 1D donné

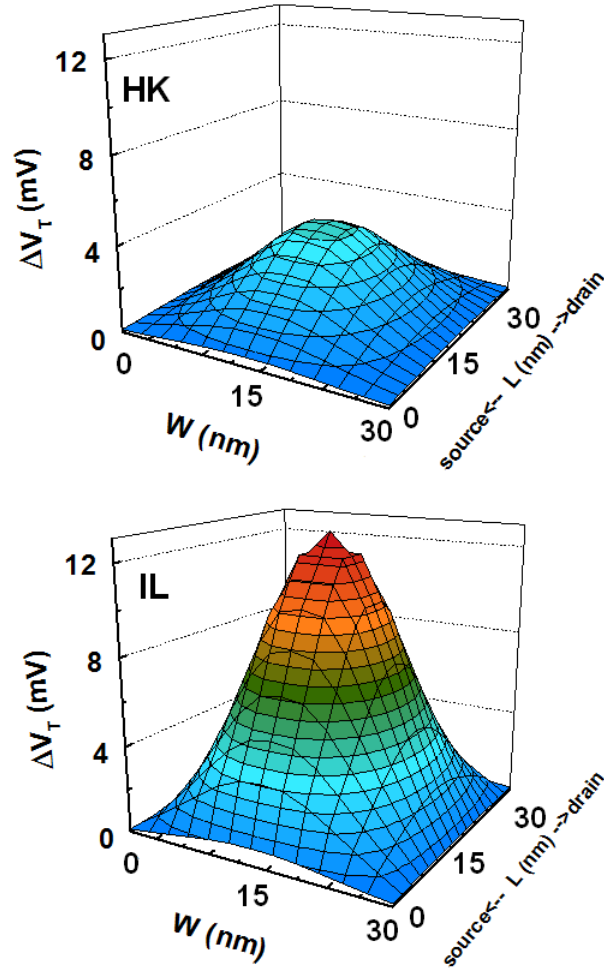


FIGURE 3.26 – Simulation des ΔV_T générés par une charge unitaire en fonction de sa position à l'interface IL/HK (Haut) et à l'interface Si Film/IL (Bas). Dans les deux cas, une influence en forme de dôme est obtenue

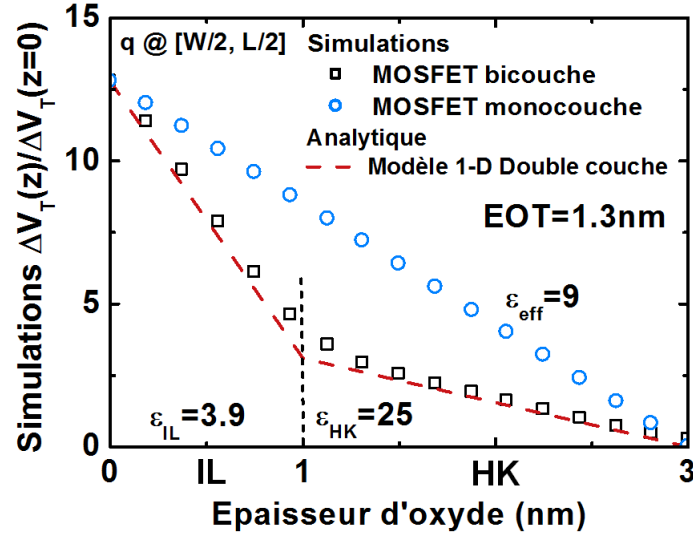


FIGURE 3.27 – Simulation du ΔV_T généré par une charge unitaire positionnée en $(x=W/2, y=L/2)$ en fonction de sa profondeur dans l'oxyde. (Cercles) Pour un transistor monocouche (Ronds) Pour un transistor bicouche (carrés). (Pointillés) Modèle analytique 1-D donné par l'équation 3.39

par l'équation 3.39 [24] :

$$\Delta V_T = \begin{cases} q \left(\frac{t_{HK}}{\epsilon_{HK}} + \frac{t_{IL} - x}{\epsilon_{IL}} \right) & \text{si } 0 \leq x \leq t_{IL} \\ q \left(\frac{t_{HK}}{\epsilon_{HK}} \left(1 - \frac{x - t_{IL}}{t_{HK}} \right) \right) & \text{si } t_{IL} \leq x \leq t_{IL} + t_{HK} \end{cases} \quad (3.39)$$

En effet, les résultats donnés par les simulations électrostatiques sur la Figure 3.27 sont bien décrits par le modèle analytique 1D donné par le système d'équation 3.39.

3.4.2 Revue détaillée du DCM

Maintenant que l'on est capable de reconstruire l'influence d'une charge piégée quelle que soit sa position (que ce soit dans l'IL ou le HK), on va s'intéresser aux différentes étapes nécessaires à la construction du DCM. En particulier, on va chercher à comprendre comment ces « étapes » sont affectées par une structure de transistor bicouche IL/HK.

3.4.2.1 Dispositifs avec un unique piège d'oxyde

Dans cette partie, on va se pencher plus particulièrement sur les résultats obtenus par M. Toledano-Luque [23] et B. Kaczer [25] lors de la mesure de la réponse des pièges. En particulier, on cherchera à reproduire les histogrammes de ΔV_T qui présentent deux pentes dues aux deux populations de pièges dans l'IL et le HK.

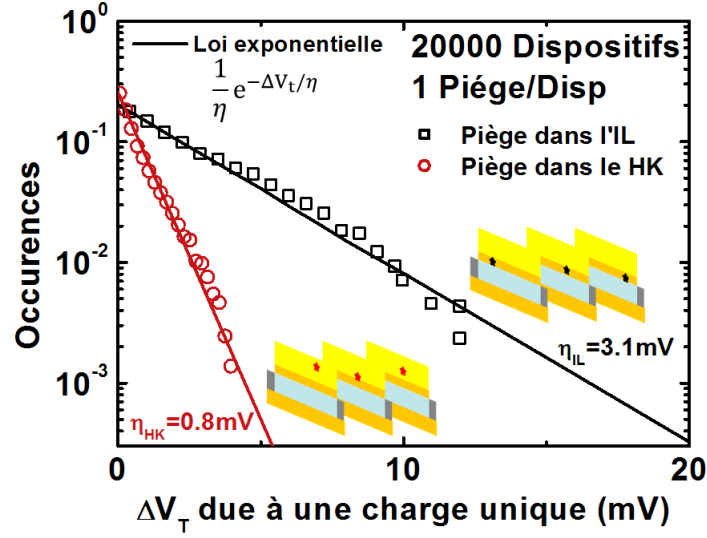


FIGURE 3.28 – Histogrammes des simulations des ΔV_T induit par une charge unique positionnée aléatoirement uniquement dans l'IL (carrés) ou uniquement dans le HK (cercles). (traits) Loi exponentielle utilisée pour modéliser les résultats de simulations

Pour ce faire, on simule des transistors avec exactement 1 piège dans l'oxyde de grille. Des simulations Monte Carlo ont permis de générer 20000 dispositifs avec exactement 1 piège dont la position est tirée aléatoirement selon une loi uniforme dans les trois directions de l'espace (x, y, z).

La Figure 3.28, montre les histogrammes de ΔV_T sur des dispositifs avec exactement un piège positionné soit dans l'IL, soit dans le HK. On remarque que chaque distribution suit une loi exponentielle (encore une fois malgré l'absence de dopant dans le canal). Les pentes des distributions η_{IL} et η_{HK} correspondent à l'impact moyen des pièges des deux populations sur le V_T des transistors.

On réalise maintenant des simulations plus réalistes dans lesquelles les pièges peuvent se trouver soit dans l'IL soit dans le HK. Dans les simulations Monte Carlo, on change cependant la proportion de dispositifs ayant un piège uniquement dans l'IL et de dispositifs ayant un piège uniquement dans le HK. Les simulations vont d'un ratio 10:1 (correspondant à 10 fois plus de dispositifs ayant un piège dans l'IL que de dispositifs ayant un piège dans le HK) à un ratio 1:10 (correspondant à 10 fois plus de dispositifs avec un piège dans le HK que de dispositifs avec un piège dans l'IL). Ainsi, le cas 10:1 se rapproche d'un cas NBTI dans lequel on a plutôt tendance à dégrader l'oxyde interfacial tandis que le cas 1:10 se rapproche du cas PBTI dans lequel la dégradation est plutôt localisée dans le HK.

Les résultats de ces simulations sont présentés sur la Figure 3.29. On voit que, lorsque que le ratio est de 10:1 (cas NBTI), la distribution de ΔV_T est purement exponentielle avec une pente égale à $\eta_{IL}=3.1\text{mV}$.

Maintenant, si le nombre de pièges dans le HK augmente comparativement au nombre de pièges dans l'IL (10:1 \rightarrow 1:1), une deuxième pente apparaît pour les faibles valeurs de ΔV_T . Toutefois, cette deuxième pente est très difficile à observer pour le ratio 1:1 étant donné que seul les valeurs de ΔV_T inférieures à 2mV dévient de la tendance exponentielle causée par les

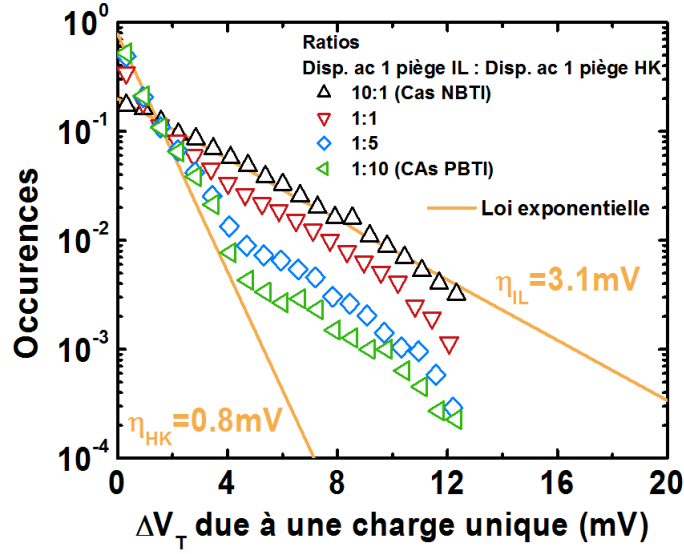


FIGURE 3.29 – Histogrammes des simulations des ΔV_T induit par une charge unique positionnée aléatoirement dans l'IL ou le HK. Le ratio des dispositifs comportant un seul piège dans l'IL par rapport aux dispositifs comportant un seul piège dans le HK varie de 10:1 (cas NBTI) à 1:10 (cas PBTI). Deux pentes peuvent être facilement distinguées quand le nombre de dispositifs avec un unique piège dans l'IL est bien plus faible que ceux avec un unique piège dans le HK (ratio 1:5 et 1:10)

pièges de l'IL.

Cependant, quand la proportion des dispositifs comportant un unique piège dans le HK augmente et dépasse largement le nombre de pièges dans l'IL (ratios 1:5 et 1:10), il devient alors possible de distinguer deux pentes dans l'histogramme de ΔV_T . Chacune des pentes correspondant à la signature des pièges dans les couches de l'IL et du HK. Les deux pentes obéissent toutes deux à des lois exponentielles avec pour valeur moyenne les impacts moyens des pièges des deux couches η_{IL} et η_{HK} .

En fait, ces simulations sont en accord avec les résultats expérimentaux. En effet, elles expliquent notamment pourquoi, malgré le fait que les oxydes de grille utilisent toujours deux couches (IL/HK) pour des NMOS et des PMOS, il n'est possible d'observer expérimentalement la signature des pièges du HK que dans le cas des transistors NMOS [23], [25] (dans lesquels le piégeage dans le HK est largement prépondérant). Dans le cas de stress NBTI, où la dégradation est supposée se situer majoritairement dans la couche d'IL [26], les histogrammes obtenus expérimentalement sont équivalents au cas monocouche avec une unique couche d'oxyde interfacial [3], [11].

Ces simulations montrent que la méthode de « remplissage-vidage » est efficace pour la contribution de deux populations de pièges dans certaines conditions.

En effet, quand les populations de pièges dans les deux couches sont similaires ou en faveur de la couche ayant le plus fort impact sur le V_T , la technique échoue à identifier deux populations différentes de pièges. En particulier, il est impossible d'isoler la population avec le plus faible impact sur le V_T (soit la population de pièges dans le HK dans le cas d'un stress NBTI).

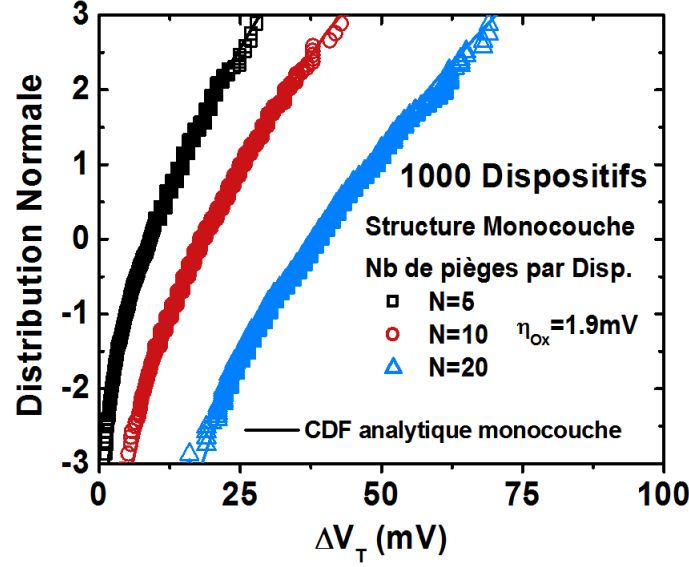


FIGURE 3.30 – Distributions de ΔV_T obtenues par simulations Monte Carlo pour des dispositifs comportant exactement 5 pièges (carrés) 10 pièges (cercles) et 20 pièges (triangles). Les distributions sont obtenues pour des dispositifs monocouches

3.4.2.2 Cas de transistors avec une unique couche d'oxyde avec N défauts

Le nombre de défauts présents dans chaque dispositif est maintenant égal à $N > 1$.

On s'intéresse tout d'abord au cas simple de transistors avec un oxyde unique.

Lors du développement du DCM, il est possible d'obtenir la CDF de dispositifs ayant exactement N pièges. La formule analytique est donnée par l'équation 3.5.

En utilisant cette équation, il est possible de simuler les distributions de ΔV_T obtenues sur 1000 dispositifs pour 3 nombres de pièges N différents ($N=5$, $N=10$ et $N=20$). La Figure 3.30 montre les distributions obtenues par simulations Monte Carlo et les fits réalisés avec l'expression de l'équation 3.5. Rappelons que le tirage Monte Carlo correspond ici à distribuer les N défauts uniformément dans les 3 directions de l'espace. Dans ce cas simple, la formule 3.5 permet de très bien expliquer les distributions de ΔV_T obtenues par simulations.

3.4.2.3 Cas de transistors avec 2 couches d'oxyde avec N défauts

Les dispositifs simulés présentent maintenant N pièges répartis dans une bicouche IL/HK. Il est alors impossible, si l'on veut décrire correctement les distributions obtenues pour de tels dispositifs, d'utiliser l'équation 3.5. Pour prendre en compte l'influence des 2 types de défauts, les hypothèses du modèle doivent être revues.

Considérons p défauts dans la couche de HK ayant un impact moyen η_{HK} et q défauts dans la couche de IL ayant un impact moyen η_{IL} . Comme montré dans le paragraphe précédent, avec la Figure 3.28, l'influence des pièges sur le ΔV_T suit, dans chaque couche, une loi exponentielle. De ce fait, en utilisant l'équation 3.4, il est donc facile de déduire la PDF pour p défauts présents dans le HK :

$$f_p^{HK}(\Delta V_T, \eta_{HK}) = \frac{e^{-\frac{\Delta V_T}{\eta_{HK}}}}{(p-1)!} \frac{\Delta V_T^{p-1}}{\eta_{HK}^p} \quad (3.40)$$

Et q défauts dans l'IL :

$$f_q^{IL}(\Delta V_T, \eta_{IL}) = \frac{e^{-\frac{\Delta V_T}{\eta_{IL}}}}{(q-1)!} \frac{\Delta V_T^{q-1}}{\eta_{IL}^q} \quad (3.41)$$

En considérant que le nombre de pièges total dans chaque transistor est égal à $N=p+q$, il est possible de calculer la PDF de la distribution globale comme la convolution des équations 3.40 et 3.41 :

$$\begin{aligned} f_N^{IL/HK}(\Delta V_T, \eta_{IL}, \eta_{HK}) &= f_1^{IL} \circ \dots \circ f_q^{IL} \circ f_1^{HK} \circ \dots \circ f_p^{HK} \\ &= f_q^{IL} \circ f_p^{HK} \end{aligned} \quad (3.42)$$

Avec la convolution définie comme :

$$f \circ g(z) = \int_0^z f(t)g(z-t)dt \quad (3.43)$$

Après développement (cf. Annexe B) de l'équation 3.42, on arrive à l'expression de la PDF pour une distribution de dispositifs comportant N pièges avec p pièges dans le HK et q pièges dans l'IL :

$$\begin{aligned} f_N^{IL/HK}(\Delta V_T, \eta_{IL}, q, \eta_{HK}, p) &= \frac{e^{-\frac{\Delta V_T}{\eta_{IL}}}}{\eta_{IL}^q \eta_{HK}^p (p-1)!(q-1)!} \sum_{i=0}^{q-1} \binom{q-1}{i} (-1)^i \Delta V_T^{q-i-1} \\ &\quad \left[\eta_g^{i+p} (i+p-1)! - e^{-\frac{\Delta V_T}{\eta_g}} \sum_{k=0}^{i+p-1} \Delta V_T^{i+p-1-k} \eta_g^{k+1} \frac{(i+p-1)!}{(i+p-1-k)!} \right] \end{aligned} \quad (3.44)$$

Avec η_g définie par :

$$\eta_g = \left(\frac{1}{\eta_{HK}} - \frac{1}{\eta_{IL}} \right)^{-1} \quad (3.45)$$

Par intégration de la PDF, on en déduit l'expression de la CDF correspondante :

$$F_N^{IL/HK}(\Delta V_T, \eta_{IL}, q, \eta_{HK}, p) = \frac{1}{\eta_{IL}^q \eta_{HK}^p (p-1)!(q-1)!} \sum_{i=0}^{q-1} \binom{q-1}{i} (-1)^i \left[\eta_g^{i+p} I_{q-1-i} \left(\Delta V_T, \frac{1}{\eta_{IL}} \right) (i+p-1)! - \left[\sum_{k=0}^{i+p-1} I_{q+p-k-2} \left(\Delta V_T, \frac{1}{\eta_{HK}} \right) \eta_g^{k+1} \frac{(i+p-1)!}{(i+p-1-k)!} \right] \right] \quad (3.46)$$

Avec la fonction $\text{In}(x, \alpha)$ définie comme :

$$\begin{aligned} I_n(x, \alpha) &= \int_0^x t^n e^{-\alpha t} dt \\ &= -e^{-\alpha x} \left[\sum_{k=0}^n \frac{x^{n-k} n!}{\alpha^{k+1} (n-k)!} \right] + \frac{n!}{\alpha^{n+1}} \end{aligned} \quad (3.47)$$

En utilisant la formule analytique 3.46, il devient alors possible d'expliquer précisément les distributions de ΔV_T induites par N pièges répartis entre la couche d'IL et la couche de HK. La Figure 3.31 compare des simulations Monte Carlo pour un nombre fixé de 10 pièges par dispositif avec les résultats donnés par la formule analytique 3.46. Le modèle analytique permet de parfaitement reproduire les distributions de ΔV_T obtenues sur des transistors bicouches.

On a aussi reporté la CDF des ΔV_T pour des transistors monocouches comportant exactement 10 pièges, donnée par l'expression 3.5. La distribution se superpose avec la CDF des dispositifs bicouches comportant un nombre égal de pièges dans chaque couche (5 dans l'IL et 5 dans le HK dans ce cas). Cela montre que le modèle monocouche, qui fait une moyenne des impacts des pièges de l'IL et du HK, n'est applicable que lorsque les populations dans les deux couches sont équilibrées. Le modèle est incapable d'expliquer des distributions résultant d'une grande dissymétrie entre les deux populations de pièges (par exemple ici, il est incapable d'expliquer un ratio de pièges dans l'IL par rapport aux pièges dans le HK de 1 :4 et 4 :1).

3.4.2.4 Cas de transistors avec Nt pièges suivant une loi de Poisson : Analyse du DCM

Finalement, dans le but de reproduire au mieux la variabilité dynamique du V_T , le nombre de pièges présents dans l'oxyde de grille des transistors est maintenant aléatoire et suit une loi de Poisson. L'effet de l'aspect aléatoire du nombre de pièges sur une distribution de ΔV_T a déjà été montré dans la partie précédente avec la Figure 3.18.

Dans le cas d'un oxyde bicouche, il est impossible de trouver un modèle complètement analytique qui prend en compte un nombre de défauts suivant une loi de Poisson dans les deux couches. Il est donc important d'évaluer si le modèle DCM classique est tout de même capable d'expliquer les distributions de ΔV_T obtenues sur des transistors bicouches.

On procède une fois encore à des simulations Monte Carlo avec un nombre moyen de pièges dans chaque couche (Nt_{IL} et Nt_{HK}) qui obéit maintenant à une loi de Poisson. La méthodologie

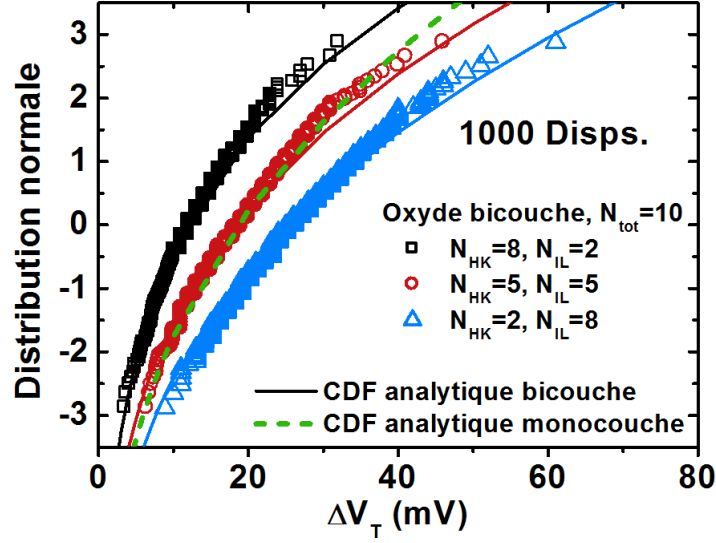


FIGURE 3.31 – Distributions cumulées des ΔV_T obtenus par simulations Monte Carlo pour des dispositifs bicouches comportant exactement 10 pièges. (Symboles) Trois répartitions sont simulées avec le nombre de pièges présents dans l'IL et le HK donné par N_{IL} et N_{HK} . (Lignes) Modèle analytique donné par l'équation 3.46

employée pour générer les distributions de ΔV_T sur ces transistors bicouches est résumé sur la Figure 3.32.

Des simulations Monte Carlo, basées sur cette méthodologie, sont effectuées pour évaluer la « robustesse » du DCM. La Figure 3.33 compare les distributions de ΔV_T obtenues par simulations et les fits réalisés par le modèle DCM. On a considéré deux ratios différents de pièges dans l'IL par rapport aux pièges dans le HK, un ratio 1 :1 et un ratio 1 :10. Pour le ratio 1 :10, le nombre moyen de pièges dans l'IL est $Nt_{IL}=2$ et dans le HK $Nt_{HK}=20$.

Comme on peut le voir sur la Figure 3.33, le DCM classique semble capable de décrire efficacement les distributions obtenues pour des oxydes bicouches.

On observe uniquement une petite déviation entre le modèle et les simulations Monte Carlo au niveau des queues de distributions (-3σ et $+3\sigma$) du ratio 1 :10 dans lequel le nombre de pièges présents dans le HK est bien plus important que le nombre de pièges présents dans l'IL.

Cependant, le point important à noter ici est que les paramètres extraits par le modèle (Nt_{ox} et η_{ox}) - grâce aux valeurs de $\mu\Delta V_T$ et $\sigma\Delta V_T$ calculées directement sur les distributions des transistors bicouches - permettent effectivement un fit des distributions de ΔV_T mais n'ont plus de « sens physique ».

On rappelle qu'on a montré précédemment (avec la Figure 3.19) que pour un oxyde monocouche, les paramètres (Nt_{ox} et η_{ox}) sont de vrais paramètres physiques, représentatif des propriétés de l'oxyde.

Pour des dispositifs bicouche, la valeur du nombre de pièges extraite par le DCM pour décrire la distribution avec ($Nt_{IL}=2$, $Nt_{HK}=20$) est $Nt_{ox}=15.6$ alors que la valeur moyenne du nombre de pièges par dispositif est de 22. De plus, la valeur de l'impact moyen des pièges extraite est $\eta_{ox}=1.4\text{mV}$ qui ne correspond à aucun des impacts d'une des deux populations ($\eta_{IL}=3.1\text{mV}$ pour la couche d'IL et $\eta_{HK}=0.8\text{mV}$ pour la couche de HK).

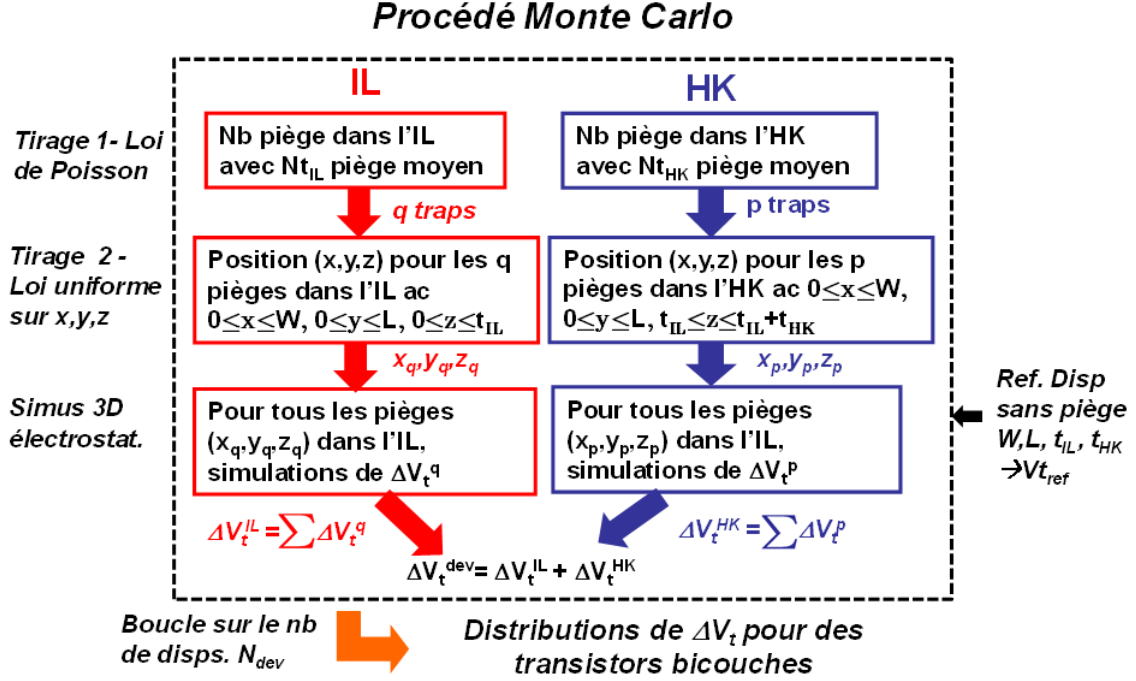


FIGURE 3.32 – Procédé Monte Carlo utilisé pour calculer les distributions de ΔV_T pour des transistors bicouches

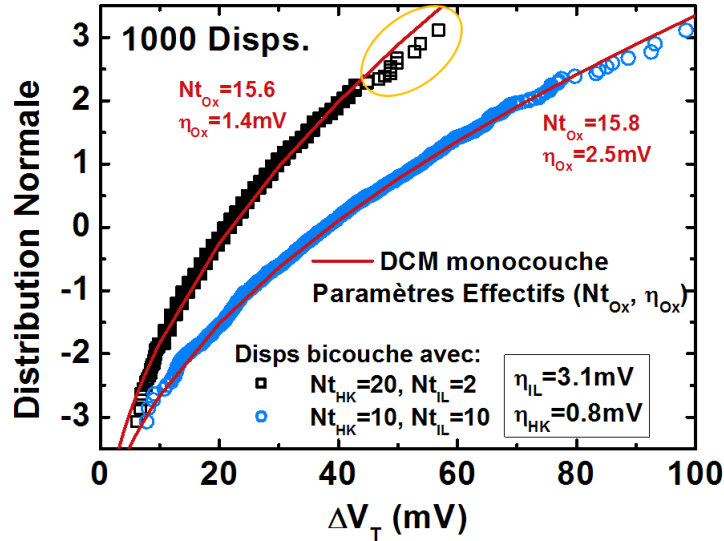


FIGURE 3.33 – (Symboles) Distributions des ΔV_T obtenus par simulations Monte Carlo pour des transistors bicouches en considérant que les nombres de pièges moyens dans les deux couches, IL et HK, suivent une loi de Poisson. Deux scénarios sont considérés avec deux répartitions différentes des pièges dans l'IL et le HK. (Lignes) DCM classique monocouche utilisé pour décrire les résultats. Le modèle capture l'essentiel des distributions avec des paramètres effectifs Nt_{ox} et η_{ox}

3.4. Structures réalistes de transistors FDSOI

Dans le cas d'oxydes bicouche, les paramètres extraits par le DCM deviennent des paramètres effectifs qui moyennent l'effet des pièges présents dans l'IL et le HK.

Étant donné que les pièges dans les deux couches sont considérés comme indépendants, il est possible de calculer comment le couple de paramètres extraits par le DCM (Nt_{ox} ; η_{ox}) évolue en fonction des populations de pièges (Nt_{IL} ; Nt_{HK}) dans les deux couches et de leurs impacts (η_{IL} ; η_{HK}).

La valeur de ΔV_T sur chaque dispositif provient de la somme des ΔV_T des deux couches :

$$\Delta V_T^{Disp} = \Delta V_T^{IL} + \Delta V_T^{HK} \quad (3.48)$$

On considère les variables indépendantes, on a donc :

$$\mu(\Delta V_T^{Disp}) = \mu(\Delta V_T^{IL}) + \mu(\Delta V_T^{HK}) \quad (3.49)$$

$$\sigma(\Delta V_T^{Disp})^2 = \sigma(\Delta V_T^{IL})^2 + \sigma(\Delta V_T^{HK})^2 \quad (3.50)$$

Ce qui donne, par application du DCM sur chaque couche :

$$Nt_{ox}\eta_{ox} = Nt_{IL}\eta_{IL} + Nt_{HK}\eta_{HK} \quad (3.51)$$

$$2Nt_{ox}\eta_{ox}^2 = 2Nt_{IL}\eta_{IL}^2 + 2Nt_{HK}\eta_{HK}^2 \quad (3.52)$$

Après développement du système, on en déduit la variation du couple (Nt_{ox} , η_{ox}) extrait par le DCM en fonction des couples « physiques » (Nt_{IL} , η_{IL}) et (Nt_{HK} , η_{HK}) qui représentent les populations de pièges dans les deux couches :

$$Nt_{ox} = \frac{Nt_{IL}\eta_{IL}^2 + Nt_{HK}\eta_{HK}^2}{Nt_{IL}\eta_{IL} + Nt_{HK}\eta_{HK}} \quad (3.53)$$

$$\eta_{ox} = \frac{(Nt_{IL}\eta_{IL} + Nt_{HK}\eta_{HK})^2}{Nt_{IL}\eta_{IL}^2 + Nt_{HK}\eta_{HK}^2} \quad (3.54)$$

Avec l'équation 3.53, il est possible d'estimer l'erreur faite en utilisant Nt_{ox} pour évaluer le nombre total de pièges dans nos dispositifs bicouches (donné par $Nt_{IL} + Nt_{HK}$). La Figure 3.34 trace cette erreur en pourcentage en fonction du ratio Nt_{HK}/Nt_{IL} . On trace aussi en fonction de ce même ratio la valeur de η_{ox} .

Logiquement, on remarque que l'erreur sur Nt_{ox} est nulle quand le ratio Nt_{HK}/Nt_{IL} est très grand ou très faible, i.e. quand les pièges sont présents uniquement dans une couche des transistors. Dans ce cas, on retrouve le cas de l'oxyde monocouche. Cependant, quand le nombre de pièges devient comparable dans les deux couches, l'erreur apparait comme non négligeable et devient maximale, $\approx 35\%$, pour un ratio $Nt_{HK}/Nt_{IL} \approx 3.8$ (correspondant donc à un piégeage préférentiel dans la couche HK).

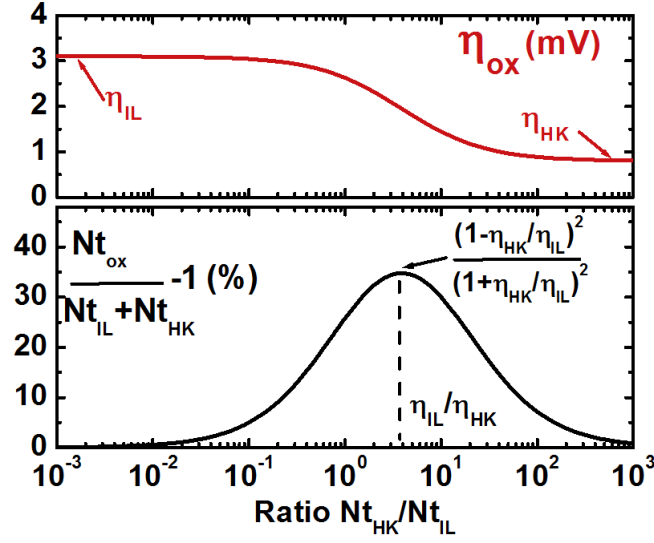


FIGURE 3.34 – (Haut) Valeur de η_{ox} donnée par le DCM en fonction du ratio Nt_{HK}/Nt_{IL} . (Bas) Erreur entre la valeur moyenne du nombre de piège Nt_{ox} extraite par le DCM sur des transistors bicouche et la valeur moyenne du nombre total de piège donné par $Nt_{IL} + Nt_{HK}$

Cela implique que, dans le cas de stress NBTI, connus pour dégrader préférentiellement l'IL, l'erreur reste limitée. C'est une des raisons que l'on peut avancer pour expliquer pourquoi le modèle a toujours réussi à décrire, dans la littérature, les distributions mesurées après stress NBTI (malgré l'emploi de technologie HK).

3.4.2.5 Cas de transistors avec Nt Pièges suivant une loi de Poisson : Modèle semi analytique

Comme montré précédemment, le DCM développé pour des transistors monocouche est très utile mais échoue parfois à expliquer totalement la variabilité induite par un stress BTI. Ces limitations proviennent de la différence entre les impacts des pièges présents dans les deux couches (différents η). C'est pourquoi on propose dans cette partie un modèle « DCM bicouche » qui prendra en compte ces paramètres et décrira parfaitement les distributions de ΔV_T .

L'équation 3.46, développée pour un nombre exact de pièges, ne peut pas être utilisée dans un cas plus réaliste où le nombre de pièges dans chaque couche du transistor suit une loi de Poisson. De même, développer un modèle entièrement analytique à partir des expressions 3.44 et 3.46 semble trop complexe également.

C'est pourquoi on proposera une approche « semi-analytique » pour notre modèle DCM bicouche. On peut voir le ΔV_T global de chaque transistor comme la combinaison linéaire de deux variables aléatoires indépendantes que sont le ΔV_T^{IL} et le ΔV_T^{HK} :

$$\Delta V_T^{Disp} = \alpha \Delta V_T^{IL} + \beta \Delta V_T^{HK} \quad (3.55)$$

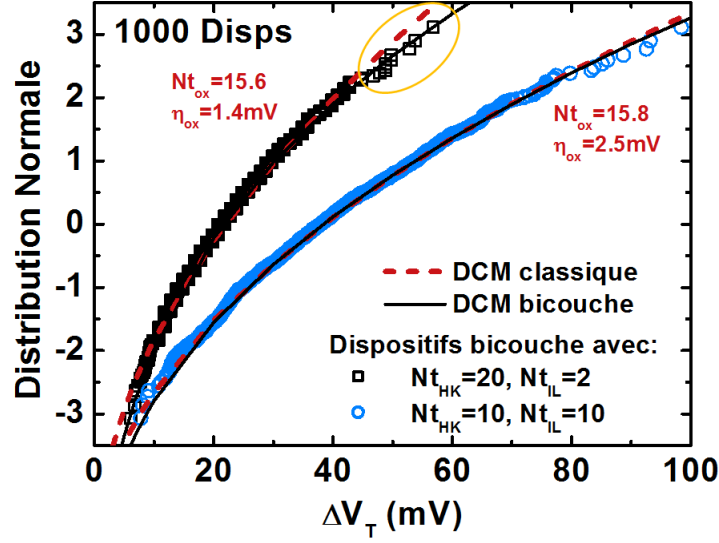


FIGURE 3.35 – (Symboles) Résultats de simulations Monte Carlo obtenus pour la Figure 3.33. (Pointillés) DCM classique. (Lignes) DCM bicouche

Il est raisonnable de considérer que les deux variables aléatoires ΔV_T^{IL} et ΔV_T^{HK} suivent le DCM classique étant donné qu'elles résultent toutes deux de l'impact d'une unique population de pièges dont l'influence suit une distribution exponentielle (hypothèse de base du DCM).

Ceci étant posé, il est possible de dériver un modèle semi analytique grâce aux CDF ($F_{N,DCM}$) et PDF ($f_{N,DCM}$) du DCM classique (donné par les équations 3.9 et 3.10). Ainsi la CDF d'une combinaison linéaire de deux variables aléatoires indépendantes, FF_{CL} , suivant le DCM classique peut s'écrire :

$$FF_{CL}^{IL/HK}(\Delta V_T) = \int_0^{\frac{\Delta V_T}{\beta}} \frac{1}{\beta} F_{Nt_{HK},DCM}^{HK} \left(\frac{\Delta V_T - \beta x}{\alpha}, \eta_{HK} \right) f_{Nt_{IL},DCM}(x, \eta_{IL}) dx \quad (3.56)$$

Dans ce cas particulier, les paramètres de couplages α et β sont égaux à 1 étant donné que les pièges dans les deux couches des transistors ont le même poids sur le ΔV_T global des dispositifs. Les résultats de simulations Monte Carlo de la Figure 3.33 sont cette fois confrontés au nouveau DCM bicouche. Le modèle bicouche reproduit parfaitement les résultats des simulations Monte Carlo, notamment au niveau des queues de distribution comme on peut le voir sur la Figure 3.35.

En conclusion, ce modèle semi-analytique, donné par l'équation 3.56, décrit mieux la physique des transistors bicouches que le DCM classique. Cependant, il nécessite une combinaison de 4 paramètres pour décrire la variabilité globale du V_T des transistors (Nt_{HK} , η_{HK} , Nt_{IL} , η_{IL}). Ces 4 paramètres sont très difficiles à déterminer en pratique. De ce fait, ce modèle n'est pas adapté pour traiter des données expérimentales. Nous pensons qu'il est préférable de continuer à utiliser le DCM classique malgré ses limitations.

Enfin, malgré les limitations évoquées pour ce DCM bicouche à 4 variables, on va voir qu'il

est possible de trouver une application inattendue au modèle dans la prédiction de la dégradation de cellules SRAMs.

3.4.3 Application aux SRAM

Dans cette partie on montre comment le DCM à 4 variables développé précédemment peut être utilisé pour prédire la dégradation de cellule SRAM.

3.4.3.1 Généralité de l'expression du DCM bicouche

L'expression 3.56 est une formule complètement générale. En effet, si on considère que Z est une variable aléatoire qui résulte de la combinaison linéaire de deux variables aléatoires X et Y :

$$Z = \alpha X + \beta Y \quad (3.57)$$

Alors, la CDF de Z , F_Z , est donnée par :

$$F_Z(z) = \int_0^{\frac{z}{\beta}} F_Y\left(\frac{z - \beta t}{\alpha}\right) f_X(t) dt \quad (3.58)$$

Avec F_Y la CDF de la variable Y et f_X la PDF de la variable X .

Cette expression est donc générale et on va voir qu'elle peut être appliquée pour prédire la dégradation sur des cellules SRAM.

3.4.3.2 Application du DCM bicouche aux cellules SRAM

Les détails du fonctionnement des SRAM et de la façon dont le BTI influence les performances des cellules sera expliqué plus en détails dans le Chapitre 4.

Lorsque la cellule est en mode « data retention », une tension $V_{dd,Haut}$ est appliquée aux transistors DR1 et LD2. Le transistor LD2 est alors affecté par une dégradation NBTI et le transistor DR1 par une dégradation PBTI comme cela est illustré sur la Figure 3.36.

La Static Noise Margin (SNM), qui représente la stabilité en lecture des cellules, est affectée par les dégradations NBTI et PBTI des transistors LD2 et DR1. Cependant, les dégradations de ces deux transistors ont des impacts différents sur la dégradation de la SNM : ΔSNM . De ce fait, ΔSNM peut s'écrire de la façon suivante :

$$\Delta SNM = \alpha_{LD2} \Delta V_T^{LD2} + \alpha_{DR1} \Delta V_T^{DR1} \quad (3.59)$$

Avec les coefficients α_{LD2} et α_{DR1} définis par :

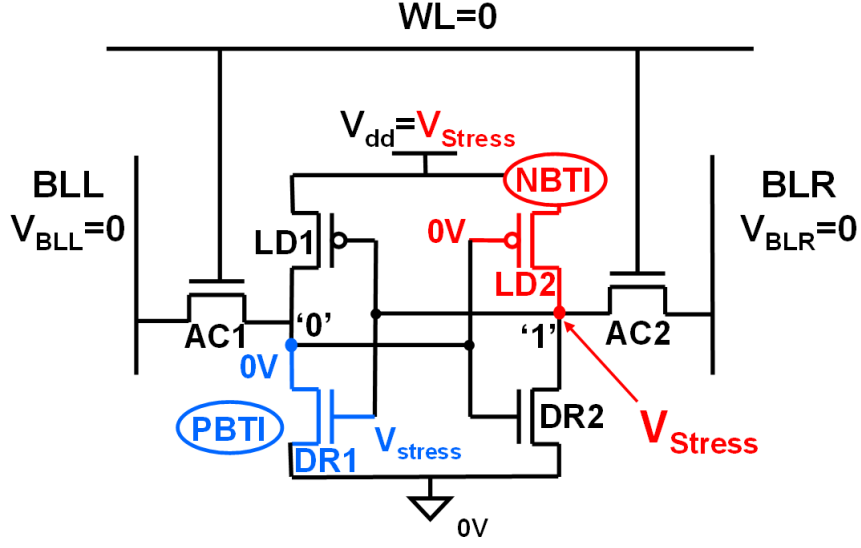


FIGURE 3.36 – Schéma d'une cellule SRAM en mode « data retention ». Les transistors LD2 et DR1 sont affectés par une dégradation BTI à $V_{dd,Haut}$

$$\alpha_{LD2} = \frac{\partial SNM}{\partial V_T^{LD2}} \quad (3.60)$$

$$\alpha_{DR1} = \frac{\partial SNM}{\partial V_T^{DR1}} \quad (3.61)$$

Ces facteurs peuvent être évalués par simulations SPICE (Simulation Program with Integrated Circuit Emphasis). Sur cette technologie, ils sont estimés à 0.432 pour α_{LD2} et 0.844 pour α_{DR1} .

Les dégradations NBTI et PBTI ont été mesurées directement sur des transistors de cellules SRAMs de $120 \mu m^2$ fabriqués en technologie 28 nm FDSOI. Les résultats des mesures expérimentales sont présentées sur la Figure 3.37. Le DCM classique est utilisé pour expliquer les dégradations mesurées sur les dispositifs. Les distributions expérimentales sont assez bien expliquées par le DCM avec les paramètres (Nt_{LD2}, η_{LD2}) et (Nt_{DR1}, η_{DR1}) .

On donc bien que la dégradation globale sur les deux transistors LD2 et DR1 de la SRAM peut être décrite par le DCM classique. De ce fait, on est maintenant capable d'obtenir la dégradation sur les cellules SRAM en utilisant le modèle DCM bicouche.

En effet, on connaît les PDF et CDF des variables aléatoires ΔV_T^{LD2} et ΔV_T^{DR1} et on a vu que la dégradation de la SNM est une combinaison linéaire de la dégradation de ces deux variables. De ce fait, on a :

$$FF(\Delta SNM) = \int_0^{\frac{\Delta SNM}{\alpha_{DR1}}} F_{Nt_{DR1}, DCM} \left(\frac{\Delta SNM - \alpha_{DR1} t}{\alpha_{LD2}}, \eta_{DR1} \right) f_{Nt_{LD2}, DCM}(t, \eta_{LD2}) dt \quad (3.62)$$

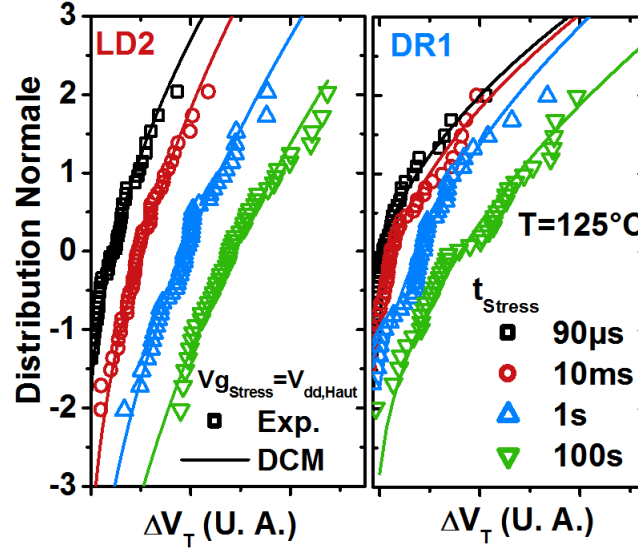


FIGURE 3.37 – Dégradation BTI des transistors LD2 et DR1 au cours d’un stress à $V_{gStress}=V_{dd,Haut}$. Les dégradations sont mesurées directement au sein des cellules SRAM

Grâce à cette analogie, il est maintenant possible de prédire numériquement la dégradation de la SNM d’une cellule SRAM.

Les résultats des simulations en utilisant le DCM bicouche sont présentés sur la Figure 3.38. En utilisant une technique de mesure rapide dont les détails seront présentés dans le Chapitre 4, on a pu mesurer la dégradation de la marge en lecture (appelée ici SRRV, au lieu de SNM, en rapport avec la technique de mesure utilisée) directement sur les cellules. Ces mesures rapides ont permis de limiter au maximum les effets de relaxations intervenant après l’arrêt du stress des cellules et avant la mesure de la stabilité en lecture. Les résultats obtenues avec cette technique de mesure rapide sont également reportés sur la Figure 3.38.

Les prédictions faites par le DCM bicouche décrivent très bien les mesures expérimentales de dégradation de la stabilité en lecture. Ce résultat montre l’aptitude du modèle à décrire la variabilité dynamique des SRAMs due à une dégradation BTI.

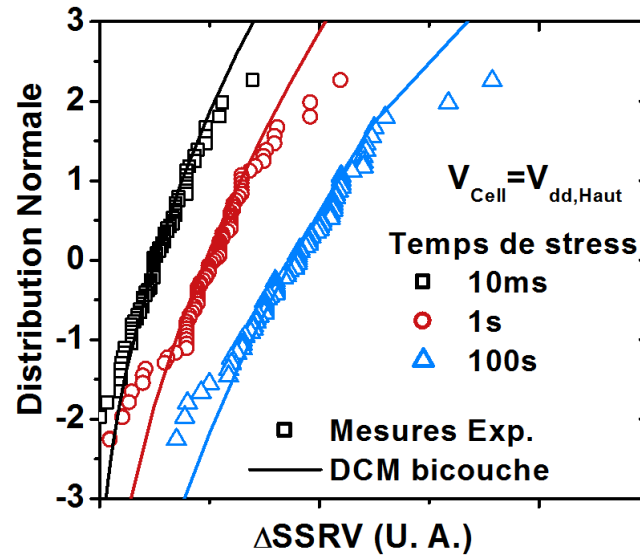


FIGURE 3.38 – Dégradation de la marge en écriture mesurée sur ≈ 60 cellules SRAM. Les distributions sont bien décrites par le modèle DCM bicouche avec en paramètres les coefficients extraits avec le DCM classique (Nt_{LD2} , η_{LD2} , Nt_{DR1} , η_{DR1}) obtenus dans la Figure 3.37

3.5 Conclusion

Dans ce Chapitre, nous avons présenté un état de l'art des modèles utilisés pour décrire la fiabilité des transistors de petites dimensions. Les modèles de Skellam et de Kaczer, qui sont les deux modèles principalement utilisés dans le domaine de la fiabilité BTI aujourd'hui, ont été détaillés et comparés.

On a montré que le Defect Centric Model, établi par Ben Kaczer, était le plus apte à modéliser les distributions de ΔV_T obtenues expérimentalement. Nos études corroborent les résultats d'autres groupes ayant effectué des comparaisons similaires. Cependant, on a aussi mis en évidence qu'une des hypothèses essentielle du modèle était erronée. En effet, la théorie du « chemin de percolation », avancée pour justifier la distribution exponentielle de l'influence des pièges sur le ΔV_T , ne pouvait pas s'appliquer sur nos dispositifs FDSOI.

Des simulations électrostatiques 3D ont permis de mettre en évidence la raison première de cette distribution exponentielle. On a montré qu'une charge piégée avait une influence en forme de dôme sur le V_T des transistors quand elle est positionnée à l'interface entre le Film de Silicium et l'oxyde. Cette influence particulière en forme de dôme, couplée avec une répartition aléatoire uniforme des charges dans l'oxyde, permet d'expliquer la distribution exponentielle de l'influence des charges. Ces études électrostatiques ont aussi permis d'étudier l'effet de la réduction des dimensions sur la dégradation BTI ($\mu\Delta V_T$ et $\sigma\Delta V_T$) ainsi que sur les paramètres du DCM : le nombre de pièges, N , et de leurs influences, η . On a notamment mis en évidence que l'influence des pièges suivait, dans nos dispositifs FDSOI, une loi en $1/WL$ et non pas en $1/W\sqrt{L}$ obtenus traditionnellement sur des technologies BULK [21].

Finalement, on s'est intéressé aux différentes étapes de la construction du DCM. Notamment, on a cherché à savoir comment chaque étape, chaque formule, donnée par le modèle, était affectée par des transistors comportant des oxydes bicouches. En effet, le DCM tel qu'il a été pensé lors de sa construction, prend en compte une unique population de pièges présents dans un oxyde unique. Or, les transistors actuels comportent tous au moins deux couches dans leur oxyde de grille (une couche d'oxyde interfacial IL et une de diélectrique HK). On s'est donc penché sur l'intérêt de considérer ces deux couches lors de la construction du DCM. On a pu montrer que le DCM permettait de décrire assez bien les distributions de ΔV_T et ce malgré la l'absence de considération des deux populations de défauts dans ses hypothèses. On a toutefois montré que les paramètres utilisés par le DCM pour décrire les distributions de ΔV_T n'étaient plus « physiques » quand on considérait des transistors avec deux couches d'oxyde. En effet, le nombre moyen de pièges et leur influence moyenne (Nt , η) extraites par le modèle sont en fait des moyennes des paramètres réels (Nt_{IL} , η_{IL}) et (Nt_{HK} , η_{HK}).

Ainsi, on a proposé un DCM bicouche qui permet théoriquement de mieux modéliser ces distributions. Toutefois, si ce modèle bicouche permet effectivement de mieux décrire les distributions expérimentales, il est difficilement applicable en pratique à cause des 4 paramètres nécessaires à son utilisation et qu'il est impossible d'extraire expérimentalement. Cependant, grâce à une analogie entre la dégradation du ΔV_T sur des transistors bicouches et la dégradation de la stabilité en lecture ΔSNM sur des cellules SRAM une nouvelle application du modèle a été trouvée. Cette application permet à ce modèle semi-analytique de prédire la dégradation de cellules SRAM à partir de la dégradation BTI affectant les transistors des cellules.

Bibliographie

- [1] S. Rauch, "Review and reexamination of reliability effects related to NBTI-induced statistical variations," *Device and Materials Reliability, IEEE Transactions on*, vol. 7, no. 4, pp. 524–530, Dec 2007.
- [2] J. Skellam, "The frequency distribution of the difference between two Poisson variates belonging to different populations," *J R Stat Soc*, vol. 109, no. 3, p. 296, 1946.
- [3] B. Kaczer, P. Roussel, T. Grassler, and G. Groeseneken, "Statistics of multiple trapped charges in the gate oxide of deeply scaled MOSFET devices - application to NBTI," *Electron Device Letters, IEEE*, vol. 31, no. 5, pp. 411–413, May 2010.
- [4] A. Kerber and T. Nigam, "Challenges in the characterization and modeling of BTI induced variability in metal gate / High-k CMOS technologies," in *Reliability Physics Symposium (IRPS), 2013 IEEE International*, April 2013, pp. 2D.4.1–2D.4.6.
- [5] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, and L. Camus, "NBTI degradation : From transistor to SRAM arrays," in *Reliability Physics Symposium, 2008. IRPS 2008. IEEE International*, April 2008, pp. 289–300.
- [6] A. Asenov, A. Brown, and B. Cheng, "Statistical aspects of NBTI/PBTI and impact on SRAM yield," in *Design, Automation Test in Europe Conference Exhibition (DATE), 2011*, March 2011, pp. 1–6.
- [7] V. Huard, R. Chevallier, C. Parthasarathy, A. Mishra, N. Ruiz-Amador, F. Persin, V. Robert, A. Chimeno, E. Pion, N. Planes, D. Ney, F. Cacho, N. Kapoor, V. Kulshrestha, S. Chopra, and N. Vialle, "Managing SRAM reliability from bitcell to library level," in *Reliability Physics Symposium (IRPS), 2010 IEEE International*, May 2010, pp. 655–664.
- [8] D. Angot, V. Huard, L. Rahhal, A. Cros, X. Federspiel, A. Bajolet, Y. Carminati, M. Saliva, E. Pion, F. Cacho, and A. Bravaix, "BTI variability fundamental understandings and impact on digital logic by the use of extensive dataset," in *Electron Devices Meeting (IEDM), 2013 IEEE International*, Dec 2013, pp. 15.4.1–15.4.4.
- [9] N. Planes, O. Weber, V. Barral, S. Haendler, D. Noblet, D. Croain, M. Bocat, P. Sas-soulas, X. Federspiel, A. Cros, A. Bajolet, E. Richard, B. Dumont, P. Perreau, D. Petit, D. Golanski, C. Fenouillet-Beranger, N. Guillot, M. Rafik, V. Huard, S. Puget, X. Montagner, M.-A. Jaud, O. Rozeau, O. Saxod, F. Wacquant, F. Monsieur, D. Barge, L. Pinzelli, M. Mellier, F. Boeuf, F. Arnaud, and M. Haond, "28nm FDSOI technology platform for high-speed low-voltage digital applications," in *VLSI Technology (VLSIT), 2012 Symposium on*, June 2012, pp. 133–134.
- [10] C. Prasad, M. Agostinelli, J. Hicks, S. Ramey, C. Auth, K. Mistry, S. Natarajan, P. Packan, I. Post, S. Bodapati, M. Giles, S. Gupta, S. Mudanai, and K. Kuhn, "Bias temperature instability variation on SiON/Poly, HK/MG and trigate architectures," in *Reliability Physics Symposium, 2014 IEEE International*, June 2014, pp. 6A.5.1–6A.5.7.

-
- [11] A. Subirats, X. Garros, J. El Hussein, C. Le Royer, G. Reimbold, and G. Ghibaudo, "Impact of single charge trapping on the variability of ultrascaled planar and trigate FD-SOI MOSFETs : Experiment versus simulation," *Electron Devices, IEEE Transactions on*, vol. 60, no. 8, pp. 2604–2610, Aug 2013.
 - [12] W. Hänsch, T. Vogelsang, R. Kircher, and M. Orlowski, "Carrier transport near the si/sio₂ interface of a MOSFET," *Solid-State Electronics*, vol. 32, no. 10, pp. 839 – 849, 1989.
 - [13] X. Wang, A. Brown, B. Cheng, and A. Asenov, "Statistical distribution of RTS amplitudes in 20nm SOI FinFETs," in *Silicon Nanoelectronics Workshop (SNW), 2012 IEEE*, June 2012, pp. 1–2.
 - [14] A. Bekaddour, M. Pala, N. Chabane-Sari, and G. Ghibaudo, "Deterministic method to evaluate the threshold voltage variability induced by discrete trap charges in si-nanowire FETs," *Electron Devices, IEEE Transactions on*, vol. 59, no. 5, pp. 1462–1467, May 2012.
 - [15] L. Brunet, X. Garros, A. Bravaix, A. Subirats, F. Andrieu, O. Weber, P. Scheiblin, M. Rafik, E. Vincent, and G. Reimbold, "Impact of backside interface on hot carriers degradation of thin film FDSOI nMOSFETs," in *Reliability Physics Symposium (IRPS), 2012 IEEE International*, April 2012, pp. 3B.2.1–3B.2.5.
 - [16] B. Cheng, A. Brown, S. Roy, and A. Asenov, "PBTI/NBTI-related variability in TB-SOI and DG MOSFETs," *Electron Device Letters, IEEE*, vol. 31, no. 5, pp. 408–410, May 2010.
 - [17] L. Brunet, X. Garros, F. Andrieu, G. Reimbold, E. Vincent, A. Bravaix, and F. Boulanger, "New method to extract interface states density at the back and the front gate interfaces of FDSOI transistors from CV-GV measurements," in *SOI Conference, 2009 IEEE International*, Oct 2009, pp. 1–2.
 - [18] M. Bukhori, A. Brown, S. Roy, and A. Asenov, "Simulation of statistical aspects of reliability in nano CMOS transistors," in *Integrated Reliability Workshop Final Report, 2009. IRW '09. IEEE International*, Oct 2009, pp. 82–85.
 - [19] T. Grasser, B. Kaczer, W. Goes, H. Reisinger, T. Aichinger, P. Hehenberger, P.-J. Wagner, F. Schanovsky, J. Franco, M. Luque, and M. Nelhiebel, "The paradigm shift in understanding the bias temperature instability : From reaction - diffusion to switching oxide traps," *Electron Devices, IEEE Transactions on*, vol. 58, no. 11, pp. 3652–3666, Nov 2011.
 - [20] J. Campbell, L. Yu, K. Cheung, J. Qin, J. Suehle, A. Oates, and K. Sheng, "Large random telegraph noise in sub-threshold operation of nano-scale nMOSFETs," in *IC Design and Technology, 2009. ICICDT '09. IEEE International Conference on*, May 2009, pp. 17–20.
 - [21] A. Ghetti, C. Monzio Compagnoni, A. Spinelli, and A. Visconti, "Comprehensive analysis of random telegraph noise instability and its scaling in deca-nanometer flash memories," *Electron Devices, IEEE Transactions on*, vol. 56, no. 8, pp. 1746–1752, Aug 2009.
 - [22] A. Subirats, X. Garros, J. El Hussein, E. Vincent, G. Reimbold, and G. Ghibaudo, "Modeling the dynamic variability induced by charged traps in bi-layer gate oxide," *Electron Devices, IEEE Transactions on*, Submitted.

- [23] M. Toledano-Luque, B. Kaczer, P. Roussel, M. J. Cho, T. Grassner, and G. Groeseneken, "Temperature dependence of the emission and capture times of SiON individual traps after positive bias temperature stress," *Journal of Vacuum Science and Technology B*, vol. 29, no. 1, 2011.
- [24] X. Garros, "Caracterisation et modelisation de l'oxyde d'hafnium comme alternative a la silice pour les futures technologies CMOS submicroniques," Ph.D. dissertation, MPM, 2004.
- [25] B. Kaczer, C. Chen, P. Weckx, P. Roussel, M. Toledano-Luque, J. Franco, M. Cho, J. Watt, K. Chanda, G. Groeseneken, and T. Grassner, "Maximizing reliable performance of advanced cmos circuits - a case study," in *Reliability Physics Symposium, 2014 IEEE International*, June 2014, pp. 2D.4.1–2D.4.6.
- [26] R. Degraeve, M. Aoulaiche, B. Kaczer, P. Roussel, T. Kauerauf, S. Sahhaf, and G. Groeseneken, "Review of reliability issues in high-k/metal gate stacks," in *Physical and Failure Analysis of Integrated Circuits, 2008. IPFA 2008. 15th International Symposium on the*, July 2008, pp. 1–6.

Chapitre 4

Impact de la dégradation BTI sur le fonctionnement de cellules SRAM

Sommaire

4.1	Introduction	193
4.2	La cellule SRAM	194
4.2.1	Présentation de la cellule SRAM	194
4.2.1.1	Structure d'une cellule SRAM	194
4.2.1.2	Fonctionnement d'une cellule SRAM	195
4.2.2	Effet de la variabilité et de la dégradation BTI sur une cellule SRAM	196
4.2.2.1	Effet de la variabilité sur les cellules SRAM	197
4.2.2.2	Effet de la dégradation NBTI sur les cellules SRAM	198
4.3	Évaluation de la dégradation d'une SRAM par simulations SPICE	199
4.3.1	Caractérisation des paramètres électriques des transistors	199
4.3.1.1	Caractérisation du V_T	199
4.3.1.2	Caractérisation du ΔV_T	201
4.3.1.3	Caractérisation du ΔGm	202
4.3.2	Évaluation de la dégradation des cellules	205
4.3.2.1	Simulations SPICE	205
4.3.2.2	Estimation d'une marge en Lecture et en Écriture	205
4.4	Mesures BTI rapides de cellules SRAM	208
4.4.1	Mesures rapides de la stabilité en lecture des cellules : technique SRRV	209
4.4.1.1	Présentation de la technique SRRV	209
4.4.1.2	Reproductibilité de la méthode SRRV	210
4.4.1.3	Modèle UTSOI et mesures	211
4.4.1.4	Marginal Mismatch et High Mismatch	213
4.4.1.5	Comparaison entre SNM et SRRV	214
4.4.2	Évaluation de la variabilité temporelle, due au BTI, des cellules SRAM	214
4.4.2.1	Méthodologie de stress des cellules	215
4.4.2.2	Distribution de $\Delta SSRV$: Simulations et Mesures	216
4.4.2.3	Distribution de $\Delta SSRV$: Modèle semi-analytique	219
4.4.3	Influence de la dégradation sur la stabilité en lecture des cellules SRAM	221
4.4.3.1	Probabilité d'échec en lecture : simulations SPICE Monte Carlo	221

4.4.3.2	Évaluation de la dégradation aux conditions normales de fonctionnement	222
4.4.3.3	Estimation de la dégradation des cellules à 10 ans aux conditions normales de fonctionnement	224
4.5	Conclusion	227

4.1 Introduction

Dans ce Chapitre, on se propose d'étudier comment la dégradation BTI affecte les performances de circuits tels que les cellules SRAM (pour Static Random Access Memory). Ces cellules sont des mémoires volatiles qui permettent le stockage d'information et qui sont très utilisées pour réaliser des mémoires caches et pour les applications embarquées.

Cette mémoire est exclusivement constituée de transistors semblables à ceux étudiés dans les parties précédentes. De ce fait, la dégradation BTI va affecter le fonctionnement des transistors au cours de leur fonctionnement et, ainsi, affecter les performances des cellules.

Dans un premier temps, on présentera le fonctionnement d'une cellule SRAM. Notamment, on présentera les paramètres électriques permettant d'évaluer ses performances en tant que cellule mémoire. On montrera comment ces paramètres sont susceptibles d'évoluer sous l'effet d'un stress BTI.

Dans une seconde partie, on présentera une première approche permettant d'étudier l'influence du BTI sur les performances des cellules. L'étude se basera sur des mesures réalisées sur des transistors unitaires pour caractériser la dégradation BTI suivie de simulations pour évaluer la dégradation au niveau du circuit.

Enfin, dans la dernière partie, on montrera une technique permettant de mesurer directement, et rapidement, la dégradation d'un des paramètres électriques de la cellule. Ces mesures rapides permettront, pour la première fois, de mesurer la dégradation BTI au niveau d'une SRAM en s'affranchissant des principaux phénomènes de relaxation. On réalisera également des simulations, basées sur le modèle composite, développé dans le Chapitre 2, et le DCM, développé dans le Chapitre 3, pour extraire la dégradation de nos cellules aux conditions normales de fonctionnement d'un circuit.

4.2 La cellule SRAM

La cellule SRAM est une cellule mémoire permettant de stocker une donnée sous forme de bits. Cette cellule constitue l'élément de base de circuits SRAM pouvant regrouper plusieurs millions de cellules élémentaires. Dans cette partie, on présentera comment fonctionne une cellule SRAM et quels sont les paramètres qui permettent d'évaluer ses performances. On présentera également comment la dégradation des transistors présents dans la SRAM peut affecter ses performances électriques.

4.2.1 Présentation de la cellule SRAM

On commence par présenter le principe de fonctionnement d'une cellule mémoire. On montrera notamment quels sont les paramètres caractérisant la cellule et les techniques de mesures permettant d'extraire ces paramètres.

4.2.1.1 Structure d'une cellule SRAM

Il existe plusieurs architecture de cellules SRAM, la plus utilisée, et celle que nous étudierons dans ce Chapitre, est la cellule SRAM à 6 transistors représentée sur la Figure 4.1.

Cette cellule est constituée de deux inverseurs CMOS rebouclés l'un sur l'autre permettant ainsi de conserver l'information. L'inverseur de gauche comporte les transistors LD1 (PMOS) et DR1 (NMOS) et l'inverseur de droite les transistors LD2 (PMOS) et DR2 (PMOS). Chaque inverseur possède donc un transistor NMOS de décharge (DR pour « Drive ») et d'un PMOS de charge (LD pour « Load »). Les deux derniers transistors de la cellule sont les transistors d'accès (AC pour « Access ») qui permettent de lire et écrire l'information grâce aux connections WL (pour « Word Line »), BLL et BRR (pour « Bit Line Left » et « Bit Line Right »). Les noeuds L et R de la cellule permettent le stockage du bit sous forme de 0 ou 1.

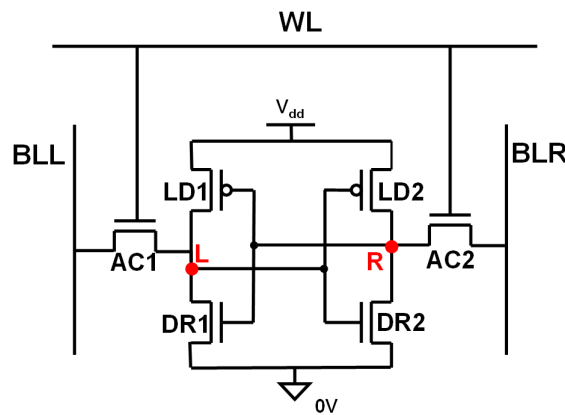


FIGURE 4.1 – Schéma d'une cellule SRAM à 6 transistors

4.2.1.2 Fonctionnement d'une cellule SRAM

La cellule SRAM possède trois modes de fonctionnement :

- Le mode Rétention dans lequel une information a été stockée dans un des nœuds de la cellule mémoire. Par exemple, un « 1 » est stocké sur le nœud L et un « 0 » sur le nœud R. Cette information doit être conservée tant que l'alimentation V_{dd} des transistors est appliquée. Dans cette configuration, la Word Line n'est pas alimentée et les transistors d'accès AC1 et AC2 sont donc bloqués.

- Le mode de Lecture dans lequel on cherche à lire l'information stockée dans la cellule. La Word Line est alimentée et les transistors d'accès AC1 et AC2 sont passants. L'information stockée dans un des nœuds de la cellule peut être lue par l'intermédiaire des Bit Lines. L'information stockée dans le nœud L est lue par la BLL et l'information stockée dans le nœud R par la BLR.

- Le mode d'Ecriture dans lequel on cherche à encoder une information dans la cellule. La Word Line est alimentée à V_{dd} , les transistors d'accès sont passants et l'information peut être écrite par l'intermédiaire des Bit Lines.

Les performances des cellules dans ces différents modes de fonctionnement sont mesurées par des paramètres électriques.

Le paramètre le plus communément étudié lors de l'étude de cellules SRAM est sa stabilité en lecture, ou SNM (pour Static Noise Margin). C'est la capacité de la cellule à conserver l'information qui est stockée dans ses nœuds quand on cherche à lire cette donnée. Lors de la lecture, la WL est polarisée à V_{dd} , les deux transistors d'accès sont alors en régime de saturation et sont passants.

La caractéristique électrique SNM de la mémoire correspond donc à la tension minimale sur les nœuds L et R qui entraîne un changement de l'état logique de la cellule. Pour extraire la SNM, on applique des rampes de tensions sur les nœuds L et R afin de tracer les courbes $V_R(V_L)$ et $V_L(V_R)$. En superposant ces courbes l'une sur l'autre (en prenant soin de remplacer l'une des deux par sa symétrie par rapport à la première bissectrice) on obtient la courbe appelée « courbe en papillon » [1] présentée sur la Figure 4.2.

Dans chaque lobe de la courbe, on place un carré aussi grand que possible. On extrait la taille du carré que l'on nomme SNML (pour le carré extrait en bas de la courbe papillon) et SNMH (pour le carré extrait en haut de la courbe papillon). La SNM est alors définie comme étant la valeur minimale entre SNML et SNMH :

$$SNM = \min [SNML; SNMH] \quad (4.1)$$

En conséquence, la donnée stockée dans la cellule ne peut pas être lue si la SNM est trop faible. Avec la réduction des dimensions des transistors, les sources de variabilité, dynamiques [2], [3] et statiques [4], [5], impactent de plus en plus la stabilité en lecture des cellules SRAM. Un circuit SRAM est jugé acceptable si le taux de défaillance est d'environ 10^{-11} (ce qui correspond à un circuit de 100Mb complètement fonctionnel) [6]. Ce taux est obtenu si le rapport entre

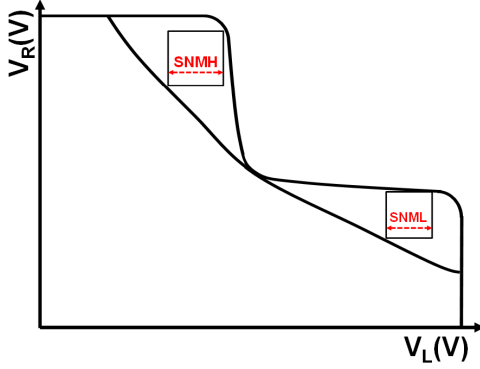


FIGURE 4.2 – Courbe papillon permettant d'extraire la SNM d'une cellule SRAM au travers de SNMH et SNML

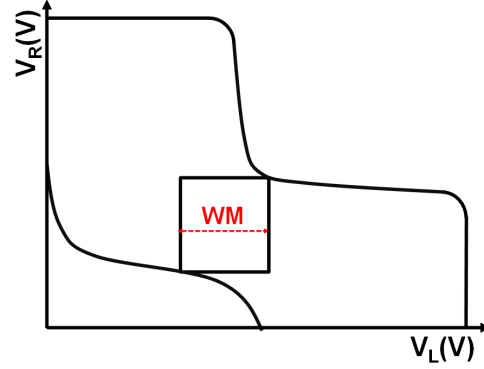


FIGURE 4.3 – Courbe caractéristique permettant d'extraire la marge en écriture WM d'une cellule SRAM

la $SNM/\sigma SNM$ est supérieur à 6 [7], c'est à dire que toutes les cellules mémoires ayant une déviation par rapport à la moyenne inférieure à 6σ sont considérées comme fonctionnelles. La tension minimale en lecture, $V_{Min,Read}$, est la tension V_{DD} minimale permettant de maintenir le ratio $SNM/\sigma SNM$ égal à 6 [8].

La SRAM possède également un paramètre témoignant de la stabilité du mode de rétention de la cellule, noté RNM (pour Retention Noise Margin). On l'extraît en suivant la même démarche que pour la SNM à la différence que la Word Line est polarisée à 0V. La RNM est maximale quand les tensions de seuil des transistors PMOS et NMOS sont équilibrées. La tension minimale d'alimentation correspondante, $V_{Min,Hold}$ est la tension V_{dd} permettant de maintenir le ratio $RNM/\sigma RNM$ égal à 6. Elle est toujours plus faible que $V_{Min,Read}$. Pour cette raison, ce paramètre est peu étudié dans les analyses de fonctionnalité des cellules SRAM [6].

Enfin, le critère permettant d'évaluer le dernier mode de fonctionnement de la cellule est la stabilité en écriture, WM (pour Write Margin). Il correspond à la différence de tension minimale entre les deux Bit Lines, BLL et BRR, nécessaire pour faire basculer la cellule mémoire. Si l'on considère qu'un « 1 » est stocké en L et un « 0 » en R, pour écrire la cellule on fixe un « 0 » sur BLL et un « 1 » sur BLR, l'opération d'écriture est effectuée lorsque la cellule bascule. En reprenant le formalisme utilisé pour les « courbes en papillon », la courbe caractéristique est donnée sur la Figure 4.3. La marge en écriture est donnée par le plus petit carré positionnable entre les deux courbes. En pratique, ce paramètre est aussi très important à contrôler, d'autant plus que chercher à optimiser la SNM se fait en contrepartie de la WM et vice-versa [9]. Cependant, en pratique, on préférera souvent optimiser les cellules pour la SNM en termes d'ajustement de V_T car la WM peut être améliorée par des techniques d'optimisation de l'écriture (ou « Write Assist ») qui ne dégrade pas la SNM [10], [11].

4.2.2 Effet de la variabilité et de la dégradation BTI sur une cellule SRAM

La réduction des dimensions a entraîné de très fortes contraintes, du point de vue de la fiabilité et de la variabilité, sur les transistors unitaires et, a fortiori, sur les cellules SRAM. La variabilité statique, dans un premier temps, joue un rôle prépondérant dans la conception des cellules SRAM et apparaît aujourd'hui comme un véritable enjeu de la micro-électronique

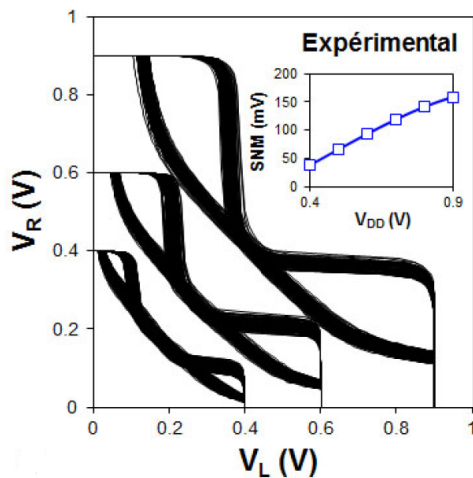


FIGURE 4.4 – Courbes papillons obtenues sur des dispositifs FDSOI pour plusieurs tensions d'alimentation [12]. (Encart) valeur moyenne de la SNM en fonction de V_{dd}

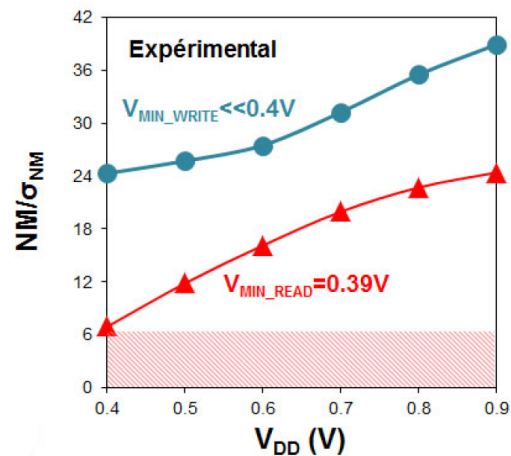


FIGURE 4.5 – Ratios SNM/σSNM et WM/σWM permettant d'extraire les tensions minimum de lecture et d'écriture de cellules SRAM [12]

future. Les contraintes liées aux sources de variabilité statique rendent la conception de circuits SRAM fonctionnels une opération complexe. La marge prise sur les tensions d'alimentation est de plus en plus faible.

Parallèlement, la dégradation BTI n'a cessé de prendre de l'ampleur et ajoute aujourd'hui un paramètre supplémentaire à considérer lors de la conception de circuit SRAM. La dégradation BTI doit donc être attentivement étudiée pour permettre de prédire efficacement le fonctionnement de circuits SRAM à 10 ans. On présente ici rapidement comment les variabilités statiques et dynamiques affectent les performances en lecture des cellules SRAM.

4.2.2.1 Effet de la variabilité sur les cellules SRAM

De nombreuses études portant sur la variabilité statique et sur ses effets sur les cellules SRAM ont déjà été effectuées [12], [13]. Un exemple de l'influence de la variabilité statique est donné sur la Figure 4.4.

La variabilité statique au niveau des transistors entraîne une variabilité de la SNM des cellules (au travers de la variabilité de SNML et SNMH). Cette variabilité augmente clairement avec la diminution de la tension d'alimentation. Ce résultat illustre bien un des enjeux de la micro électronique à savoir la réduction des tensions d'alimentation. Ces mesures, effectuées sur des dispositifs FDSOI du CEA LETI, montrent un très bon contrôle de la variabilité statique. En effet, on est capable de mesurer la SNM des transistors jusqu'à des tensions d'alimentation de l'ordre de 0.4V.

La Figure 4.5 donne les ratios SNM/σSNM et WM/σWM permettant d'extraire les tensions minimales d'alimentation, qui sont atteintes lorsque le ratio est égal à 6. On voit que, sur ces cellules, la tension minimale de lecture est beaucoup plus critique que la tension minimale d'écriture ($V_{Min,Read} < V_{Min,Write}$).

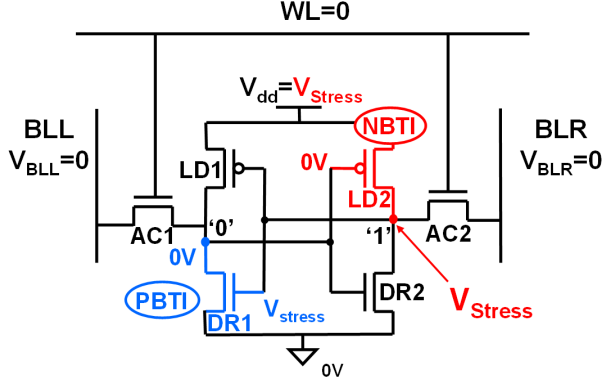


FIGURE 4.6 – Schéma d'une cellule SRAM en mode rétention. Le transistor DR1 est affecté par une dégradation PBTI et le transistor LD2 par une dégradation NBTI

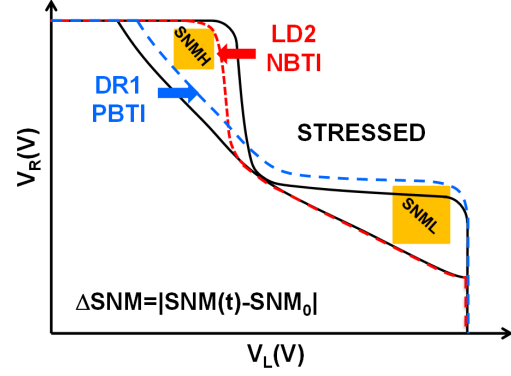


FIGURE 4.7 – Influence de la dégradation BTI sur la courbe papillon d'une cellule SRAM lorsque la cellule est en mode rétention (voir Figure 4.6)

4.2.2.2 Effet de la dégradation NBTI sur les cellules SRAM

La variabilité statique est un paramètre important à prendre en compte pour l'ajustement des tensions de seuil initiales des transistors. Cet ajustement est nécessaire pour obtenir les meilleures marges en écriture et en lecture possibles. Cependant, en plus de la variabilité statique, propre aux procédés de fabrication, il est important de considérer la variabilité dynamique. Cette variabilité va affecter les transistors au sein des différentes cellules et ainsi dégrader les performances des SRAM [14], [15].

Les phénomènes NBTI et PBTI vont dégrader les V_T des transistors au sein des cellules SRAM, dégradant ainsi les performances des cellules. Le pire cas, du point de vue de la cellule, se trouve quand la SRAM est en mode de rétention pour une longue durée. Dans ce cas, deux transistors de la cellule vont être constamment affectés par la dégradation BTI durant la période de rétention. La Figure 4.6 montre le cas où un « 1 » est stocké sur le nœud R et un « 0 » sur le nœud L.

Dans ce cas, pendant toute la durée de la rétention, le transistor DR1 est affecté par un stress PBTI et le transistor LD2 par un stress NBTI. La dégradation de ces deux transistors va affecter les performances globales de la cellule et influencer la SNM comme on peut le voir sur la Figure 4.7. La dégradation de la SNM avec le stress est calculée de la même façon que la dégradation du V_T des transistors :

$$\Delta SNM(t) = |SNM(t) - SNM(t = 0)| \quad (4.2)$$

Il est intéressant de noter que la dégradation BTI n'occasionne pas systématiquement une dégradation immédiate de la SNM. En effet, la Figure 4.7 montre que la SNMH est dégradée à la fois par le PBTI affectant le transistor DR1 et le NBTI affectant le transistor LD2. Toutefois, le NBTI n'affecte pas la SNML et le PBTI a tendance à l'améliorer. Par conséquent, si la SNMH était supérieur à SNML à l'état initial, un stress BTI de la cellule SRAM dans cette configuration aura d'abord tendance à améliorer la rétention de la SRAM.

Cet aspect est important et peut servir lors du design des cellules pour améliorer au mieux la durée de vie des cellules. Notamment pour faire en sorte qu'en début d'utilisation, la dégradation PBTI ne dégrade pas la stabilité en lecture des cellules mais l'améliore.

4.3 Évaluation de la dégradation d'une SRAM par simulations SPICE

Il existe plusieurs méthodes pour évaluer l'effet de la dégradation au niveau des dispositifs sur les performances d'un circuit tel qu'une SRAM. La première méthode, et la plus utilisée aujourd'hui, est celle qui consiste, dans un premier temps, à mesurer la dégradation sur des transistors individuels semblables à ceux utilisés dans la SRAM (semblables par la taille, le design, l'environnement ...). Dans un second temps, ces dégradations sont ensuite implémentées sur les transistors d'une cellule SRAM simulée via SPICE (pour Simulation Program with Integrated Circuit Emphasis). Grâce à cette combinaison entre les mesures et les simulations avec SPICE on est alors capable d'estimer la dégradation des cellules.

Cette technique est très utilisée car elle ne nécessite pas de SRAM « fonctionnelles ». Les mesures se font uniquement sur des transistors unitaires et la prédiction de la dégradation au niveau des cellules est donnée par des simulations. De ce fait, elle présente une certaine facilité d'utilisation. En effet, comme l'évaluation de la dégradation des cellules SRAM passe par la mesure de la dégradation au niveau de transistors unitaires, on peut réaliser les mesures de stress de la même façon que les stress DC BTI présentés dans le Chapitre 1, ou les stress AC BTI du Chapitre 2. Il n'y a donc pas de méthodologie de stress nouvelle à développer.

Les résultats détaillés dans cette partie ont été présentés à la conférence IRPS [16].

4.3.1 Caractérisation des paramètres électriques des transistors

Dans un premier temps il est donc important de caractériser la dégradation de nos dispositifs. On a choisi dans cette étude de se concentrer sur des dispositifs FDSOI présentant une forte sensibilité au piégeage rapide. Le point clé développé ici est que des mesures de dégradation BTI rapides sont nécessaires pour avoir une idée claire de la dégradation qui a lieu dans le circuit. Il est important d'évaluer le plus correctement possible cette dégradation afin d'estimer après le plus justement possible la dégradation des cellules SRAMs.

Étant donné que l'on ne stressera pas vraiment les dispositifs dans cette partie (faible tension de grille et température fixée à 25°C) on appellera V_{GON} la tension appliquée aux transistors lors du stress BTI. Le stress étudié ici sera uniquement de nature DC. On ne cherche pas ici à optimiser les durées de vie des dispositifs ou à être « au plus proche » des conditions de fonctionnement d'un circuit.

4.3.1.1 Caractérisation du V_T

Le premier paramètre que l'on cherche à caractériser est la variation du V_T des transistors. Comme expliqué dans le Chapitre 3, les faibles dimensions des dispositifs étudiés ici entraînent des études sur de larges populations de dispositifs. Les mesures réalisées dans cette partie portent donc sur un échantillonnage de ≈ 150 transistors.

Le premier point que l'on cherche à mettre en évidence est l'importance des mesures rapides pour caractériser correctement une quelconque variabilité dynamique. Ce point est d'autant plus

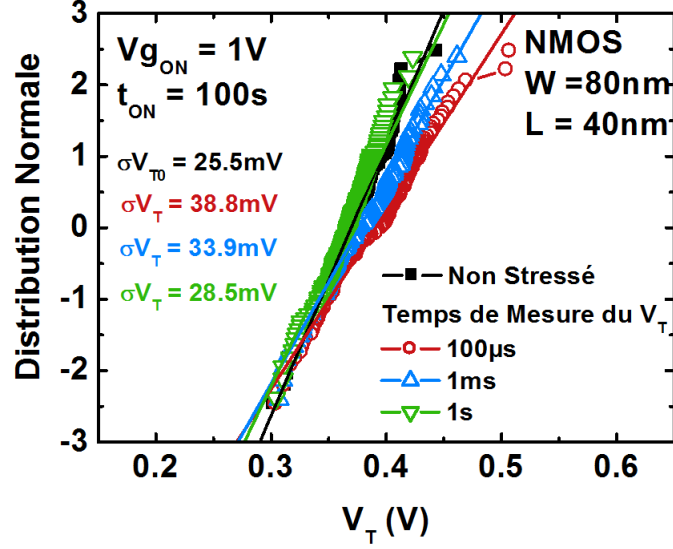


FIGURE 4.8 – Distributions de V_T mesurées après 100s à faibles tensions de stress $V_{g_{ON}}=1V$ sur une population de ≈ 150 transistors. Les temps de mesures du V_T des transistors lors du stress changent de $100\mu s$ (Noir et Rouge), $1ms$ (Bleu) et $1s$ (Vert). (Lignes) Loi normale

important que l'étude porte sur des dispositifs présentant une forte sensibilité aux phénomènes de piégeage/dé-piégeage. La Figure 4.8 montre des résultats de distributions de V_T obtenues en changeant les vitesses utilisées pour mesurer le V_T au cours d'un stress PBTI standard.

Lorsque les transistors NMOS sont mesurés suffisamment rapidement lors du stress PBTI, on est capable d'évaluer la variabilité dynamique rapide associée aux phénomènes de piégeage/dé-piégeage. En outre, les résultats montrent que si le temps de mesure du V_T est trop important, toute la variabilité dynamique se relaxe et tout se passe comme si aucune dégradation n'affectait nos transistors.

Il est important de noter que ce n'est pas ici la mesure qui induit cette variabilité dynamique. On pourrait penser que réduire les temps de mesure du V_T tendrait à augmenter artificiellement la variabilité. Ce serait le cas si les temps de mesures utilisés sortaient des spécifications de l'instrument utilisé. Le temps de mesure utilisé ici ($100\mu s$) est dans les spécifications de notre appareil de mesure et ne génère donc pas de variabilité supplémentaire propre à la mesure en elle même.

La Figure 4.8 montre également que cette variabilité dynamique a un effet non négligeable sur les performances électriques des transistors. En effet, la variabilité des transistors (σV_T) et la dégradation moyenne (μV_T) sont toutes deux fortement dégradées si l'on considère les faibles valeurs de stress appliquées aux dispositifs ($V_{g_{ON}}=1V$).

Il est de ce fait intéressant de caractériser cette variabilité dynamique pour plusieurs tensions de stress. En effet, cette dégradation étant liée au piégeage de porteurs, la réduction des tensions de stress devrait réduire le nombre de pièges remplis lors du stress. La Figure 4.9 montre les distributions de V_T pour quatre tensions de stress obtenues sur des transistors NMOS et PMOS.

La variabilité mesurée sur les transistors PMOS est bien inférieure à celle mesurée sur les transistors NMOS. Cette différence vient en grande partie des tensions de seuil initiales des transistors PMOS qui sont bien plus élevées que celles des transistors NMOS. De ce fait, les

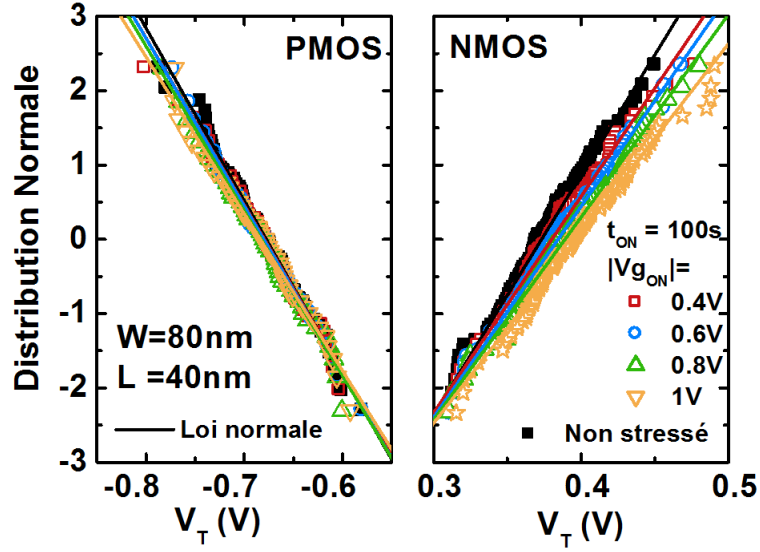


FIGURE 4.9 – Distributions de V_T mesurées à avant stress (Noir) et après 100s de stress à faibles tensions de stress $V_{g_{ON}}=0.4V$ (Rouge), $0.6V$ (Bleu), $0.8V$ (Vert), $1V$ (Ocre) pour des transistors NMOS (Gauche) et des transistors PMOS (Droite). (Lignes) Loi normale

stress vus par les dispositifs NMOS sont plus importants que ceux vus par les PMOS.

En pratique, on cherche souvent à comparer la dégradation des transistors à même champ électrique. Ici, cependant, on souhaite caractériser la dégradation des paramètres électriques des transistors quand ils fonctionnent en conditions de circuit, c'est à dire quand ils voient une tension d'alimentation constante. Pour cette raison, on caractérise cette dégradation à tension de stress fixe et non pas à champ fixe.

La variabilité dynamique mesurée sur les NMOS diminue avec la diminution de $V_{g_{ON}}$. A l'inverse, on voit que, à la fois μV_T et σV_T sont dégradés lorsque $V_{g_{ON}}$ augmente. Ce résultat est une bonne nouvelle car il indique que la réduction des tensions d'alimentation visée par l'industrie de la micro-électronique « va dans le bon sens », c'est à dire que la diminution des tensions d'alimentation entraîne la diminution de cette variabilité dynamique.

Par la suite on se concentrera principalement sur la caractérisation de la variabilité dynamique des NMOS étant donné que celle des PMOS évolue très peu avec le temps et la tension de stress.

4.3.1.2 Caractérisation du ΔV_T

On cherche maintenant à caractériser la dégradation du V_T , i.e. le ΔV_T . On a montré dans le Chapitre 3 que la dégradation du ΔV_T sur des transistors de petites tailles n'était pas aussi simple à modéliser que sur des transistors de grandes tailles. La Figure 4.10 montre les distributions de ΔV_T obtenues sur les transistors NMOS.

On remarque tout d'abord que les distributions obtenues aux quatre tensions de stress dévient clairement de la loi normale. De plus, il est intéressant de remarquer que les dégradations de μV_T et de σV_T avec le stress, qui semblaient relativement faibles sur la Figure 4.9, entraînent en fait des décalages de V_T non négligeables. Sur ces mesures, les décalages de tensions de seuil

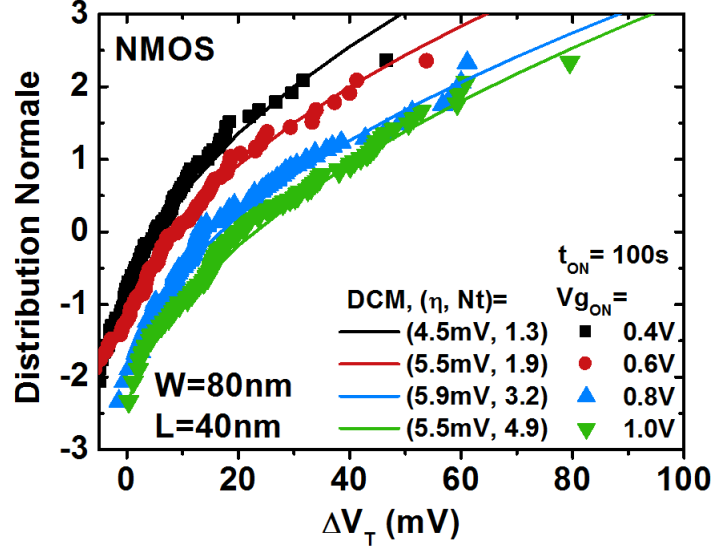


FIGURE 4.10 – Distributions de ΔV_T obtenues après 100s de stress à faibles tensions de stress $V_{g_{ON}}=0.4V$ (Noir), $0.6V$ (Rouge), $0.8V$ (Bleu), $1V$ (Vert) pour des transistors NMOS. (Lignes) DCM utilisé pour décrire la dégradation

peuvent même atteindre jusqu'à $80mV$ (pour $1V$ de stress pendant $100s$).

Les descriptions des distributions sont réalisées ici en utilisant le DCM, plus amplement détaillé dans le Chapitre 3. Le DCM permet une très bonne description des distributions de ΔV_T mesurées. Par ailleurs, les paramètres extraits par le DCM, (Nt, η) sont intéressants. En effet, le nombre de pièges chargés lors du stress augmente avec $V_{g_{ON}}$, ce qui prouve que plus de pièges sont remplis quand les dispositifs sont plus fortement stressés. En revanche, l'impact des pièges semble indépendant de la tension de stress : on extrait $\eta \approx 5.5mV$ pour toutes les tensions de stress, on attribue les fluctuations des valeurs extraites à l'échantillonnage qui est peut être trop faible (150 dispositifs). Ce résultat montre que les pièges remplis lors du stress sont tous identiques quelle que soit la tension de stress, ils ont tous le même impact sur le V_T des transistors.

4.3.1.3 Caractérisation du ΔGm

Étant donné que l'on réalise des caractéristiques Id-Vg complètes lors des phases de mesures dans le stress BTI, il est possible de caractériser la dégradation des paramètres Gm et du courant de drain Id . Lorsqu'on mesure la dégradation de ces paramètres en régime linéaire (i.e. à $V_{d_{mes}}=0.1V$), on les notera $Gm_{max,lin}$ et Id_{lin} . Lorsque les paramètres seront mesurés en régime de saturation (i.e. à $V_{d_{mes}}=1V$), on les notera $Gm_{max,sat}$ et Id_{sat} .

Dans cette partie, on se penche donc sur un aspect peu regardé dans les études de fiabilité des cellules SRAM en général : l'influence de la dégradation BTI sur la transconductance Gm des transistors et, plus particulièrement, comment la dégradation de Gm influence le fonctionnement des cellules SRAM. Cette dégradation est non-négligeable, la Figure 4.11 montre la variation de Gm mesurée sur un transistor unique au cours du stress et de la relaxation.

On voit une claire dégradation de la transconductance du transistor au cours du stress

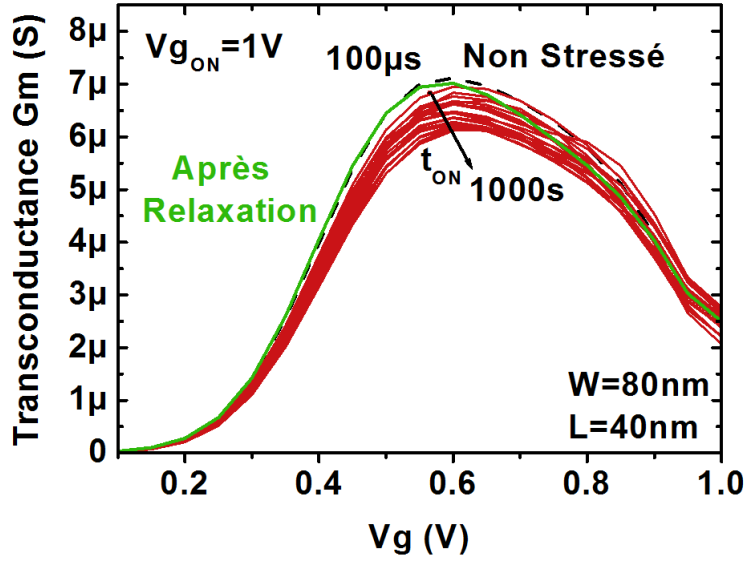


FIGURE 4.11 – Transconductance mesurée avant (Noir) et au cours (Rouge) d'un stress PBTI à $V_{gON}=1V$ pendant 1000s. La transconductance après relaxation est également mesurée (Vert)

PBTI. On remarque aussi que, comme pour la variabilité dynamique du V_T , la transconductance revient à son niveau pré-stress après une période de relaxation. Caractériser cette dégradation est important pour évaluer au mieux l'influence de la dégradation BTI sur le fonctionnement des cellules SRAM. De la même façon que pour les études de la dégradation du V_T et du ΔV_T , on procède à des mesures statistiques pour caractériser la dégradation de G_m et ΔG_m . La Figure 4.12 montre les distributions du maximum de G_m en régime linéaire ($V_d=100mV$), $G_{m_{max,lin}}$, et également les distributions de dégradations de G_m , $\Delta G_{m_{max,lin}}$.

Un résultat notable est que, contrairement aux résultats obtenus sur les distributions de V_T et ΔV_T , à la fois les distributions de $G_{m_{max,lin}}$ et de $\Delta G_{m_{max,lin}}$ suivent une loi normale. La distribution de $G_{m_{max,lin}}$ est juste décalée d'une certaine valeur avec le temps de stress t_{ON} , il n'y a aucune dégradation de la variance de la distribution $\sigma G_{m_{max,lin}}$.

Il convient de noter que la dégradation de la transconductance des transistors est commune lors de dégradation de type NBTI où on associe la dégradation du V_T à une dégradation de l'interface et à un piégeage de charge dans l'oxyde. En revanche, on observe généralement peu de dégradation de G_m dans le cas de dégradation PBTI [17]. Le fait que l'on mesure une dégradation du G_m suite à un stress PBTI sur nos dispositifs peut indiquer un mauvais oxyde interfacial et donner une explication au piégeage rapide observé expérimentalement.

Cette dégradation du G_m influence aussi fortement les distributions du courant en régime linéaire ($V_{d_{mes}}=100mV$) et saturé ($V_{d_{mes}}=1V$), $I_{d_{lin}}$ et $I_{d_{sat}}$. La Figure 4.13 montre les nuages de points Ion-Ioff mesurés en régime linéaire et en régime saturé. L'influence de la dégradation du G_m et du V_T sur le courant est également reportée sur les deux Figures. Enfin, on a calculé la dégradation relative du courant et du G_m dans les deux régimes.

Les graphes montrent que cette dégradation du G_m a une très forte influence sur la dégradation du courant : elle compte même pour la majeure partie de la dégradation dans le régime linéaire et pour $\approx 50\%$ dans le régime saturé. En effet, sur les nuages Ion-Ioff, en régime linéaire, on voit que le nuage se décale principalement horizontalement (due à la dégradation de G_m)

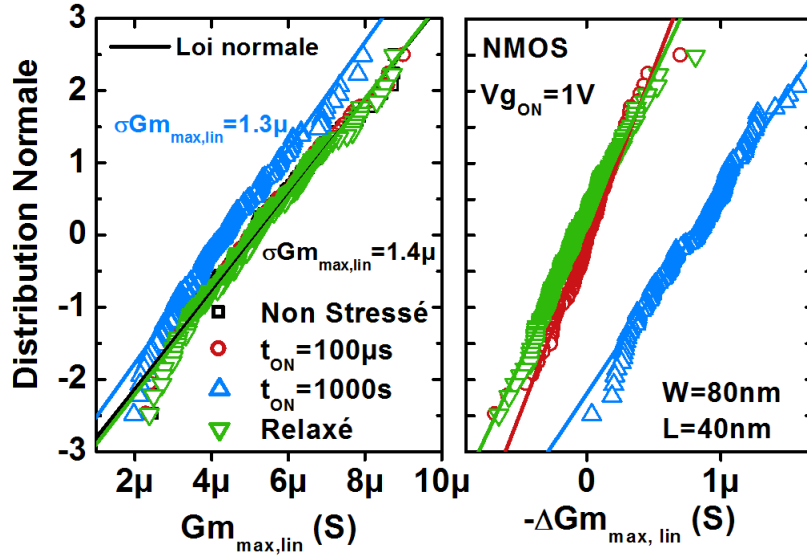


FIGURE 4.12 – (Symboles) Distributions du maximum de G_m mesurées en régime linéaire (Gauche) et de la dégradation du maximum de G_m en régime linéaire (Droite) au cours d'un stress PBTL. (Lignes) Loi normale

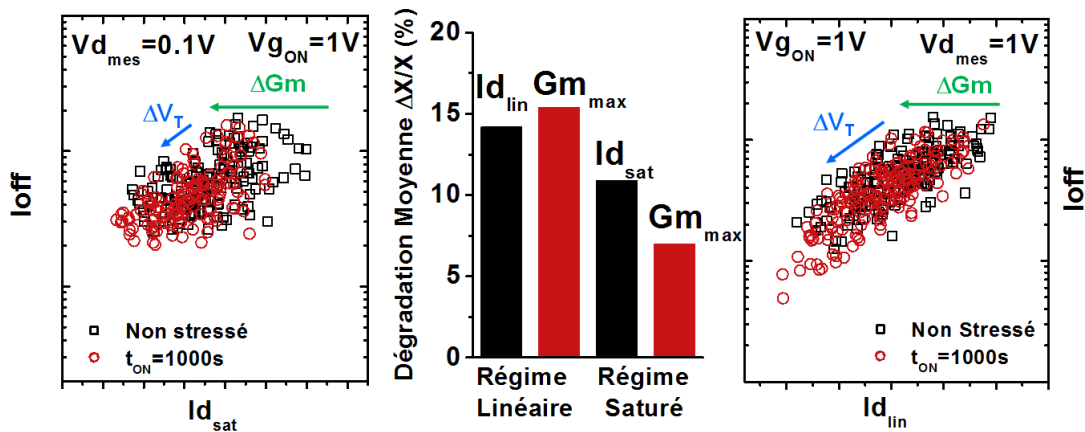


FIGURE 4.13 – Dégradation du courant lors d'un stress PBTL. Nuages Ion-Ioff mesurés avant et après stress en régime linéaire (Gauche) et saturé (Droite). (Milieu) Dégradation relative du courant et du maximum de G_m dans les régimes linéaire et saturé

et très peu diagonalement (comme c'est le cas lors d'une dégradation du V_T). Sur le nuage correspondant à la dégradation en régime saturé, le nuage se décale à la fois horizontalement et diagonalement indiquant ainsi qu'à la fois la dégradation V_T et de Gm influence la dégradation de $I_{d_{sat}}$.

4.3.2 Évaluation de la dégradation des cellules

La dégradation des paramètres électriques des transistors a été évaluée le plus correctement possible grâce à des mesures rapides. On a mesuré les dérives de V_T , Gm et I_d sur nos dispositifs au cours du stress pour plusieurs temps et tensions de stress. On cherche maintenant quel est l'impact de cette dégradation sur le fonctionnement de cellules SRAM.

4.3.2.1 Simulations SPICE

La méthode la plus utilisée pour savoir comment les dégradations mesurées au niveau des dispositifs vont avoir une influence sur un circuit tel qu'une SRAM est la simulation SPICE.

Les mesures réalisées sur les dispositifs nous ont permis d'extraire la variabilité initiale des transistors, μV_{T0} et σV_{T0} . On a vu également que la loi normale permettait de bien décrire les distributions de V_T . En utilisant ces résultats, on a réalisé des simulations SPICE Monte Carlo pour générer 4096 cellules SRAM basées sur cette variabilité statique. Les SRAM ainsi générées constituent les cellules non-stressées.

On cherche maintenant à savoir comment la variabilité dynamique affectant nos transistors va influencer le fonctionnement des cellules SRAM. Pour donner un cadre « réel » à notre étude, on considère qu'un bit est stocké dans nos cellules et que cette information a été conservée pendant un certain temps (qui correspond donc au temps de stress). On est dans une configuration où l'on veut maintenant lire ou écrire les cellules SRAM ayant été affectées par cette variabilité dynamique. Le temps de stress maximum considéré est $t_{ON}=100s$, qui est le temps maximal auquel on a mesuré la dégradation des transistors.

A partir des cellules non stressées générées grâce à la mesure de la variabilité statique, la variabilité dynamique mesurées aux quatre tensions de stress (0.4V, 0.6V, 0.8V et 1V) est ajoutée sur les deux transistors affectés par la dégradation BTI : LD1 et DR2. On distinguera ici deux cas particulier :

- **Cas 1** : On considère que les transistors LD1 et DR2 sont affectés uniquement par la variabilité dynamique du V_T
- **Cas 2** : On considère que les transistors LD1 et DR2 sont affectés par les variabilités dynamiques du V_T et du Gm

Nous avons choisi cette différenciation en deux cas pour évaluer s'il est important de considérer, ou non, la variabilité du Gm lors des études de fiabilité circuit. La Figure 4.14 montre un schéma résumant la méthodologie utilisée pour réaliser les simulations.

Cette méthodologie va permettre d'évaluer l'impact de cette variabilité dynamique du V_T et du Gm sur le fonctionnement d'un circuit de cellules SRAM.

4.3.2.2 Estimation d'une marge en Lecture et en Écriture

On réalise les simulations SPICE Monte Carlo dans les deux cas et pour les quatre tensions de stress. L'effet de la variabilité dynamique est ici caractérisé en terme d'effet sur les tensions

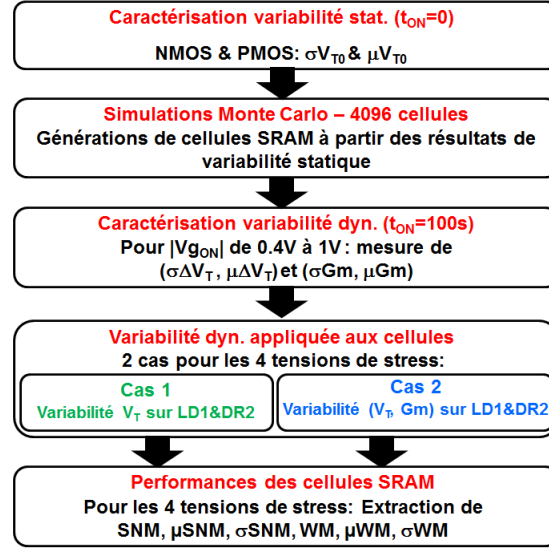


FIGURE 4.14 – Détail de la démarche pour prendre en compte la variabilité dynamique sur nos cellules SRAM via simulations SPICE Monte Carlo

minimales nécessaires pour lire et écrire les cellules : $V_{Min,Read}$ et $V_{Min,Write}$. La Figure 4.15 présente les ratios $\mu SNM/\sigma SNM$ et $\mu WM/\sigma WM$, tracés en fonction de V_{dd} , qui permettent d'extraire ces tensions minimales.

Il est maintenant possible de caractériser la dégradation de ces tensions minimales due à la variabilité dynamique, ΔV_{Min} définie par :

$$\Delta V_{Min,Read} = V_{Min,Read}(V_{gON}) - V_{Min,Read}(initial) \quad (4.3)$$

$$\Delta V_{Min,Write} = V_{Min,Write}(V_{gON}) - V_{Min,Write}(initial) \quad (4.4)$$

Les dégradations de ces tensions minimales dans les deux cas considérés et pour les quatre tensions de stress sont présentées sur la Figure 4.16.

On voit que la considération ou non de la variabilité dynamique du G_m n'a pas d'influence sur la dégradation de la tension minimale d'écriture. Toute la dégradation de $V_{Min,Write}$ est ici gouvernée par la dégradation de la tension de seuil V_T . Lorsque la tension de stress est égale à la tension d'alimentation, $V_{gON}=1V$, la marge à prendre à cause de la variabilité dynamique pour réaliser l'écriture des cellules est de $\approx 20mV$.

Si on regarde maintenant la dégradation de la tension minimale de lecture, on remarque cette fois que la considération de la variabilité du G_m a un effet important sur la dégradation de $V_{Min,Read}$. En effet, lorsque la tension est proche de V_{dd} , la dégradation de $V_{Min,Read}$ est de $\approx 10mV$ si l'on ne considère que la variabilité du V_T et est égale à $\approx 40mV$ si on considère les deux variabilités. Ce résultat montre l'importance que peut avoir la considération ou non de la dégradation du G_m sur le fonctionnement des cellules SRAM.

Le point important est que conserver une marge de $\approx 40mV$ serait suffisant pour écrire ou lire nos cellules sans problème dans notre cas. Cette marge est relativement élevée compte tenue du nombre assez restreint de simulations Monte-Carlo faites pour l'extraire (4096 cellules simulées).

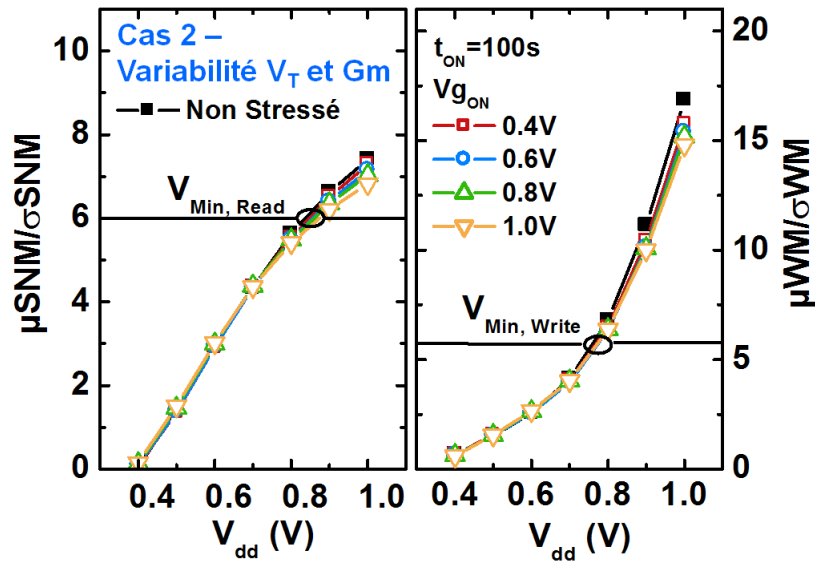


FIGURE 4.15 – Ratios μ_{SNM}/σ_{SNM} et μ_{WM}/σ_{WM} en fonction de V_{dd} pour le cas 2 : variabilité de V_T et de G_m appliquée à LD1 et DR2. Les tensions minimales de lecture et d'écriture sont extraites à un ratio $\mu/\sigma=6$

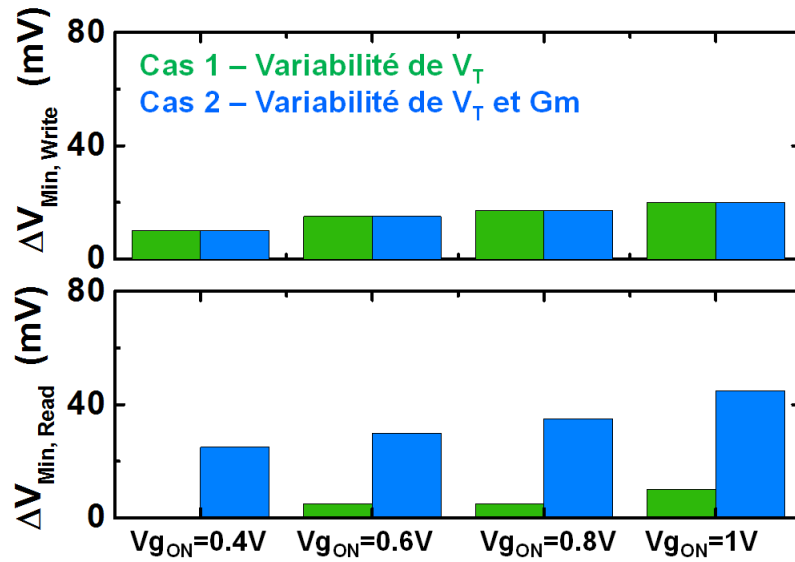


FIGURE 4.16 – Dégradation des tensions minimales de lecture et d'écriture pour les 4 tensions de stress et dans les deux cas de variabilité dynamique appliquée sur les transistors LD1 et DR2

Cependant, on notera que la marge est tout de même raisonnable compte tenu des dispositifs testés. En effet, on rappelle que ces transistors présentaient une très forte sensibilité au piégeage rapide. Certains transistors avaient même des ΔV_T allant jusqu'à 80mV pour 100s de stress à $V_{GON}=1V$ (comme on a pu le voir sur la Figure 4.10).

Il est aussi intéressant de noter que la marge nécessaire pour écrire et lire correctement les cellules a tendance à diminuer avec la tension de stress (i.e. la tension d'alimentation). Comme cela a déjà été dit précédemment, ce résultat est positif car il n'apparaît pas comme un frein à la réduction des tensions d'alimentation recherchée dans la micro électronique contemporaine.

4.4 Mesures BTI rapides de cellules SRAM

La mesure de la dégradation BTI au niveau des transistors unitaires et la simulation de l'impact de cette dégradation sur les performances d'une cellule SRAM grâce à des simulations SPICE est la première façon d'étudier l'effet du BTI sur les cellules SRAM. Cette méthode est la plus couramment utilisée car elle ne nécessite pas de mesures directes sur les transistors d'une cellule SRAM : la mesure sur des transistors unitaires, identiques à ceux de la cellule SRAM, suffisent pour calibrer les simulations SPICE. Cependant, la méthode comporte de ce fait plusieurs inconvénients. En particulier, on mesure rarement la dégradation des transistors dans leur environnement SRAM. En effet, les transistors d'une cellule sont dans un environnement particulier qui peut influencer les dégradations qui les affectent. De plus, on ne mesure pas directement la dégradation des paramètres de la SRAM : on mesure la dégradation des paramètres des transistors et on extrapole via SPICE la dégradation des paramètres de la SRAM. De ce fait, notre estimation dépend de la pertinence du modèle SPICE et de sa calibration.

Dans cette partie, on cherchera à caractériser directement la dégradation d'un paramètre électrique de la SRAM : sa stabilité en lecture, la SNM. Il est tout à fait possible d'effectuer un stress BTI des cellules SRAM et d'arrêter le stress pour mesurer la dégradation de la SNM avant de reprendre le stress. Cependant, les mesures de SNM classiques (i.e. en mesurant les courbes papillons) prennent plusieurs secondes, de ce fait la dégradation mesurée est grandement affectée par la relaxation des dispositifs. On pourrait penser à effectuer des mesures rapides de courbes papillons. Cependant, il est impossible de mesurer rapidement une tension en utilisant notre outil de mesure (seul le courant est mesurable rapidement).

En effet, comme expliqué lors de la présentation de la technique des courbes papillons, il est nécessaire de réaliser deux mesures pour construire la courbe papillon entière (une mesure $V_R(V_L)$ et une mesure $V_L(V_R)$). Le temps requis pour « switcher » entre les deux mesures et non négligeable et empêche de mesurer rapidement la stabilité en lecture des cellules avec cette technique.

Pour contourner ce problème, une technique de mesure rapide de la SNM (initialement proposée par Guo [18]) a été adaptée. Grâce à cette technique, on va être capable d'évaluer la dégradation de la stabilité en lecture par des mesures directes sur les cellules SRAM. Ces mesures ont aussi l'énorme avantage d'être rapides permettant ainsi de s'affranchir de l'essentiel des phénomènes de relaxation BTI.

Dans cette étude, on se concentrera uniquement sur la dégradation du V_T des transistors de la cellule. En particulier, on négligera la dégradation du Gm sur nos dispositifs. En effet, on considère que la technologie testée ici est plus « stable » que celle testée dans l'étude précédente. On montrera plus tard que ce choix est justifié.

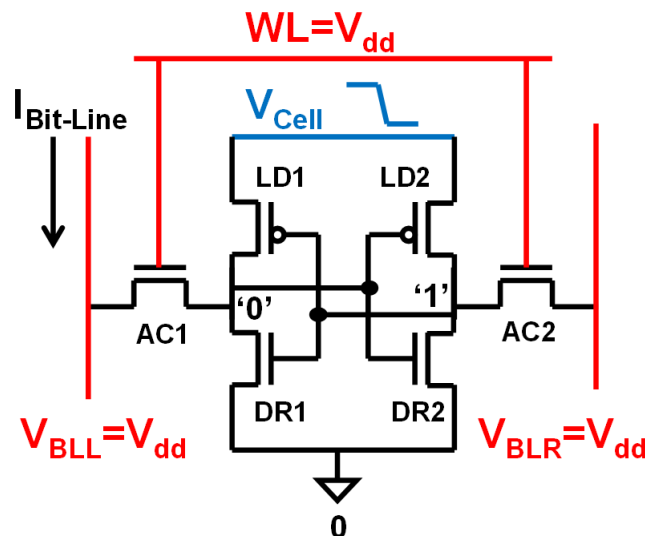


FIGURE 4.17 – Schéma de la configuration utilisée pour mesurer la $SRRV^L$ d'une cellule SRAM

Les résultats détaillés dans cette partie ont été publiés dans le journal TED [19] et présentés aux conférences ICMTS [20] et VLSI [21].

4.4.1 Mesures rapides de la stabilité en lecture des cellules : technique SRRV

On présente dans cette partie une nouvelle technique de mesure proposée récemment par Z. Guo [18] la Supply Read Retention Voltage (ou SRRV). Au même titre que les courbes papillons, cette technique permet de mesurer la stabilité en lecture des cellules SRAM. Cependant, l'avantage principal de cette technique est que l'on mesure cette stabilité par des mesures de courant et non plus des mesures de tensions (comme c'est le cas pour les courbes papillons). On va donc pouvoir réaliser des mesures rapides directement sur des cellules SRAM.

4.4.1.1 Présentation de la technique SRRV

La SRRV d'une SRAM peut être définie comme la tension minimale d'alimentation requise pour que la cellule conserve son information. La Figure 4.17 présente la configuration utilisée pour caractériser la SRRV de cellules SRAM.

La cellule est tout d'abord initialisée à un état connu : par exemple un « 0 » sur le nœud L et un « 1 » sur le nœud R. Ensuite, les deux Bit-Line, BLL et BLR, et la Word-Line, WL, sont alimentées avec la tension d'alimentation, V_{dd} . Le courant de la Bit-Line, $I_{Bit-Line}$, du côté du nœud où est stocké le « 0 » est mesuré tandis que la tension d'alimentation de la cellule, V_{Cell} , est diminuée. Cette configuration de mesure est schématisée sur la Figure 4.18. On montre également une courbe de transfert caractéristique du courant $I_{Bit-Line}$ en fonction de V_{Cell} sur la Figure 4.19.

Le courant $I_{Bit-Line}$ décroît avec la diminution de V_{Cell} . A partir d'une certaine tension, appelée V_{Flip} , on mesure une brusque chute du courant correspondant au changement d'état de la cellule. Le courant alors mesuré sur la Bit-Line correspond au courant du transistor d'accès, AC1.

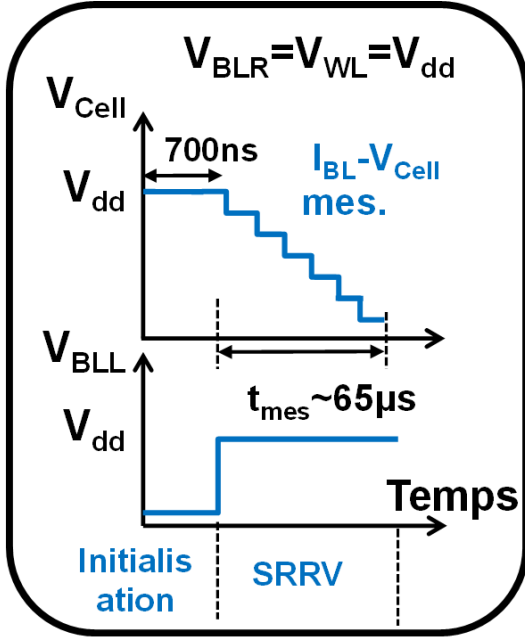
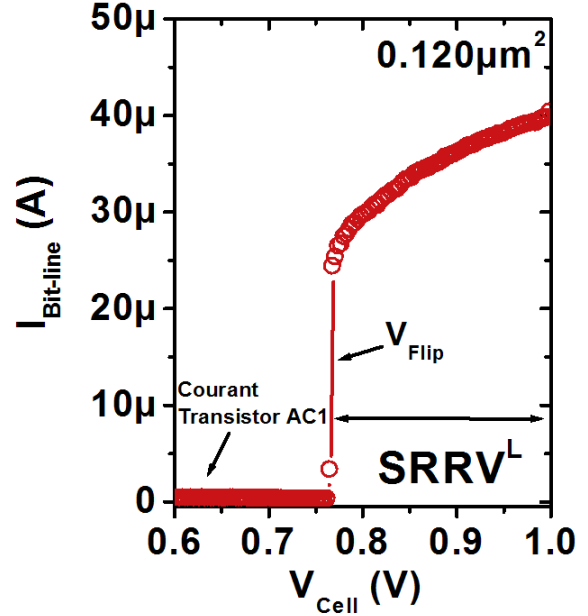


FIGURE 4.18 – Procédure décrivant la technique de mesure SRRV


 FIGURE 4.19 – Mesure de la courbe caractéristique $I_{Bit-Line}(V_{Cell})$

La différence $V_{dd} - V_{Flip}$ quantifie la SRRV de la SRAM quand un « 0 » est stocké sur le nœud L, on la notera donc $SRRV^L$. De la même façon, lorsque qu'un « 0 » est stocké sur le nœud R, la mesure du courant $I_{Bit-Line}$ du coté droit en fonction de V_{Cell} permet d'obtenir la $SRRV^R$. De façon analogue à la SNM, la SRRV de la cellule est obtenue en prenant le minimum entre $SRRV^L$ et $SRRV^R$.

$$SRRV = \min(SRRV^L, SRRV^R) \quad (4.5)$$

4.4.1.2 Reproductibilité de la méthode SRRV

Pour valider cette méthode de mesure et évaluer la reproductibilité de la technique, des caractéristiques de $I_{Bit-Line}(V_{Cell})$ sont effectuées sur une population de 50 cellules SRAM. L'expérience consiste à réaliser une cartographie de SRRV et de répéter cette cartographie plusieurs fois. Dans notre étude, 6 cartographies ont été réalisées et les distributions de SRRV obtenues dans chaque cartographie ont été reportées sur la Figure 4.20. Nous avons également mesuré la variabilité de la mesure de la SRRV sur une unique cellule, les résultats de ces mesures sur une unique cellule sont présentés en encart de la Figure 4.20.

Les résultats obtenus montrent que la variabilité moyenne pour extraire la tension V_{Flip} , et donc sur la SRRV des dispositifs, est inférieure à 5mV. De plus, sur une population totale de 50 cellules, les mesures de SRRV montrent une très bonne reproductibilité : toutes les distributions se superposent.

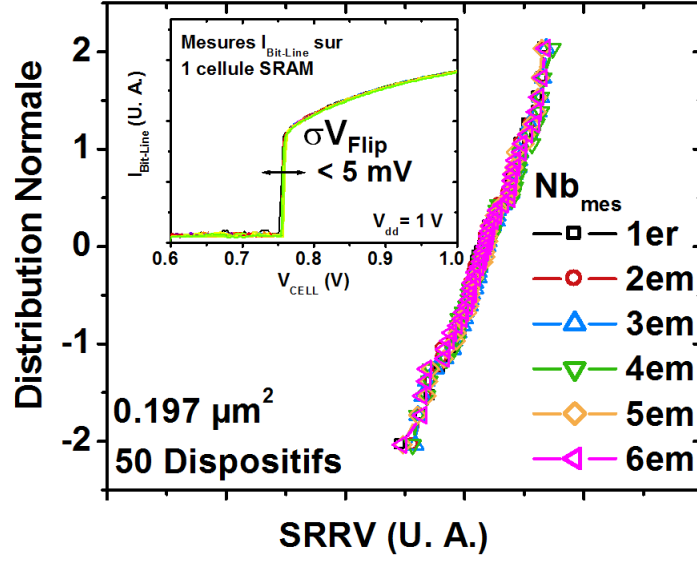


FIGURE 4.20 – Distributions de SRRV obtenues sur une population de 50 cellules SRAM. Les mêmes dispositifs ont été mesurés 6 fois. (Encart) Multiples mesures de SRRV répétées sur une unique cellule

4.4.1.3 Modèle UTSOI et mesures

La Figure 4.21 montre des courbes caractéristiques $I_{Bit-Line}(V_{Cell})$ obtenues sur 44 cellules SRAM de $0.120\mu m^2$. On a reporté également les résultats obtenus par simulations SPICE Monte Carlo en utilisant le modèle UTSOI [22].

Tout d'abord on observe que les simulations SPICE permettent de retrouver les valeurs de courant mesurées sur nos dispositifs (entre 30 et 40 μA). On remarque également que l'on observe une importante variabilité inter-cellules sur les courbes mesurées et que cette variabilité est, elle aussi, bien reproduite par les simulations SPICE. Cette importante variabilité provient en fait du désaccord, ou Mismatch, entre les tensions de seuil des transistors LD, DR et AC.

On montre par ailleurs que, lorsque l'on calibre bien le modèle avec les transistors mesurés directement au sein des cellules, on est capable de générer des distributions de SRRV qui décrivent très bien les résultats expérimentaux. On a ainsi un très bon accord entre les résultats de simulations SPICE Monte Carlo réalisées avec le modèle UTSOI et les mesures de SRRV effectuées directement sur les cellules comme on peut le voir sur la Figure 4.22.

Il est intéressant de noter que cette approche, si elle se base sur des mesures directes des cellules SRAM, utilise aussi les simulations SPICE. Celles-ci sont fondamentales pour évaluer notamment la dégradation sur de larges populations de cellules. Les mesures sont utilisées ici conjointement avec les simulations SPICE. Le modèle est calibré sur les transistors unitaires et on vérifie que les simulations donnant la SRRV des cellules sont correctes par des mesures directes de la SRRV de nos cellules. Une fois que le modèle est validé on pourra l'utiliser pour simuler le comportement de larges populations de cellules dans différentes conditions (différents V_{dd} , $V_{gStress}$, T ...).

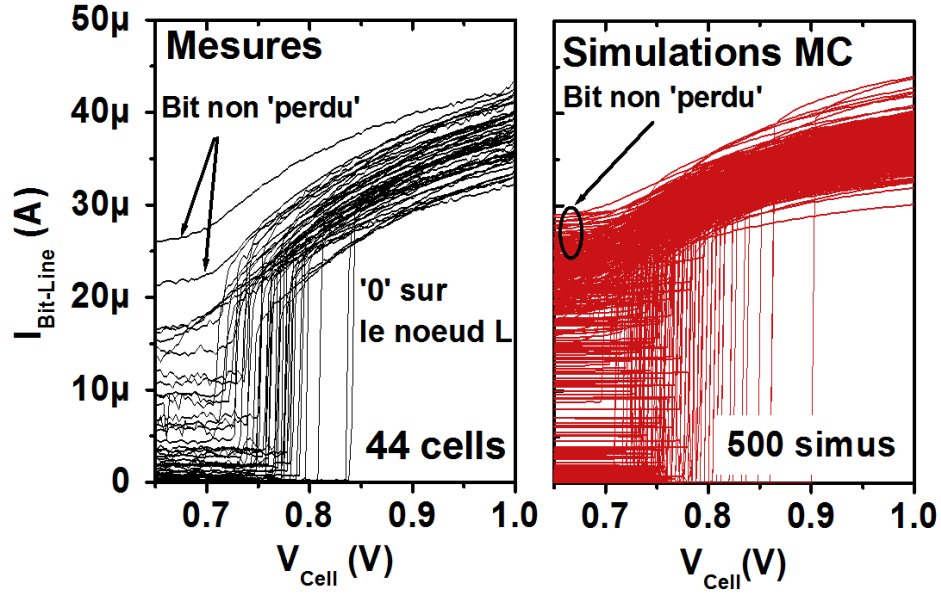


FIGURE 4.21 – Caractéristiques $I_{\text{Bit-Line}}(V_{\text{Cell}})$ mesurées sur des cellules SRAM de $0.120\mu\text{m}^2$ (Gauche) et simulée avec un modèle SPICE Monte Carlo UTSOI (Droite)

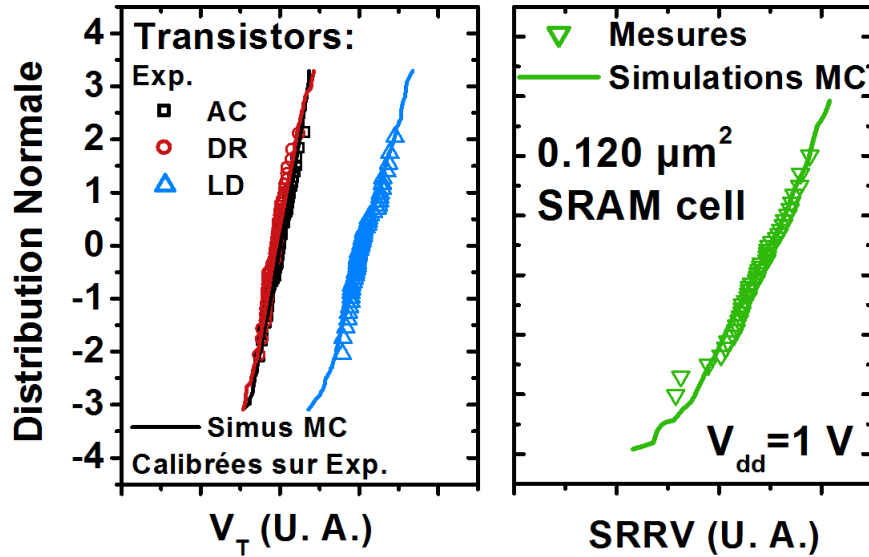


FIGURE 4.22 – (Gauche) Distribution de V_T mesurées des transistors LD, DR et AC. (Droite) Distribution de SRRV directement mesurées les cellules (Symboles) ou obtenue par simulations SPICE Monte Carlo (Lignes)

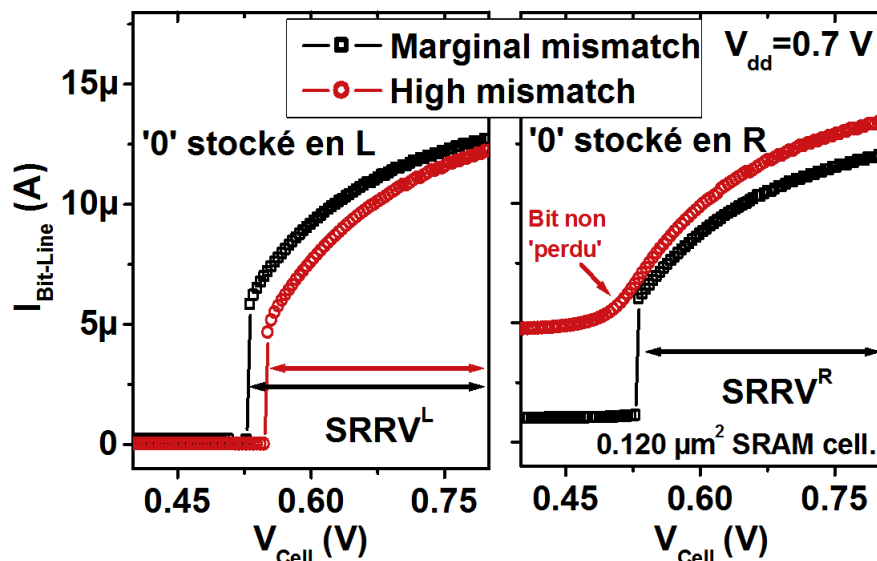


FIGURE 4.23 – Courbes de transfert $I_{\text{Bit-Line}}(V_{\text{Cell}})$ simulées pour deux cellules SRAM, l’une dans une configuration de Marginal Mismatch (Noire) et l’autre dans une configuration de High Mismatch (Rouge). (Gauche) Courbes mesurées quand un 0 est stocké sur le nœud L et (Droite) Courbes mesurées quand un 0 est stocké sur le nœud R

4.4.1.4 Marginal Mismatch et High Mismatch

La Figure 4.21 montre aussi des cellules qui ne présentaient pas de tension V_{Flip} malgré la diminution de V_{Cell} . Ce phénomène est une autre conséquence du Mismatch existant entre les différents transistors de la cellule. Il existe des configurations dans lesquelles des cellules ne « perdent » pas le bit stocké lors de la diminution de V_{Cell} . Ces cellules se caractérisent par une très bonne rétention du bit stocké sur un des deux nœuds mais une rétention plus mauvaise sur l’autre nœud. La Figure 4.23 illustre ce phénomène et montre les courbes de transfert $I_{\text{Bit-Line}}(V_{\text{Cell}})$ du côté L lorsqu’un « 0 » y est stocké et du côté R lorsqu’un « 0 » y est stocké dans le cas d’un Marginal Mismatch (MM) et d’un High Mismatch (HM) entre les V_T des transistors de la cellule.

On a donc deux possibilités quand on génère/mesure une cellule SRAM :

- (i) Si la cellule est dans une configuration de Marginal Mismatch, on mesure la SRRV sur les deux nœuds, L et R, et la SRRV finale est donnée par le minimum entre SRRV^L et SRRV^R .
- (ii) Si la cellule est dans une configuration de High Mismatch, seul un nœud de la cellule présentera une perte de la donnée stockée (par exemple le nœud L sur la Figure 4.23). L’autre nœud sera capable de garder la donnée quelle que soit la tension de V_{Cell} appliquée (le nœud R sur la Figure 4.23). Ainsi, sur l’exemple de la Figure 4.23 on a $\text{SRRV}^R > \text{SRRV}^L$. Au final, en pratique, la SRRV dans ce cas est donc donnée par le nœud où bascule la cellule et correspond effectivement au minimum entre SRRV^L et SRRV^R .

En conclusion, on peut dire que l’on est toujours capable de mesurer la SRRV sur une cellule SRAM, il suffit de séparer les cellules suivant leurs configurations (HM ou MM).

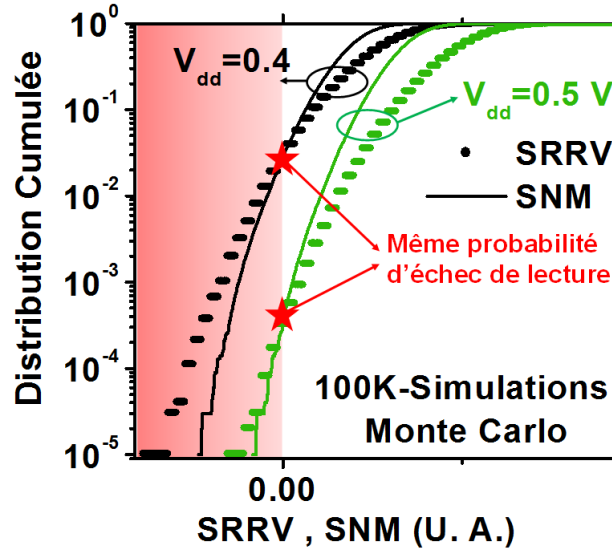


FIGURE 4.24 – Simulations Monte Carlo donnant les distributions cumulées des marges en écriture obtenues avec la méthode SRRV et avec les courbes papillons donnant la SNM classique. Deux tensions d'alimentation $V_{dd}=0.4V$ et $V_{dd}=0.5V$ sont utilisées pour les simulations

4.4.1.5 Comparaison entre SNM et SRRV

On se focalise depuis le début de cette partie sur la mesure de la stabilité en lecture grâce à la technique SRRV. Cependant, il est intéressant de savoir si cette technique donne la même stabilité en lecture que la technique classique à savoir celles des « courbes papillons » permettant d'obtenir la SNM classique.

La Figure 4.24 compare, grâce à des simulations Monte Carlo portant sur 100k cellules SRAM, les distributions cumulées de SNM standard et de SRRV pour deux tensions d'alimentation ($V_{dd}=0.4V$ et $V_{dd}=0.5V$).

Les deux distributions ne se superposent pas parfaitement néanmoins, on constate que, pour les deux tensions d'alimentation, les distributions cumulées de probabilité de la SRRV et de la SNM se croisent à l'endroit où la valeur de rétention est nulle. Cette valeur de rétention nulle est importante car c'est elle qui donne la probabilité d'échec en lecture des cellules d'une matrice SRAM. Le fait que cette valeur soit la même pour les deux techniques de mesures montre que la méthode SRRV est équivalente à la méthode des courbes papillons classiques pour obtenir la stabilité en lecture des cellules. Grâce à ces résultats, on en déduit que cette nouvelle technique peut être utilisée comme remplacement de la technique des courbes papillons.

4.4.2 Évaluation de la variabilité temporelle, due au BTI, des cellules SRAM

On a établi que la technique SRRV permet d'extraire la stabilité en lecture des cellules SRAM de la même façon que pour les courbes papillons classiques. En effet, la méthode permet des mesures rapides et ainsi de s'affranchir de la majeure partie des effets de relaxation. Dans cette partie on va donc chercher à stresser les cellules SRAM et mesurer la dégradation de la stabilité en lecture grâce à cette technique SRRV.

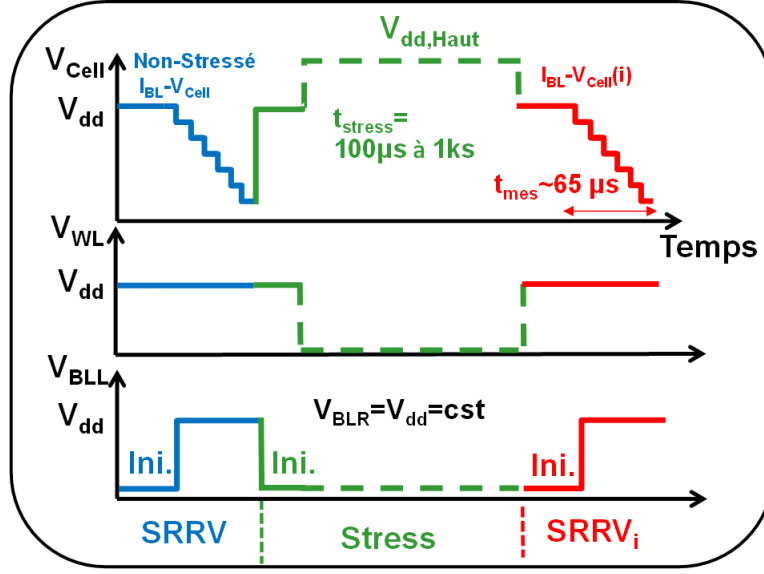


FIGURE 4.25 – Procédure de mesure de la dégradation de la SRRV lorsque la cellule est en mode de rétention

4.4.2.1 Méthodologie de stress des cellules

On va chercher à stresser des cellules SRAM dans les conditions de rétention de l'information. Les cellules se trouvent donc dans la configuration présentée sur la Figure 4.7 de la section 4.2.2.2. Pour caractériser la dégradation des cellules, une méthodologie de mesure a été mise en place et est présentée sur la Figure 4.25.

Pour caractériser la variabilité dynamique induite par la dégradation BTI, une procédure rapide de mesure/stress/mesure a été adoptée. Lors des phases de mesure, on réalise les caractéristiques $I_{Bit-Line}(V_{Cell})$ qui permettent d'extraire la SRRV. Lors des phases de stress, la tension V_{Cell} est maintenue à $V_{dd,Haut}$ pour accélérer la dégradation BTI des dispositifs. On mesure également la relaxation de la dégradation après la phase de stress en maintenant V_{Cell} à 0V. Les caractéristiques $I_{Bit-Line}(V_{Cell})$ complètes sont mesurées en $65\mu s$. Les temps de stress utilisés pourront aller de $100\mu s$ à $1ks$. On remarque aussi une courte période précédant chaque mesure de SRRV durant laquelle $V_{Cell}=V_{WL}=V_{dd}=1V$. Cette période dure $700ns$ et permet de réinitialiser la cellule avant chaque phase de mesure. En pratique, cela permet de réécrire le bit du même coté afin de continuer à stresser les mêmes transistors (DR1 et LD2 dans notre cas). Cette étape est nécessaire, car lors de la mesure de la SRRV au cours du stress, le bit stocké dans la cellule est perdue.

Grâce à cette technique, on est maintenant capable de mesurer la dégradation de la SRRV directement sur les cellules. La Figure 4.26 montre un exemple l'évolution des caractéristiques $I_{Bit-Line}(V_{Cell})$ mesurées au cours d'un stress à $V_{dd,Haut}$ et pendant la relaxation à 0V.

Sur cet exemple, on voit que lorsque les transistors sont en phase de stress (on applique sur la cellule $V_{Cell}=V_{dd,Haut}$) la SRRV globale de cellule diminue. Sur cette cellule, après 100s de stress, la SRRV a diminué de $\approx 100mV$ (la tension V_{Flip} passe de $0.85V$ à $0.95V$).

A l'inverse, lorsque la tension de la cellule est abaissée à 0V pour permettre aux transistors de la cellule de se relaxer, on observe une amélioration de la stabilité en lecture.

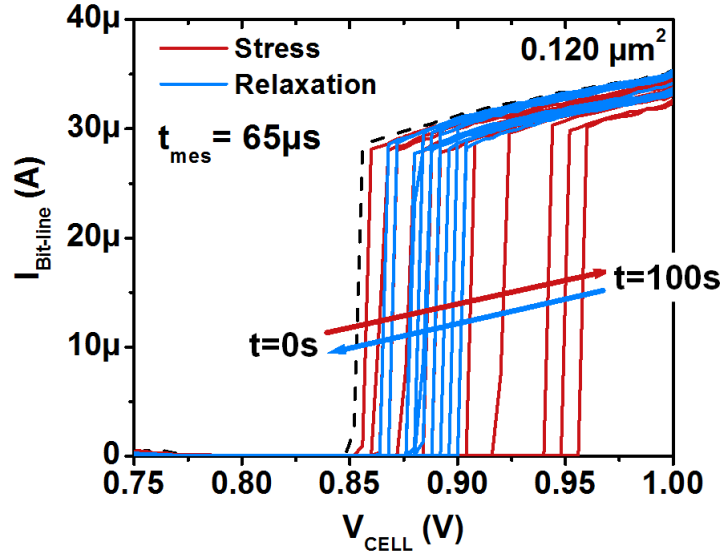


FIGURE 4.26 – Mesure de la dégradation et de la relaxation de la SRRV d’une cellule SRAM. Le temps de mesure de la courbe caractéristique complète est de $65\mu\text{s}$

En fait, tout se passe de la même façon que pour la dégradation du V_T sur des transistors unitaires : la stabilité de la cellule se dégrade lorsqu’on lui applique une tension de stress ($\Delta SRRV$ augmente) et la stabilité retourne vers sa valeur d’origine lorsque la tension appliquée sur la cellule est plus faible et que les transistors peuvent se relaxer (on a alors $\Delta SRRV$ qui diminue).

Enfin, de la même façon que pour les mesures effectuées sur des transistors de petites dimensions, la dégradation de la SRRV est sujette à une forte variabilité. De ce fait, identiquement aux études du ΔV_T réalisées sur de petits transistors, on effectuera des études statistiques de la dégradation de la SRRV.

4.4.2.2 Distribution de $\Delta SRRV$: Simulations et Mesures

Avant de réaliser des mesures statistiques de la dégradation de la SRRV au cours d’un stress BTI, on mesure la dégradation des différents transistors présents dans la cellule lors du stress. On se place dans la même configuration que celle utilisée dans la partie 4.3 : les cellules ont gardé l’information stockée pendant un certain temps. Pendant cette durée, les transistors DR1 et LD2 ont été affectés par la dégradation BTI.

Grâce à des accès, présents sur les structures de test, il a été possible de caractériser la dégradation des transistors DR1 (respectivement LD2) lors de stress PBTI (respectivement NBTI). On a donc pu mesurer ces transistors directement dans leur environnement de cellule SRAM. De ce fait, on a pu prendre en compte un quelconque effet dû à la densité des transistors dans les cellules. Les distributions de ΔV_T obtenues au cours du stress pour ces deux transistors ont déjà été présentées dans le Chapitre 3 et sont rappelées ici dans la Figure 4.27.

Les distributions de ΔV_T obtenues après NBTI pour LD2 et PBTI pour DR1 sont bien décrites par le DCM. On a donc un modèle qui permet de caractériser la dégradation des transistors des cellules SRAM au cours de la rétention. En utilisant ce modèle, couplé à des

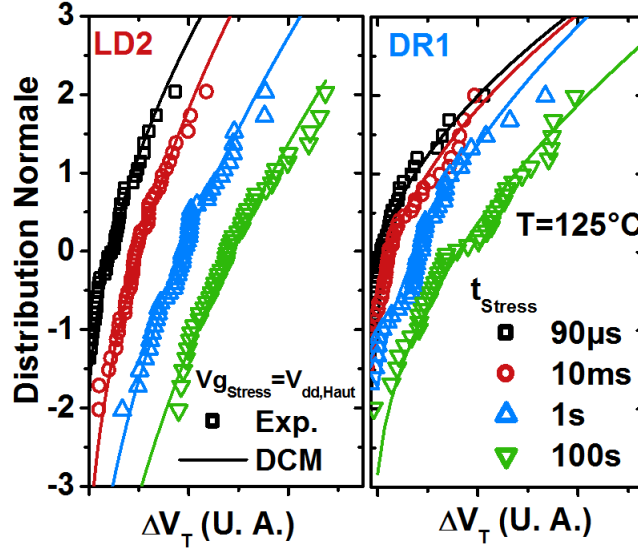


FIGURE 4.27 – (Symboles) Distributions de ΔV_T mesurées après dégradation NBTI sur les transistors LD2 et PBTI sur les transistors DR1. (Lignes) DCM utilisé pour décrire les distributions mesurées

simulations SPICE Monte Carlo, on va être capable de simuler la dégradation de la SRRV au cours de la rétention. La méthodologie utilisée pour simuler des distributions de $\Delta SRRV(t)$ est expliquée en détail sur le schéma de la Figure 4.28.

En utilisant cette démarche, on est capable de simuler la dégradation de la SRRV des cellules SRAM au cours du temps. Étant donné que l'on est aussi capable de mesurer la dégradation des SRAM au cours du temps, il est possible de comparer les résultats de simulations et de mesures. La Figure 4.29 présente les distributions de $\Delta SRRV(t)$ obtenues par mesure et par simulation au cours du stress et de la relaxation.

On s'intéresse tout d'abord au comportement général des cellules.

Tout d'abord, on voit que, comme on l'avait observé sur une cellule unitaire, la dégradation de la SRRV des cellules se comportent globalement comme la dégradation du V_T de transistors unitaires. En effet, on voit qu'avec l'augmentation du temps de stress, les paramètres $\mu\Delta SRRV$ et $\sigma\Delta SRRV$ augmentent. Inversement, lorsqu'on laisse les cellules se relaxer en appliquant une tension nulle sur V_{Cell} , la SRRV des cellules s'améliore ($\mu\Delta SRRV$ et $\sigma\Delta SRRV$ diminuent).

Sur la Figure 4.30 on a représenté l'évolution de ces paramètres lors du stress et de la relaxation.

On s'intéresse maintenant à la cohérence entre les mesures et les résultats de simulations Monte Carlo.

Pour les distributions obtenues au cours du stress, on peut voir un très bon accord entre les simulations SPICE Monte Carlo et les mesures sur toute la durée du stress. Pour la phase de relaxation, on observe un léger désaccord entre les mesures et les simulations pour les faibles valeurs de $\Delta SRRV$. Ce faible désaccord est attribué ici aux faibles valeurs de $\Delta SRRV$ mesurées ainsi qu'à l'échantillonnage utilisé pour les expériences qui est relativement faible (≈ 60 dispositifs).

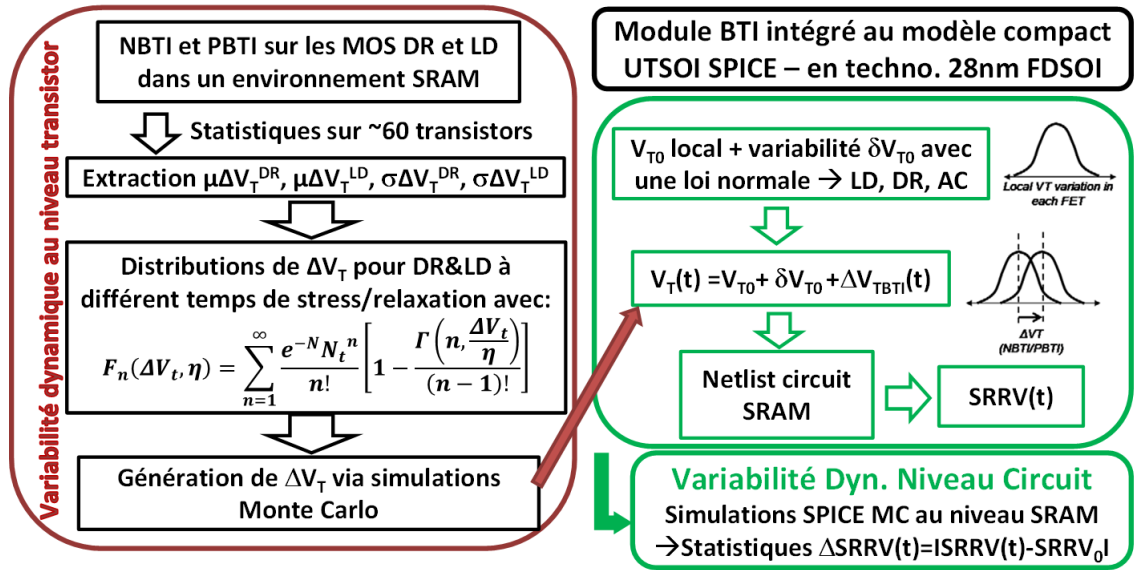


FIGURE 4.28 – Démarche utilisée pour simuler la variabilité dynamique des cellules SRAM. La dégradation des deux transistors affectés par le stress BTI est directement mesurée dans les cellules et caractérise la variabilité dynamique au niveau dispositif. L'extrapolation au niveau circuit est faite grâce au modèle SPICE UTB0I

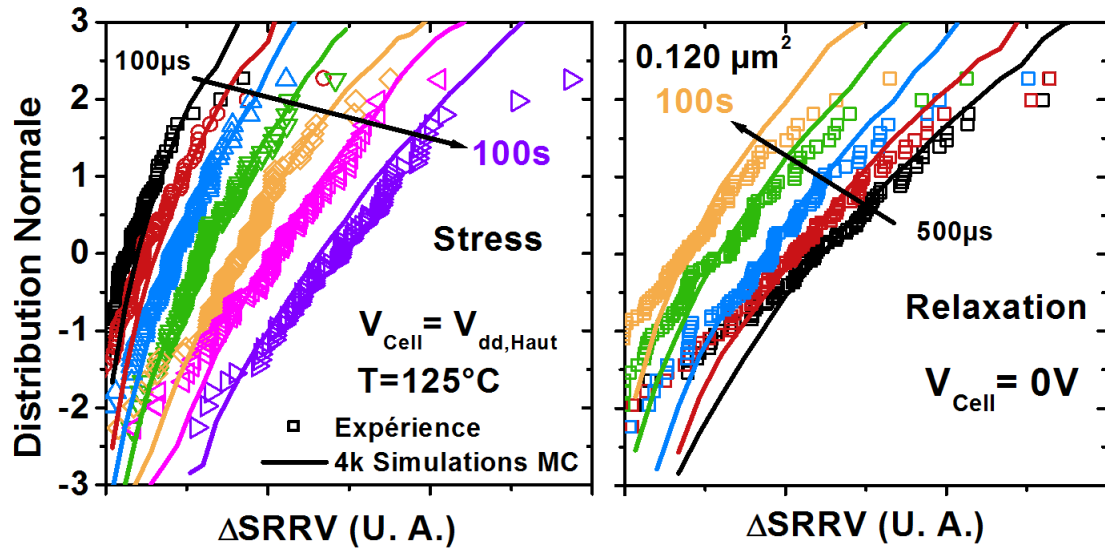


FIGURE 4.29 – (Symboles) Distributions de $\Delta SRRV$ au cours du stress et de la relaxation mesurées directement sur les cellules SRAM. (Lignes) Simulations Monte Carlo réalisées en suivant la démarche de la Figure 4.28

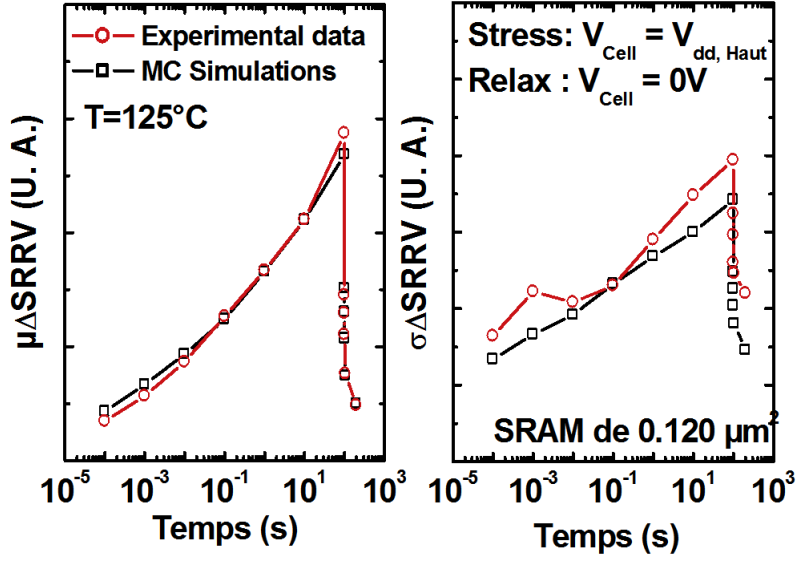


FIGURE 4.30 – Evolution des paramètres $\mu\Delta SRRV$ et $\sigma\Delta SRRV$ au cours du stress et de la relaxation des cellules SRAM

Néanmoins, on retiendra un très bon accord entre les simulations SPICE et les mesures.

Au passage, on confirme ici que négliger l'influence de la dégradation du Gm sur nos dispositifs était justifié. En effet, dans le modèle utilisé pour les simulations SPICE Monte Carlo, seule la dégradation du V_T est prise en compte pour obtenir la dégradation de la SRRV. De ce fait, le résultat obtenu sur la Figure 4.29, montrant un accord entre les simulations Monte Carlo et les mesures, implique que la dégradation du Gm des transistors de nos cellules est négligeable et n'influence pas la dégradation de la SRRV des cellules sur cette technologie 28nm FDSOI.

4.4.2.3 Distribution de $\Delta SRRV$: Modèle semi-analytique

On s'intéresse maintenant à la modélisation de la dégradation des cellules grâce à un modèle semi-analytique.

Il convient de rappeler que, dans le Chapitre 3, nous avons établi un modèle permettant de prédire/décrire la dégradation mesurée sur nos cellules à partir de la dégradation mesurée sur les transistors LD2 et DR1 des cellules : le DCM à 4 variables.

Pour fonctionner, le modèle nécessite quatre paramètres (Nt_{DR1} , η_{DR1} , Nt_{LD2} , η_{LD2}) qui sont obtenus lorsqu'on applique le DCM classique sur les transistors des cellules DR1 et LD2.

Outre ces quatre paramètres, le modèle nécessite les facteurs de couplage, α_{DR1} et α_{LD2} , qui donne le « poids » de la dégradation de chaque transistor sur la dégradation de la SRRV. Ces paramètres sont extraits sur la Figure 4.31 par des simulations SPICE.

Les paramètres de couplages pour les transistors affectés par la dégradation de la cellule lorsqu'elle est en mode de rétention α_{DR1} et α_{LD2} sont égaux à 0.844 et 0.432 respectivement.

On est maintenant capable d'utiliser le DCM à 4 variables aux différents temps de stress pour décrire la dégradation de nos cellules SRAM. Les résultats sont présentés sur la Figure 4.32.

On voit que le DCM à 4 variables permet de décrire assez bien la dégradation de nos cellules

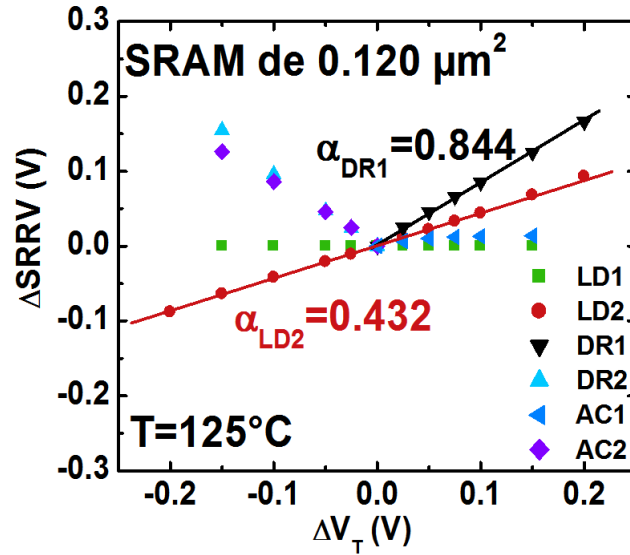


FIGURE 4.31 – Extraction des paramètres : α_{LD1} , α_{LD2} , α_{DR1} , α_{DR2} , α_{AC1} et α_{AC2} , donnant l'influence de la dégradation de chaque transistor de la cellule sur la dégradation de la SRRV

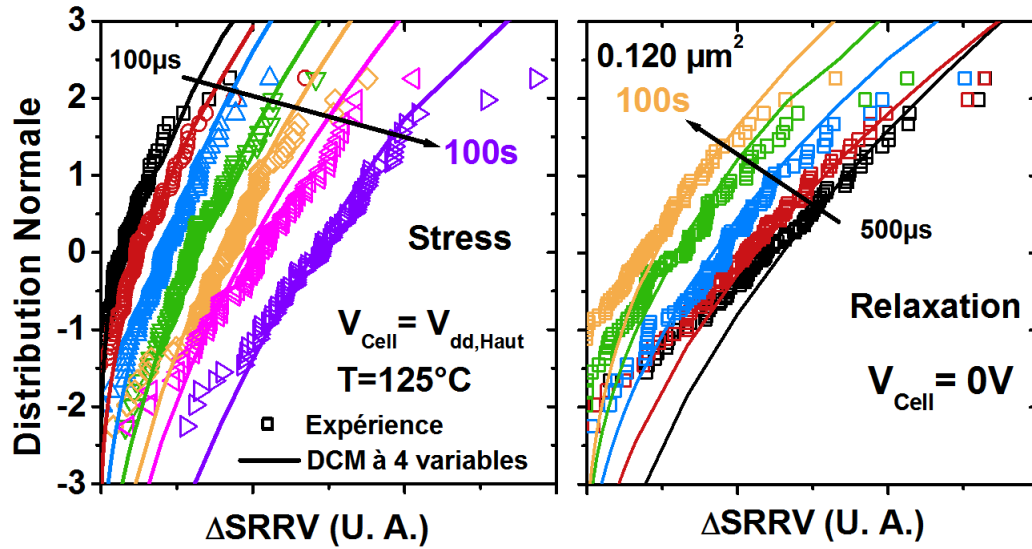


FIGURE 4.32 – (Symboles) Distributions de $\Delta SRRV$ au cours du stress et de la relaxation mesurées directement sur les cellules SRAM. (Lignes) DCM à 4 variables

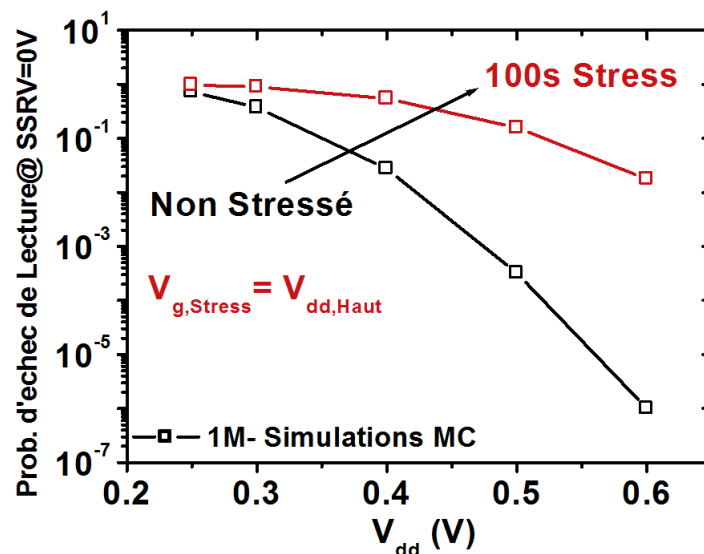


FIGURE 4.33 – Probabilité d’échec de lecture avant stress et après à $V_{dd,Haut}$ et 125°C obtenues après 10^6 simulations Monte Carlo

au cours du stress et de la relaxation. On verra par la suite qu’avoir un modèle semi-analytique est important pour estimer la dégradation de large matrice SRAM aux conditions normales de fonctionnement.

4.4.3 Influence de la dégradation sur la stabilité en lecture des cellules SRAM

On a vérifié que l’on était capable de mesurer et de simuler la dégradation de cellules SRAM. On va maintenant évaluer l’effet de cette dégradation sur la probabilité d’échec en lecture sur de large population de cellules.

4.4.3.1 Probabilité d’échec en lecture : simulations SPICE Monte Carlo

Dans un premier temps on cherche uniquement à évaluer l’impact de la dégradation BTI mesurée à 125°C et à $V_{dd,Haut}$ pendant 100s sur la probabilité d’échec en lecture. Dans la partie précédente, on a vu que les résultats obtenus par SPICE étaient représentatifs des résultats expérimentaux. En réalisant un grand nombre de simulations Monte Carlo, on cherche à estimer la probabilité d’avoir une erreur lors de la lecture d’une cellule. La Figure 4.33 montre les probabilités d’avoir une erreur en lecture en fonction de la tension d’alimentation pour des cellules non-stressées et pour des cellules ayant été soumises à un stress BTI.

La probabilité d’avoir une erreur lors de la lecture d’une cellule est obtenue par ratio entre les cellules ayant une SRRV positive et les cellules ayant une SRRV inférieure ou égale à 0.

On voit tout d’abord que la probabilité d’échec augmente à mesure que la tension d’alimentation diminue. Ce résultat est évidemment normal, plus la tension d’alimentation est basse plus il est difficile de lire la cellule.

On regarde maintenant l’effet du stress BTI sur la probabilité. Les simulations montrent

un fort impact du stress BTI sur la stabilité en lecture des cellules SRAM. Par exemple, si on considère la tension d'alimentation $V_{dd}=0.6V$, la probabilité d'être incapable de lire la cellule est de $\approx 10^{-6}$ pour des cellules non-stressées et est de $\approx 10^{-2}$ pour des cellules ayant été stressées.

Cette dégradation de la probabilité est importante. Elle est expliquée ici par les conditions extrêmes utilisées lors du stress BTI ($V_{Cell}=V_{dd,Haut}$, $T=125^\circ C$, $t_{Stress}=100s$) qui sont loin de représenter les conditions réelles. Dans la suite, on cherchera donc à évaluer la dégradation des cellules aux conditions normales de fonctionnement.

4.4.3.2 Évaluation de la dégradation aux conditions normales de fonctionnement

Pour évaluer au mieux l'impact de la dégradation BTI sur les cellules SRAM en condition de circuit, il faut revenir à des conditions normales de fonctionnement. On cherche également à évaluer la dégradation des cellules après 10 ans de fonctionnement dans ces conditions.

Dans le Chapitre 2, nous avons présenté un modèle permettant de décrire la dégradation aux différentes tensions et températures de stress et de donner une estimation de la dégradation à 10 ans : le modèle composite. Ce modèle va maintenant être utilisé pour évaluer la dégradation des transistors de nos cellules et ainsi obtenir leur dégradation dans les conditions de tension, températures et temps de fonctionnement qui nous intéressent.

Cependant, on ne peut appliquer directement le modèle composite pour évaluer la dégradation de nos dispositifs. En effet, il convient de rappeler que la dégradation sur des dispositifs de petites dimensions ne peut être déterminé simplement par les valeurs de $\mu\Delta V_T$ et $\sigma\Delta V_T$ (au sens où le ΔV_T des dispositifs ne suit pas une loi normale entièrement déterminée par $\mu\Delta V_T$ et $\sigma\Delta V_T$). Toutefois, on a montré dans le Chapitre 3 que le modèle Defect Centric permettait, grâce à ces mêmes paramètres, de donner une description correcte de la dégradation sur des dispositifs de petites dimensions.

Pour réaliser une étude de la dégradation des cellules SRAM aux conditions normales de fonctionnement nous avons choisi de procéder de la façon suivante :

1 - Le modèle composite est calibré sur des dispositifs de grandes dimensions afin d'extraire les constantes d'accélération en tension et en température. On considère que ces paramètres sont indépendants de la taille des dispositifs et pourront donc être conservés quand on utilisera le DCM sur des dispositifs de petites dimensions.

2 - On mesure la dégradation moyenne $\mu\Delta V_T$ et la variabilité de la dégradation $\sigma\Delta V_T$, des transistors de la SRAM affectés par le stress BTI. Grâce au DCM on extrait l'impact moyen des pièges sur le ΔV_T , η , dans nos dispositifs NMOS et PMOS. On a montré que ce paramètre était indépendant de la tension de stress considérée.

3 - Les dégradations moyennes mesurées sur les dispositifs de la SRAM sont décrites par le modèle composite. Le modèle décrit directement $\mu\Delta V_T$ tandis que la variabilité de la dégradation est décrite grâce à la formule $(\sigma\Delta V_T)^2 = 2 \cdot \eta \cdot \mu\Delta V_T$. Les dégradations moyennes mesurées sur les transistors LD2 et DR1 et les descriptions faites par le modèle composite sont données sur la Figure 4.34.

4 - On est maintenant capable d'évaluer les dégradations $\mu\Delta V_T$ et $\sigma\Delta V_T$ des transistors à n'importe quelle tension, temps de stress, température. De ce fait, on peut obtenir le couple de paramètres (Nt_{LD1}, η_{LD1}) et (Nt_{DR2}, η_{DR2}) et ainsi prédire la dégradation en utilisant les simulations SPICE Monte Carlo avec le modèle compact UTISOI (la démarche ayant déjà été montrée dans la Figure 4.28).

On voit sur la Figure 4.34 que le modèle composite permet d'assez bien décrire les dégradation

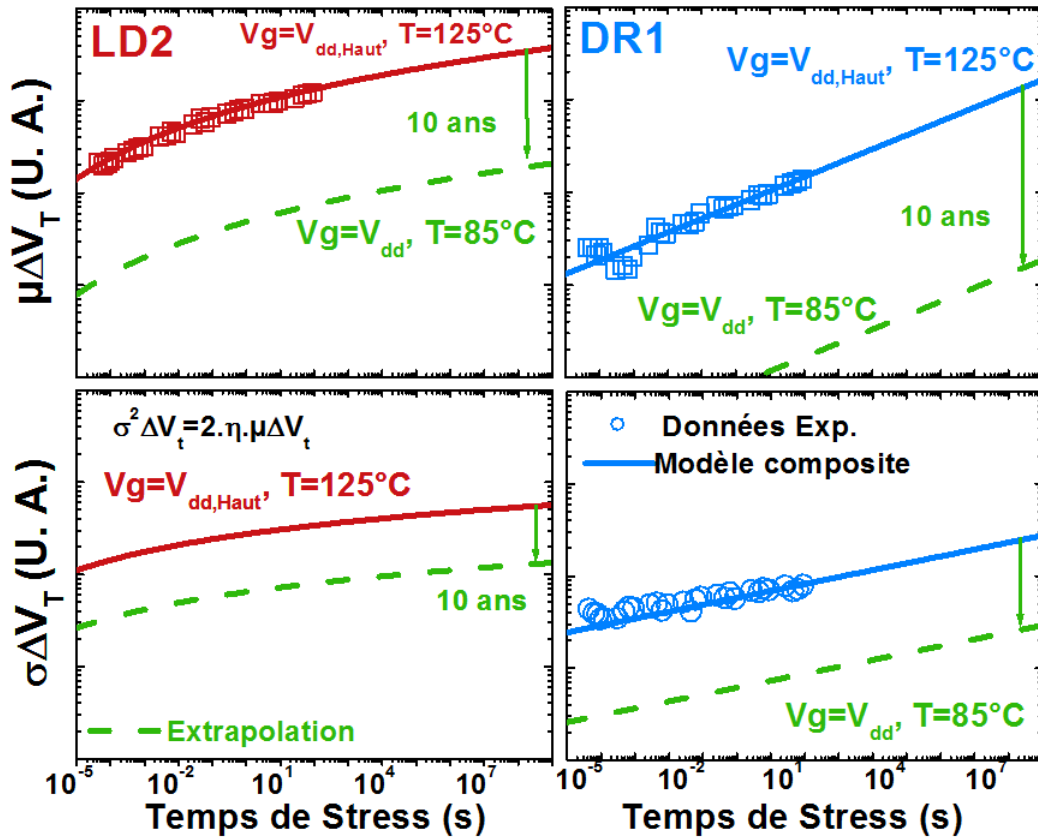


FIGURE 4.34 – (Symboles) $\mu\Delta V_T$ et $\sigma\Delta V_T$ mesurés au cours d’un stress NBTI sur les transistors LD2 et PBTI sur les transistors DR1. (Lignes) Modèle composite utilisé pour extrapoler la dégradation à 10 ans aux conditions normales de fonctionnement : $V_g = V_{dd}$ et $T = 85^\circ\text{C}$

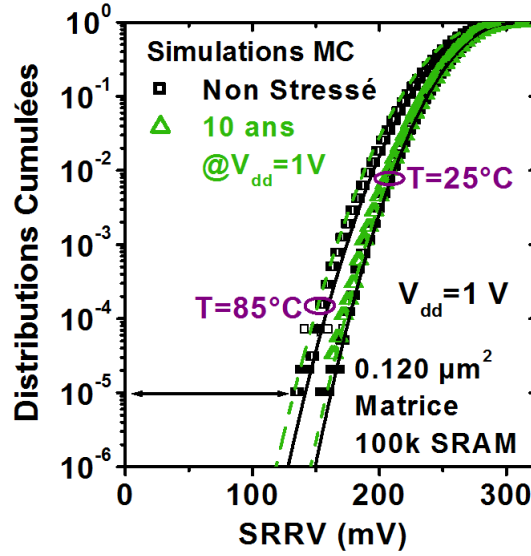


FIGURE 4.35 – Distributions cumulées des SRRV obtenues par simulations Monte Carlo avant stress (Noire) et après un stress BTI de 10 ans de stress aux conditions normales de fonctionnement (Vert). Deux températures sont représentées : 25°C et 85°C. (Lignes) Modèle semi analytique

NBTI et PBTI affectant les transistors LD2 et DR1. Sur la Figure, on a également reporté l'évolution de $\mu\Delta V_T$ et $\sigma\Delta V_T$ aux conditions normales de fonctionnement (10 ans à 85°C avec $V_g=V_{dd}$). Les valeurs à 10 ans sont celles qui seront utilisées par le modèle compact UTSOI pour les simulations SPICE Monte Carlo.

4.4.3.3 Estimation de la dégradation des cellules à 10 ans aux conditions normales de fonctionnement

Le modèle compact UTSOI est utilisé pour réaliser des simulations SPICE Monte Carlo et estimer la dégradation de la stabilité en lecture des cellules SRAM après 10 ans de fonctionnement aux conditions nominales. On choisit deux températures pour les simulations 25°C, qui représente la température d'un circuit au repos, et 85°C qui est plus proche de la température du circuit en fonctionnement. Des simulations Monte Carlo portant sur 100k cellules ont été réalisées pour les deux températures. Les simulations donnent la SRRV des cellules SRAM, les résultats sont présentés sous forme de distributions cumulées sur la Figure 4.35.

On voit que, comparativement aux résultats de la Figure 4.33 où la dégradation était importante 100s à $V_{dd,Haut}$ et $T=125^\circ\text{C}$, la stabilité en lecture de la SRAM est ici peu affectée par un stress BTI aux conditions normales de fonctionnement. En effet, un échec de lecture apparaît lorsque la SRRV d'une cellule est nulle, or ici, toutes les cellules ont une SRRV d'au moins 100mV. Ces simulations montrent la très bonne tenue de la stabilité en lecture de ces cellules SRAM.

Il est impossible d'obtenir les probabilités d'échec en lecture de nos cellules par simulations Monte Carlo pour les tensions d'alimentation considérées. En effet, étant donné l'importante marge en lecture de nos cellules dans ces conditions, le nombre de simulations Monte Carlo

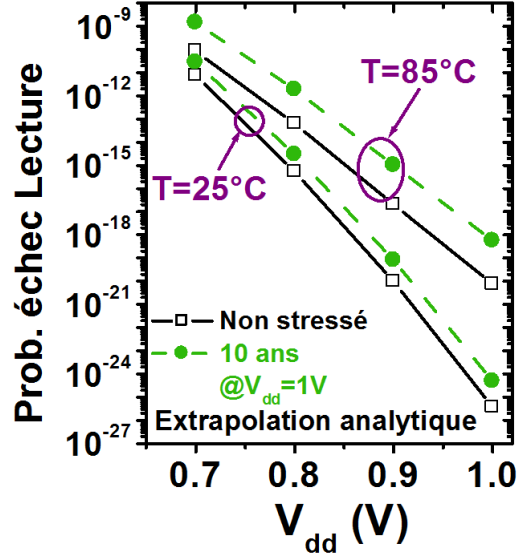


FIGURE 4.36 – Probabilité d'échec en lecture d'une cellule SRAM, avant et après stress, en fonction de la tension d'alimentation.

nécessaires pour obtenir cette probabilité est bien trop important. Toutefois, on remarque que notre modèle semi-analytique permet une très bonne description des SRRV obtenues.

De ce fait, en utilisant ce modèle, on est capable de calculer la probabilité d'échec en lecture grâce à la formule :

$$P_{Read\ Fail} = \int_{-\infty}^0 f_{SRRV}(x)dx \quad (4.6)$$

La Figure 4.36 donne les probabilités d'échec en lecture en fonction de la tension d'alimentation et pour des cellules stressées et non-stressées. On notera également que ces probabilités sont effectivement bien trop faibles pour avoir être obtenues par simulations Monte Carlo.

Les résultats montrent, cette fois encore, que la stabilité en lecture est très peu dégradée par un stress BTI. En particulier, la probabilité d'avoir un échec de lecture après 10 ans de rétention à $V_{dd} = 1V$ à $85^{\circ}C$ est de $\approx 10^{-17}$ quand la cellule est lue à une tension $V_{dd}=1V$.

Il est important de noter que dans ces simulations de dégradations, on se positionne dans une situation de « pire cas ». En effet, on considère que la cellule est en mode de rétention pendant 10 ans, i.e. que V_{Cell} est toujours maintenue à V_{dd} pendant 10 ans. On ne prend en compte aucune relaxation de la dégradation sur les transistors des cellules. Malgré ces conditions extrêmes, la rétention de ces cellules SRAM est très bonne.

En conclusion, dans cette partie nous avons adapté une nouvelle technique de mesure rapide des cellules SRAM. Nous avons développé une méthodologie permettant de stresser et mesurer très rapidement les cellules et ainsi s'affranchir de l'essentiel de la relaxation des dispositifs. De ce fait, une évaluation précise de l'impact de la dégradation BTI sur le fonctionnement de nos cellules a pu être réalisée. Finalement, nous avons utilisé le modèle composite, développé dans le Chapitre 2, et le modèle DCM (classique et à 4 variables), développé en détail dans le Chapitre

3, pour estimer le plus correctement possible la dégradation de la stabilité en lecture de nos cellules après 10 ans de rétention aux conditions normales de fonctionnement. En particulier, nous avons montré que, dans des conditions de fonctionnement proche de celles d'un circuit, nos cellules étaient peu affectées par la dégradation BTI.

4.5 Conclusion

Dans ce Chapitre, nous avons étudié comment la dégradation BTI qui impacte les performances des dispositifs pouvait affecter le fonctionnement d'un circuit. On a notamment présenté le fonctionnement d'une cellule SRAM qui est un circuit composé de six transistors. L'influence de la variabilité dynamique et de la variabilité statique sur les performances électriques des cellules a été présentée. On a montré que la variabilité statique était un facteur important à prendre en compte lors de la conception des cellules pour optimiser au mieux sa stabilité en lecture et en écriture. Par la suite, on a cherché à savoir comment le phénomène de dégradation BTI, affectant les transistors, pouvait avoir une influence sur le fonctionnement des cellules.

On a présenté deux axes d'études possibles de l'influence de cette dégradation. Dans la première démarche, on a adopté la méthodologie la plus courante pour étudier ce phénomène : la mesure de la dégradation sur des dispositifs semblables à ceux utilisés dans une cellule SRAM suivie de simulations SPICE pour en déduire la dégradation au niveau du circuit. Dans notre étude, nous avons utilisé des dispositifs présentant une forte sensibilité au piégeage rapide. Cette étude a par ailleurs montré la nécessité d'utiliser des techniques de caractérisation rapides pour évaluer efficacement la dégradation.

Dans notre deuxième étude, une nouvelle technique de caractérisation de la stabilité en lecture a été développée : la technique SRRV. Cette technique nous a permis de réaliser des mesures rapides de la dégradation de la stabilité en lecture des cellules. Dans cette étude, on a voulu caractériser au mieux la dégradation des cellules aux conditions normales de fonctionnement. Le modèle composite du Chapitre 2 et le modèle Defect Centric du Chapitre 3 ont été utilisés conjointement pour évaluer la dégradation après 10 ans de fonctionnement aux conditions normales.

Bibliographie

- [1] E. Seevinck, F. List, and J. Lohstroh, "Static-noise margin analysis of MOS SRAM cells," *Solid-State Circuits, IEEE Journal of*, vol. 22, no. 5, pp. 748–754, Oct 1987.
- [2] A. Asenov, A. Brown, and B. Cheng, "Statistical aspects of NBTI/PBTI and impact on SRAM yield," in *Design, Automation Test in Europe Conference Exhibition (DATE), 2011*, March 2011, pp. 1–6.
- [3] V. Huard, R. Chevallier, C. Parthasarathy, A. Mishra, N. Ruiz-Amador, F. Persin, V. Robert, A. Chimeno, E. Pion, N. Planes, D. Ney, F. Cacho, N. Kapoor, V. Kulshrestha, S. Chopra, and N. Vialle, "Managing SRAM reliability from bitcell to library level," in *Reliability Physics Symposium (IRPS), 2010 IEEE International*, May 2010, pp. 655–664.
- [4] B. Calhoun and A. Chandrakasan, "Analyzing static noise margin for sub-threshold SRAM in 65nm CMOS," in *Solid-State Circuits Conference, 2005. ESSCIRC 2005. Proceedings of the 31st European*, Sept 2005, pp. 363–366.
- [5] Y. Tsukamoto, K. Nii, S. Imaoka, Y. Oda, S. Ohbayashi, T. Yoshizawa, H. Makino, K. Ishibashi, and H. Shinohara, "Worst-case analysis to obtain stable read/write DC margin of high density 6t-SRAM-array with local vth variability," in *Computer-Aided Design, 2005. ICCAD-2005. IEEE/ACM International Conference on*, Nov 2005, pp. 398–405.
- [6] J. Mazurier, "Etude de la variabilité en technologie FDSOI : du transistor aux cellules mémoires SRAM," Ph.D. dissertation, EEATS, 2012.
- [7] J. Lacord, G. Ghibaudo, and F. Boeuf, "A comparative study of minimal supply voltage of 6T-SRAM at thr 16 nm node using mastar into a conventional CAD environment," in *International Conference on Solid State Devices and Material (SSDM)*, 2012.
- [8] P. Stolk, H. Tuinhout, R. Duffy, E. Augendre, L. Bellefroid, M. Bolt, J. Croon, C. Dachs, F. Huisman, A. Moonen, Y. Ponomarev, R. Roes, M. Da Rold, E. Seevinck, K. Sreerambhatla, R. Surdeanu, R. Velghe, M. Vertregt, M. Webster, N. van Winkelhoff, and A. Zegers-Van Duijnhoven, "Cmos device optimization for mixed-signal technologies," in *Electron Devices Meeting, 2001. IEDM '01. Technical Digest. International*, Dec 2001, pp. 10.2.1–10.2.4.
- [9] M. Yamaoka, N. Maeda, Y. Shinozaki, Y. Shimazaki, K. Nii, S. Shimada, K. Yanagisawa, and T. Kawahara, "Low-power embedded sram modules with expanded margins for writing," in *Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International*, Feb 2005, pp. 480–611 Vol. 1.
- [10] B. Kiyoo Itoh, "Adaptive circuits for the 0.5-V nanoscale CMOS era," in *Solid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009. IEEE International*, Feb 2009, pp. 14–20.
- [11] A. Makosiej, O. Thomas, A. Vladimirescu, and A. Amara, "Stability and yield-oriented ultra-low-power embedded 6T SRAM cell design optimization," in *Design, Automation Test in Europe Conference Exhibition (DATE), 2012*, March 2012, pp. 93–98.

- [12] J. Mazurier, O. Weber, F. Andrieu, A. Toffoli, O. Rozeau, T. Poiroux, F. Allain, P. Perreau, C. Fenouillet-Beranger, O. Thomas, M. Belleville, and O. Faynot, "On the variability in planar FDSOI technology : From MOSFETs to SRAM cells," *Electron Devices, IEEE Transactions on*, vol. 58, no. 8, pp. 2326–2336, Aug 2011.
- [13] P. Asenov, D. Reid, S. Roy, C. Millar, and A. Asenov, "An advanced statistical compact model strategy for SRAM simulation at reduced Vdd," in *Solid-State Device Research Conference (ESSDERC), 2012 Proceedings of the European*, Sept 2012, pp. 205–208.
- [14] P. Weckx, B. Kaczer, H. Kukner, J. Roussel, P. Raghavan, F. Catthoor, and G. Groeseneken, "Non-monte-carlo methodology for high-sigma simulations of circuits under workload-dependent BTI degradation - application to 6T SRAM," in *Reliability Physics Symposium, 2014 IEEE International*, June 2014, pp. 5D.2.1–5D.2.6.
- [15] D. Angot, V. Huard, M. Quoirin, X. Federspiel, S. Haendler, M. Saliva, and A. Bravaix, "The impact of high vth drifts tail and real workloads on SRAM reliability," in *Reliability Physics Symposium, 2014 IEEE International*, June 2014, pp. CA.10.1–CA.10.6.
- [16] A. Subirats, X. Garros, J. Mazurier, J. El Hussein, O. Rozeau, G. Reimbold, O. Faynot, and G. Ghibaudo, "Impact of dynamic variability on sram functionality and performance in nano-scaled CMOS technologies," in *Reliability Physics Symposium (IRPS), 2013 IEEE International*, April 2013, pp. 4A.6.1–4A.6.5.
- [17] S. Krishnan, V. Narayanan, E. Cartier, D. Ioannou, K. Zhao, T. Ando, U. Kwon, B. Linder, J. Stathis, M. Chudzik, A. Kerber, and K. Choi, "Bias temperature instability in High-K/metal gate transistors - gate stack scaling trends," in *Reliability Physics Symposium (IRPS), 2012 IEEE International*, April 2012, pp. 5A.1.1–5A.1.6.
- [18] Z. Guo, A. Carlson, L.-T. Pang, K. Duong, T.-J. K. Liu, and B. Nikolic, "Large-scale read/write margin measurement in 45nm CMOS SRAM arrays," in *VLSI Circuits, 2008 IEEE Symposium on*, June 2008, pp. 42–43.
- [19] J. El Hussein, X. Garros, J. Cluzel, A. Subirats, A. Makosiej, O. Weber, O. Thomas, V. Huard, X. Federspiel, and G. Reimbold, "A complete characterization and modeling of the BTI-induced dynamic variability of SRAM arrays in 28-nm FD-SOI technology," *Electron Devices, IEEE Transactions on*, vol. PP, no. 99, pp. 1–1, 2014.
- [20] J. El Hussein, A. Subirats, X. Garros, A. Makoseij, O. Thomas, G. Reimbold, V. Huard, F. Cacho, and X. Federspiel, "Accurate modeling of dynamic variability of SRAM cell in 28 nm FDSOI technology," in *Microelectronic Test Structures (ICMTS), 2014 International Conference on*, March 2014, pp. 41–46.
- [21] J. El Hussein, X. Garros, A. Subirats, A. Makosiej, O. Weber, O. Thomas, V. Huard, X. Federspiel, and G. Reimbold, "Direct measurement of the dynamic variability of 0.120 μm^2 SRAM cells in 28nm FD-SOI technology," in *VLSI Technology (VLSI-Technology) : Digest of Technical Papers, 2014 Symposium on*, June 2014, pp. 1–2.
- [22] T. Poiroux, O. Rozeau, S. Martinie, P. Scheer, S. Puget, M. Jaud, S. El Ghouli, J. Barbe, A. Juge, and O. Faynot, "UTSOI2 : A complete physical compact model for UTBB and

independent double gate MOSFETs,” in *Electron Devices Meeting (IEDM), 2013 IEEE International*, Dec 2013, pp. 12.4.1–12.4.4.

Conclusion générale

Ce manuscrit présente un travail de thèse consacré à la caractérisation et la modélisation de la fiabilité de transistors MOS des nœuds avancés. Au cours ce travail, nous avons choisi d'étudier en particulier la dégradation BTI et le rôle des pièges dans cette dégradation. Nous avons aussi pu examiner comment la dégradation affectant les dispositifs pouvait influencer le fonctionnement de circuit au travers de l'exemple de la cellule SRAM. Pour réaliser ce travail de nombreuses étapes ont été nécessaires et les principales conclusions obtenues sont rappelées ici.

Le Chapitre 1 est une introduction générale donnant le contexte et les principaux concepts nécessaires à cette étude. Dans ce Chapitre, nous avons tout d'abord présenté rapidement le principe de fonctionnement du transistor MOS. Cela nous a permis de définir les paramètres électriques importants du transistor dont a étudié les variations dans les autres Chapitres. Ensuite, nous avons exposé les problématiques de variabilité affectant les dispositifs. On a distingué deux catégories de variabilité. La première, dite statique, se référant à la variabilité initiale des transistors et la seconde, dite dynamique, se référant à leur variabilité temporelle. Nous avons détaillé les différentes sources responsables de ces variabilités et nous avons présenté les avantages et inconvénients qu'apportait la technologie FDSOI en réponse à ces problématiques. Finalement, nous avons présenté les techniques de caractérisation utilisées au cours de la thèse pour examiner les phénomènes de dégradations affectant nos dispositifs. Nous avons insisté sur l'importance des mesures rapides pour réaliser des évaluations correctes des durées de vie des dispositifs. L'éventail des techniques de mesures présentées dans ce premier Chapitre a permis de caractériser un grand nombre de paramètres des pièges responsables de la dégradation BTI.

Dans le Chapitre 2 nous avons choisi de nous concentrer sur la dégradation NBTI. De nouvelles techniques de mesures rapides pour caractériser cette dégradation ont été introduites comme les mesures de stress en mode AC ou via des motifs répétables (AVGP). Grâce à ces mesures rapides, de nombreuses caractérisations de la dégradation NBTI ont pu être menées sur nos transistors et un certain nombre de caractéristiques du phénomène ont pu être répertoriées. A la lumière de ces résultats expérimentaux, une revue des modèles utilisés habituellement pour décrire le NBTI a été faite. En particulier, nous avons vu que le modèle de Kerber n'était pas adapté, sur nos transistors, pour décrire efficacement la dégradation NBTI mesurée. Le modèle exclusivement basé sur le rôle des pièges d'oxyde (centres E') de Grassier a permis une description qualitative des mesures effectuées mais n'a pu apporter une description fine de nos résultats. Au final, un modèle de piégeage simplifié, le modèle RC, proposé initialement par Reisinger et basé lui aussi sur le rôle exclusif des pièges, a été choisi. Le modèle a été adapté pour permettre de simuler la dégradation des dispositifs pour des stress AVGP. Finalement, grâce à une carte des temps de capture et d'émission des défauts (CET MAP), le modèle a permis d'expliquer tous les résultats expérimentaux obtenus sur nos dispositifs. Les limites du modèle RC et de la CET

ont ensuite été discutées, notamment son incapacité à prédire la dégradation des dispositifs en dehors des bornes de la CET MAP. De ce fait, pour réaliser des estimations de durée de vie, nous proposons d'utiliser un modèle composite, proposé initialement par Huard, et qui permet d'obtenir de bonnes descriptions de la dégradation de nos dispositifs dans le cas de stress BTI en mode DC.

Le Chapitre 3 se concentre sur la dégradation BTI affectant des petits dispositifs (typiquement, ayant des surfaces de grilles inférieures à $0.01\mu\text{m}^2$). Contrairement à la dégradation mesurée sur des dispositifs de grandes tailles du Chapitre 2, la variabilité de la dégradation est importante sur des transistors courts et étroits. En particulier, on a montré que la loi normale, habituellement utilisée pour modéliser la dégradation sur de grands dispositifs était inadaptée pour décrire les distributions de ΔV_T mesurées sur de petits transistors. Pour modéliser ces distributions, le modèle de Skellam proposé initialement par Rauch et le modèle Defect Centric développé par Kaczer ont été comparés. Nous avons vu que le modèle Defect Centric était plus apte à décrire les distributions obtenues que le modèle de Skellam. Dans la suite, nous avons étudié, par le biais de simulations électrostatique 3D sur transistors FDSOI, l'origine de la distribution exponentielle de l'influence des pièges sur le ΔV_T . Puis, il a été important de comprendre cette influence particulière car la présence de dopants dans le canal est souvent invoquée pour justifier cette distribution. Cette justification est évidemment impossible pour nos transistors FDSOI et pose de ce fait la question de la validité d'appliquer le modèle Defect Centric sur des transistors utilisant cette architecture. Finalement, nous avons montré que la distribution exponentielle de l'influence des pièges était principalement due à une répartition aléatoire des pièges dans l'oxyde de grille couplée à une influence particulière (en forme de dôme) des pièges sur le ΔV_T . La dernière partie du Chapitre était consacrée à une revue du modèle Defect Centric et à une généralisation du modèle pour les transistors présentant deux couches dans l'oxyde de grille. Nous avons adapté toutes les étapes du modèle Defect Centric à une couche et proposé un modèle général pour les transistors bicouches permettant une description plus rigoureuse des simulations. Ce modèle a ensuite trouvé une application dans un cadre totalement différent : la prédiction de la dégradation BTI sur des cellules SRAM.

Dans le Chapitre 4, nous avons étudié comment la dégradation des transistors pouvait affecter la dégradation d'un circuit au travers d'un exemple : la cellule SRAM. Dans un premier temps, nous avons présenté l'architecture et les différents régimes de fonctionnement d'une cellule SRAM. Nous avons montré comment les variabilités, statiques et dynamiques, pouvaient affecter son fonctionnement et notamment sa stabilité en lecture (SNM). Puis deux types d'études expérimentales ont été menés. Dans chaque étude, on a cherché à évaluer l'impact de la dégradation BTI des transistors sur le fonctionnement d'une cellule. La première façon de procéder, qui est aussi la plus classiquement utilisée aujourd'hui car elle ne nécessite pas de cellules SRAM fonctionnelles, consiste à mesurer la dégradation de dispositifs semblables à ceux présents dans une cellule SRAM et évaluer la dégradation de la cellule via des simulations SPICE. Ainsi, en travaillant sur des transistors d'une technologie particulièrement sensible au piégeage rapide, nous avons pu montrer l'importance des mesures rapides pour évaluer correctement la dégradation des cellules SRAM. De plus, nous avons estimé la dégradation de la marge en écriture et en lecture des cellules en fonction de la considération ou non de la dégradation de la transconductance. La seconde façon de procéder pour évaluer la dégradation des cellules est de mesurer directement la fluctuation de leur paramètres caractéristiques au cours d'un stress. Dans cette partie, nous avons développé une technique de stress et mesure rapide de la dégradation des cellules SRAM. De cette façon, la dégradation de la stabilité en lecture de cel-

lules SRAM de $0.120\mu\text{m}^2$ a pu être mesurée. Finalement, grâce au modèle composite, développé dans le Chapitre 2, et au modèle Defect Centric, présenté dans le Chapitre 3, nous avons été capable de prédire la dégradation de nos cellules SRAM aux conditions normales de fonctionnement. Nous avons pu montrer que la fiabilité, au regard de la dégradation BTI, aux conditions normales de fonctionnement étaient très bonne sur les cellules testées.

Annexe A : Stabilité des mesures rapides

Dans cette annexe, nous présentons la méthodologie utilisée pour réaliser des mesures rapides avec des WGFMU contrôlés par un Agilent B1530. On présentera ensuite la stabilité des mesures rapides pour un des calibres utilisé.

Montage utilisé pour réaliser des mesures rapides

Dans un premier temps, la Figure 4.37 présente le montage utilisé dans toutes les expériences.

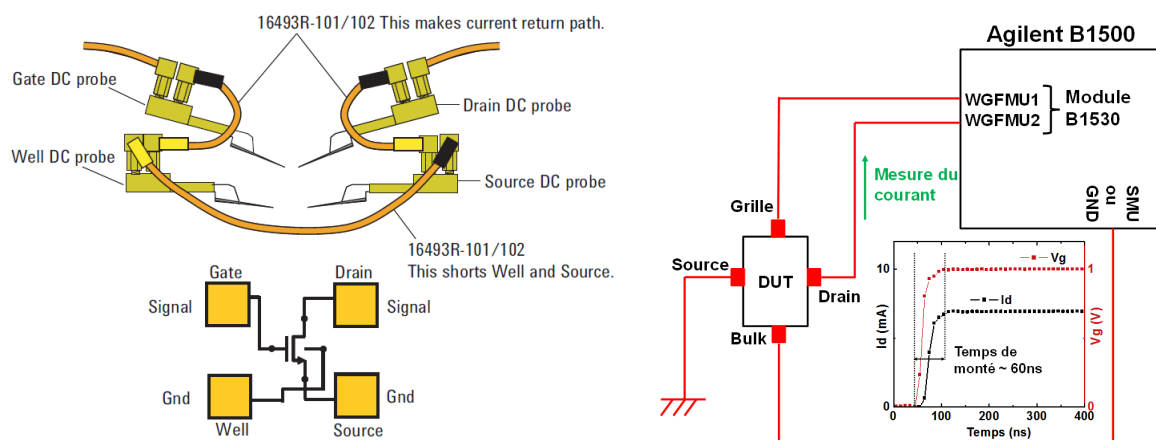


FIGURE 4.37 – Schéma du montage utilisé pour réaliser les mesures rapides

Le montage comporte utilisé quatre pointes. Deux pointes sont reliées aux WGF_{FMU}, par celles-ci il est possible d'appliquer une tension et/ou de mesurer un courant. Les deux autres pointes sont quand à elles reliées à la masse ou à un SMU. Ce point particulier empêche donc la source et le Bulk d'être polarisés rapidement. Avec ce montage, on voit qu'il est donc difficile de regarder rapidement l'influence de la dégradation du BOX au cours d'un stress BTI sur la face avant (GOX) d'un transistor par exemple. Lorsque que des polarisations ont été appliquées sur le BOX, cela a toujours été fait par l'intermédiaire d'un SMU (comme on peut le voir sur le schéma de la Figure 4.37), rendant ainsi les mesures rapides impossibles.

Le dernier point important à noter quand à cette configuration est la présence d'une « boucle de masse » qui relie les 4 pointes. Cette boucle permet de « ramener » la masse de l'appareil au

plus près des pointes et ainsi diminuer le bruit de mesure. On verra par la suite son importance pour réaliser des mesures propres.

Stabilité des mesures rapides

Dans cette partie, on se propose d'évaluer expérimentalement la stabilité des mesures pour le calibre le plus faible utilisé au cours de la thèse : le calibre 10 μ A. Pour rappel, les vitesses de mesures en fonction des différents calibres sont rappelées ici :

Gamme de courant	Délai avant mesure T_{Del}	Temps de mesure min. T_{Avg}
10 mA	100 ns	70 ns
1 mA	250 ns	250 ns
100 μ A	0.6 μ s	1 μ s
10 μ A	4.5 μ s	10 μ s
1 μ A	80 μ s	115 μ s

TABLE 4.1 – Temps d'établissement du courant et de mesure en fonctions des différents calibres du B1530

On se propose maintenant de vérifier la reproductibilité des mesures rapides et de tester le montage présenté en début d'annexe. On vérifiera notamment l'importance de la boucle de masse et la nécessité de respecter les temps de mesures minimum, au calibre choisie, donnés par le constructeur.

On cherche tout d'abord à évaluer l'importance de la boucle de masse. Pour ce faire, on réalise des mesures répétées sur une population de 60 transistors. Sur chaque dispositif, on réalise ≈ 120 mesures de caractéristiques $I_d(V_g)$. Ainsi, on est capable d'évaluer la variabilité d'extraction du V_T sur chaque dispositif (σV_T). Les résultats sont reportés sur la Figure 4.38.

Les mesures effectuées sur des transistors de dimensions $W=80\text{nm}$ et $L=30\text{nm}$ ont été réalisées avec le calibre 100 μ A. Le temps de rampe, T_{Ramp} , correspondant à la durée totale de la mesure d'une caractéristique $I_d(V_g)$ est de 16 μ s. Cette durée de mesure correspond, dans ce cas, au temps de mesure minimum indiqué par le constructeur pour réaliser ces mesures.

Sur les distributions obtenues, on remarque tout d'abord l'importance de la boucle de masse. En effet, la variabilité obtenue lors de la mesure du V_T est bien plus importante quand cette boucle n'est pas en place. En particulier, on voit que la variabilité moyenne du V_T est très faible lorsque la boucle de masse est en place ($\approx 1\text{mV}$) et elle augmente considérablement lorsque la boucle est retirée ($\approx 7\text{mV}$). Cette expérience montre, par ailleurs, que la variabilité liée à la mesure dans les conditions « normales » d'utilisation des WGF MU est très faible (proche de $\approx 1\text{mV}$).

On s'intéresse maintenant à l'importance du respect des spécifications fournies par le constructeur pour réaliser des mesures rapides. On a réalisé deux expériences pour évaluer cette problématique. La première reprend la démarche utilisée pour la Figure 4.38. On répète des mesures de caractéristiques $I_d(V_g)$ sur plusieurs transistors. Trois cartographies de mesures ont été effectuées pour trois T_{Ramp} différents. Les résultats sont présentés sur la Figure 4.39.

Sur les trois temps de rampe utilisés, le premier temps (5 μ s) se situe en dehors des spécifications de l'appareil. Les deux autres temps (16 μ s et 30 μ s) sont eux conformes aux spécifications : 16 μ s étant le minimum autorisé pour ce calibre de mesure. On voit que les distributions obtenues

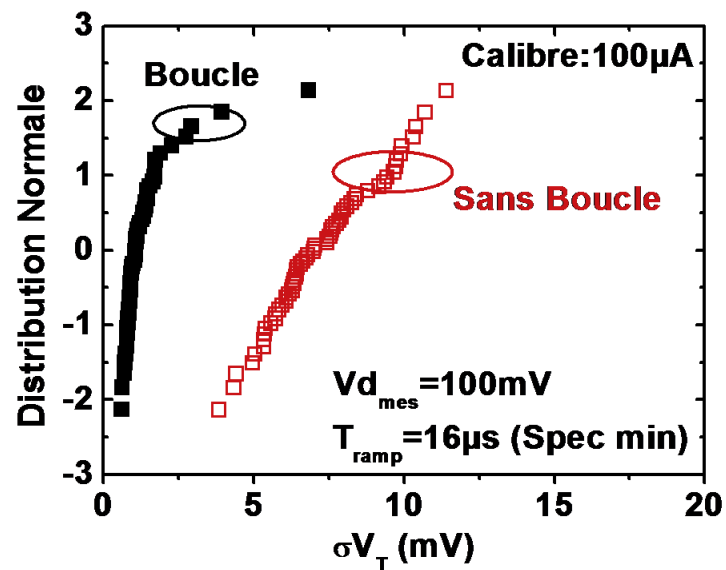


FIGURE 4.38 – Distributions de σV_T obtenues grâce à ≈ 120 mesures $I_d(V_g)$ sur 60 transistors. (Noir) Montage avec boucle de masse et (Rouge) sans boucle de masse.

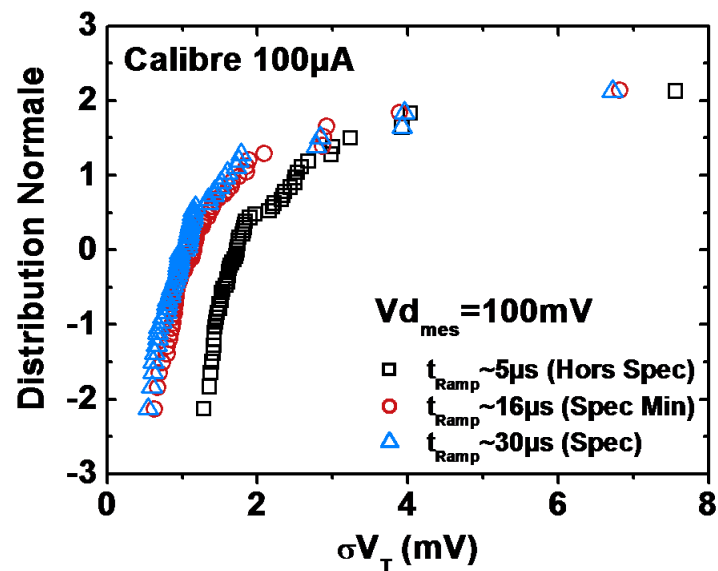


FIGURE 4.39 – Distributions de σV_T obtenues pour 3 temps de mesures des caractéristiques $I_d(V_g)$ différents : $T_{Ramp} = 5\mu\text{s}$ (Noir), $= 16\mu\text{s}$ (Rouge), $30\mu\text{s}$ (Bleu)

pour les temps de mesures conformes aux spécifications se superposent très bien et donnent une variabilité de mesure faible ($\approx 1\text{mV}$) et semblable. A l'inverse, les mesures réalisées avec un temps de mesure inférieur aux recommandations données par Agilent montre une augmentation de la variabilité. En effet, pour une durée $T_{Ramp}=5\mu\text{s}$ la variabilité moyenne de mesure du V_T est proche de 2mV .

En conclusion, ces deux expériences montrent l'importance de l'utilisation de la boucle de masse pour obtenir des mesures « propres ». De plus, on a pu voir qu'il était tout aussi important de respecter les spécifications données par le constructeur pour réaliser des mesures stables.

Annexe B : Modèle Defect Centric

Modèle Defect Centric monocouche

Dans cette annexe on reporte les calculs nécessaire pour construire le Defect Centric Model utilisé en détail dans le Chapitre 3. Ces calculs ont été tout d'abord motivés pour vérifier la validité des paramètres extraits par le modèle (Nt , η). En effet, lorsque le modèle est proposé pour la première fois par Ben Kaczer, les expériences montraient une loi exponentielle avec $\eta_{Hist}=4.75\text{mV}$ tandis que le DCM donnait, sur les même dispositifs, un impact des piège égal $\approx 8\text{mV}$.

On a donc voulu vérifier les calculs et notamment le facteur « 2 » apparaissant dans le l'expression du carrée de la variance : $\sigma^2 = 2N\eta$.

On détaillera donc ici tous les calculs permettant d'arriver aux expressions finales du DCM.

On considère la première hypothèse du modèle : l'impact des pièges sur le V_T des transistors obéit à une loi exponentielle de valeur moyenne η :

$$f_{exp}(\Delta V_T) = \frac{1}{\eta} e^{-\frac{\Delta V_T}{\eta}} \quad (4.1)$$

Si on considère maintenant un dispositif comportant n pièges, alors la PDF auquel obéit une population de dispositifs avec N pièges est donnée par :

$$f_n(\Delta V_T) = \frac{e^{-\frac{\Delta V_T}{\eta}}}{(n-1)!} \frac{\Delta V_T^{n-1}}{\eta^n} \quad (4.2)$$

Par récurrence, pour $n=1$ on a $f_1 = \frac{1}{\eta} e^{-\frac{\Delta V_T}{\eta}}$. On admet que la formule est vrai pour un n quelconque et on calcule f_n of :

$$\begin{aligned}
f_n(\Delta V_T) &= \int_0^{\Delta V_T} \frac{e^{-\frac{t}{\eta}}}{(n-1)!} \frac{t^{n-1}}{\eta^n} \cdot \frac{1}{\eta} e^{-\frac{\Delta V_T - t}{\eta}} dt \\
&= \frac{e^{-\frac{\Delta V_T}{\eta}}}{(n-1)! \eta^{n+1}} \int_0^{\Delta V_T} t^{n-1} dt \\
&= \frac{e^{-\frac{\Delta V_T}{\eta}}}{n! \eta^{n+1}} \Delta V_T^n \\
&= f_{n+1}(\Delta V_T)
\end{aligned} \tag{4.3}$$

La récurrence est vrai au rang $n+1$. La formule 4.2 est donc vrai quel que soit n .

On obtient la CDF d'une distribution de transistor comportant exactement n pièges, F_n , par intégration de la PDF :

$$\begin{aligned}
F_n(\Delta V_T) &= \int_0^{\Delta V_T} f_n(t) dt \\
&= \frac{1}{(n-1)!} \int_0^{\Delta V_T} e^{-\frac{t}{\eta}} \frac{t^{n-1}}{\eta^n} dt
\end{aligned} \tag{4.4}$$

En posant le changement de variable $u=t/\eta$, on obtient :

$$\begin{aligned}
F_n(\Delta V_T) &= \frac{1}{(n-1)!} \int_0^{\Delta V_T/\eta} e^{-u} u^{n-1} du \\
&= \frac{1}{(n-1)!} \left[\int_0^\infty e^{-u} u^{n-1} du - \int_{\Delta V_T/\eta}^\infty e^{-u} u^{n-1} du \right]
\end{aligned} \tag{4.5}$$

En utilisant une intégration par partie sur la première intégrale et en remarquant que la deuxième intégrale est la fonction gamma étendue définie par :

$$\Gamma\left(n, \frac{\Delta V_T}{\eta}\right) = \int_{\Delta V_T/\eta}^\infty t^{n-1} e^{-t} dt \tag{4.6}$$

On obtient :

$$\begin{aligned}
F_n(\Delta V_T) &= \frac{1}{(n-1)!} \left[[-u^{n-1}e^{-u}]_0^\infty + (n-1) \int_0^\infty e^{-u} u^{n-2} du - \Gamma\left(n, \frac{\Delta V_T}{\eta}\right) \right] \\
&= \frac{1}{(n-1)!} \left[(n-1) \int_0^\infty e^{-u} u^{n-2} du - \Gamma\left(n, \frac{\Delta V_T}{\eta}\right) \right] \\
&= \frac{1}{(n-1)!} \left[(n-1) [-u^{n-2}e^{-u}]_0^\infty + (n-1)(n-2) \int_0^\infty e^{-u} u^{n-3} du - \Gamma\left(n, \frac{\Delta V_T}{\eta}\right) \right] \\
&= \frac{1}{(n-1)!} \left[(n-1)(n-2) \int_0^\infty e^{-u} u^{n-3} du - \Gamma\left(n, \frac{\Delta V_T}{\eta}\right) \right]
\end{aligned}$$

En continuant les intégrations par partie, on obtient :

$$F_n(\Delta V_T) = \frac{1}{(n-1)!} \left[(n-1)! - \Gamma\left(n, \frac{\Delta V_T}{\eta}\right) \right]$$

D'où :

$$F_n(\Delta V_T) = 1 - \frac{\Gamma\left(n, \frac{\Delta V_T}{\eta}\right)}{(n-1)!} \quad (4.7)$$

On retrouve l'équation de la CDF pour n pièges par transistor.

Si on considère maintenant que le nombre de pièges, N, dans chaque transistor suit une loi de Poisson (seconde hypothèse du DCM) dont la PDF est donnée par :

$$f_{N,Poiss}(n) = \frac{e^{-N} N^n}{n!} \quad (4.8)$$

Alors la CDF d'une distribution de dispositifs ayant un nombre aléatoire de pièges (centré sur une loi de Poisson) et dont l'influence sur le ΔV_T obéit à une loi exponentielle est simplement donné par la somme du produit de la PDF de Poisson et de la CDF donnée par l'équation 4.7 :

$$F_{N,DCM}(\Delta V_T) = \sum_{n=1}^{\infty} \frac{e^{-N} N^n}{n!} F_n(\Delta V_T) \quad (4.9)$$

Cette équation est donc celle qui permet de réaliser les descriptions des distributions de ΔV_T mesurées sur des populations de dispositifs. Toutefois, pour obtenir les paramètres N et η nécessaires pour faire fonctionner le DCM, on a besoin de relations entre ces paramètres et

les grandeurs électriques mesurées sur les transistors ($\mu\Delta V_T$ et $\sigma\Delta V_T$). Pour ca on a besoin de calculer les moments de la PDF de la distribution.

On calcule donc dans un premier temps la PDF de la distribution par dérivation de la CDF $F_{N,DCM}$:

$$\begin{aligned}
f_{N,DCM}(\Delta V_T) &= \frac{d}{d\Delta V_T} F_{N,DCM} \\
&= \frac{d}{d\Delta V_T} \left[\sum_{n=1}^{\infty} \frac{e^{-N} N^n}{n!} \left(1 - \frac{1}{(n-1)!} \Gamma\left(n, \frac{\Delta V_T}{\eta}\right) \right) \right] \\
&= e^{-N} \frac{d}{d\Delta V_T} \left[\sum_{n=1}^{\infty} \frac{N^n}{n!} \left(1 - \frac{1}{(n-1)!} \int_{\Delta V_T/\eta}^{\infty} t^{n-1} e^{-t} dt \right) \right] \\
&= e^{-N} \left[\sum_{n=1}^{\infty} \frac{N^n}{(n-1)!n!} \left(- \left(\frac{\Delta V_T}{\eta} \right)^{n-1} e^{-\frac{\Delta V_T}{\eta}} \frac{1}{\eta} \right) \right] \\
&= e^{-N} \left[\frac{N}{\eta} e^{-\frac{\Delta V_T}{\eta}} \sum_{n=1}^{\infty} \frac{N^{n-1}}{(n-1)!n!} \left(\frac{\Delta V_T}{\eta} \right)^{n-1} \right]
\end{aligned}$$

En posant le changement de variable $k=n-1$, on obtient :

$$f_{N,DCM}(\Delta V_T) = e^{-N} \left[\frac{N}{\eta} e^{-\frac{\Delta V_T}{\eta}} \sum_{k=0}^{\infty} \frac{N^k}{k!(k+1)!} \left(\frac{\Delta V_T}{\eta} \right)^k \right]$$

En sachant que la fonction hypergéométrique ${}_0\mathcal{F}_1$ définie par :

$${}_0\mathcal{F}_1 \left(2; N \frac{\Delta V_T}{\eta} \right) = \sum_{k=0}^{\infty} \frac{N^k \Delta V_T^k}{(k+1)(k!)^2 \eta^k} \quad (4.10)$$

On obtient la formule de la première partie de la PDF du DCM :

$$f_{N,DCM}(\Delta V_T) = e^{-N} \left[\frac{N}{\eta} e^{-\frac{\Delta V_T}{\eta}} {}_0\mathcal{F}_1 \left(2; N \frac{\Delta V_T}{\eta} \right) \right] \quad (4.11)$$

A cette expression, il convient de rajouter $\delta(\Delta V_T)$ qui correspond à la fraction de dispositifs ayant un ΔV_T nul. Ce terme provient des dispositifs n'ayant aucun piège ($n=0$ de la PDF de

Poisson pour lequel la CDF donnée par l'équation 4.9 n'est pas définie). En ajoutant ce terme, on obtient l'expression finale du DCM :

$$f_{N,DCM}(\Delta V_T) = e^{-N} \left[\delta(\Delta V_T) + \frac{N}{\eta} e^{-\frac{\Delta V_T}{\eta}} {}_0\mathcal{F}_1 \left(2; N \frac{\Delta V_T}{\eta} \right) \right] \quad (4.12)$$

A partir de la PDF, il est maintenant possible de calculer les moments de la distribution. Si X est une variable aléatoire, le moment d'ordre 1 de X est définie par l'espérance de X :

$$\mathcal{E}(X) = \int_0^\infty x \cdot f(x) dx \quad (4.13)$$

Où f est la PDF de la variable aléatoire X .

Le moment d'ordre 2 de la distribution est définie par la variance de X :

$$Var(X) = \mathcal{E}(X^2) - \mathcal{E}(X)^2 \quad (4.14)$$

On commence par calculer l'espérance de $f_{N,DCM}$:

$$\begin{aligned} \mathcal{E}(\Delta V_T) &= \int_0^\infty x e^{-N} \left[\delta(x) + \frac{N}{\eta} e^{-\frac{x}{\eta}} \sum_{k=0}^\infty \frac{N^k}{k!(k+1)!} \left(\frac{x}{\eta} \right)^k \right] dx \\ &= \underbrace{e^{-N} \int_0^\infty x \delta(x) dx}_0 + e^{-N} \int_0^\infty x \frac{N}{\eta} e^{-\frac{x}{\eta}} \sum_{k=0}^\infty \frac{N^k}{k!(k+1)!} \left(\frac{x}{\eta} \right)^k dx \\ &= e^{-N} \frac{N}{\eta} \int_0^\infty x e^{-\frac{x}{\eta}} \sum_{k=0}^\infty \frac{N^k}{k!(k+1)!} \left(\frac{x}{\eta} \right)^k dx \\ &= e^{-N} \frac{N}{\eta} \sum_{k=0}^\infty \frac{N^k}{k!(k+1)!} \frac{1}{\eta^k} \int_0^\infty e^{-\frac{x}{\eta}} x^{k+1} dx \end{aligned}$$

Par intégration par partie :

$$\begin{aligned}
\mathcal{E}(\Delta V_T) &= e^{-N} \frac{N}{\eta} \sum_{k=0}^{\infty} \frac{N^k}{k!(k+1)!} \frac{1}{\eta^k} \left(\underbrace{\left[-\eta x^{k+1} e^{-\frac{x}{\eta}} \right]_0^{\infty}}_0 + \int_0^{\infty} \eta(k+1) x^k e^{-\frac{x}{\eta}} dx \right) \\
&= e^{-N} \frac{N}{\eta} \sum_{k=0}^{\infty} \frac{N^k}{k!(k+1)!} \frac{1}{\eta^k} \left(\eta(k+1) \int_0^{\infty} x^k e^{-\frac{x}{\eta}} dx \right)
\end{aligned}$$

En répétant k intégrations par partie en dérivant le terme x^k , on obtient :

$$\begin{aligned}
\mathcal{E}(\Delta V_T) &= e^{-N} \frac{N}{\eta} \sum_{k=0}^{\infty} \frac{N^k}{k!(k+1)!} \frac{1}{\eta^k} \left(\eta^{k+1} (k+1)! \int_0^{\infty} e^{-\frac{x}{\eta}} dx \right) \\
&= e^{-N} \frac{N}{\eta} \sum_{k=0}^{\infty} \frac{N^k}{k!(k+1)!} \frac{1}{\eta^k} \left(\eta^{k+2} (k+1)! \right) \\
&= \eta N e^{-N} \sum_{k=0}^{\infty} \frac{N^k}{k!}
\end{aligned}$$

On reconnait la forme d'une série exponentielle : $e^x = \sum_{k=0}^{\infty} x^k/k!$. En développant, on obtient la première formule du DCM :

$$\mathcal{E}(\Delta V_T) = \eta N \quad (4.15)$$

Soit :

$$\mu(\Delta V_T) = \eta N \quad (4.16)$$

On calcule maintenant le moment d'ordre 2 de $f_{N,DCM}$ pour avoir la seconde relaxation. On a juste besoin de calculer $\mathcal{E}(X^2)$, le second terme, $\mathcal{E}(X)^2$, est simplement le carré de la moyenne et est donné par $\eta^2 N^2$.

$$\begin{aligned}
\mathcal{E}(\Delta V_T^2) &= \int_0^\infty x^2 e^{-N} \left[\delta(x) + \frac{N}{\eta} e^{-\frac{x}{\eta}} \sum_{k=0}^\infty \frac{N^k}{k!(k+1)!} \left(\frac{x}{\eta}\right)^k \right] dx \\
&= \underbrace{e^{-N} \int_0^\infty x^2 \delta(x) dx}_0 + e^{-N} \int_0^\infty x^2 \frac{N}{\eta} e^{-\frac{x}{\eta}} \sum_{k=0}^\infty \frac{N^k}{k!(k+1)!} \left(\frac{x}{\eta}\right)^k dx \\
&= e^{-N} \frac{N}{\eta} \sum_{k=0}^\infty \frac{N^k}{k!(k+1)!} \frac{1}{\eta^k} \int_0^\infty e^{-\frac{x}{\eta}} x^{k+2} dx
\end{aligned}$$

On procède encore une fois par intégration par partie du terme x^{k+2} . Après développement des calculs on obtient :

$$\begin{aligned}
\mathcal{E}(\Delta V_T^2) &= e^{-N} \frac{N}{\eta} \sum_{k=0}^\infty \frac{N^k}{k!(k+1)!} \frac{1}{\eta^k} \left(\eta^{k+3} (k+2)! \right) \\
&= N \eta^2 e^{-N} \sum_{k=0}^\infty \frac{N^k (k+2)}{k!} \\
&= N \eta^2 e^{-N} \left[2 + \sum_{k=1}^\infty \frac{N^k (k+2)}{k!} \right] \\
&= N \eta^2 e^{-N} \left[2 + \sum_{k=1}^\infty \frac{N^k k}{k!} + 2 \sum_{k=1}^\infty \frac{N^k}{k!} \right] \\
&= N \eta^2 e^{-N} \left[2 + N \sum_{q=0}^\infty \frac{N^q}{q!} + 2 \left(\sum_{k=0}^\infty \frac{N^k}{k!} - 1 \right) \right] \\
&= N \eta^2 e^{-N} [N e^N + 2 e^N]
\end{aligned}$$

D'où :

$$\mathcal{E}(\Delta V_T^2) = N^2 \eta^2 + 2N \eta^2 \quad (4.17)$$

On en déduit la variance en faisant la différence entre $\mathcal{E}(\Delta V_T^2)$ et $\mathcal{E}(\Delta V_T)^2$:

$$Var(\Delta V_T) = N^2 \eta^2 + 2N \eta^2 - (\eta N)^2 \quad (4.18)$$

On obtient la deuxième équation du DCM :

$$Var(\Delta V_T) = 2N\eta^2 \quad (4.19)$$

Exprimé en fonction de la déviation standard, $\sigma = \sqrt{Var}$:

$$\sigma(\Delta V_T)^2 = 2N\eta^2 \quad (4.20)$$

On retrouve donc bien la même expression que celle déterminée par Ben Kaczer.

Il n'y a donc pas d'erreur et le terme « 2 » dans l'expression $\sigma(\Delta V_T)^2 = 2N\eta^2$ est bien présente. Il n'y a donc pas d'erreur dans le modèle permettant d'expliquer la différence entre le η extrait par l'histogramme et le η extrait par le modèle.

Cet écart peu provenir d'une mauvaise évaluation de l'influence des pièges dans le cas de l'histogramme qui n'est pas toujours simple à construire. Ou alors, il peut venir du fait que les pièges n'ont pas un η unique du fait de la présence de deux couches dans la grille des transistors, donnant ainsi deux influence des pièges. Le DCM ne prenant en compte qu'une seule couche, il se peut que le η extrait par le modèle soit en fait une valeur moyennée des influences de pièges dans les deux couches (comme nous l'avons vu en détail dans le Chapitre 3).

Modèle Defect Centric bicouche pour N pièges fixes

On a présenté, dans la partie précédente, les calculs permettant d'établir le modèle Defect Centric tel qu'il a été présenté la première fois par Ben Kaczer.

Dans la thèse, nous avons développé un modèle prenant en compte le fait que les pièges sont répartie non pas une unique couche d'oxyde mais dans deux (une couche d'IL et une couche de HK). Cette répartition des pièges dans deux couches, ayant des permittivités différentes, implique que les pièges présents dans les deux couches vont avoir des influences différentes sur le V_T : η_{IL} et η_{HK} .

Dans cette partie, on présente les calculs permettant d'établir les PDF et CDF de dispositifs comportant un nombre de piège N, non distribué. Par la suite, pour simplifier les notations, on considère :

- Le nombre de pièges total dans chaque dispositif : $N=p+q$
- Le nombre de pièges dans l'IL : p. L'impact des pièges dans l'IL : η_1
- Le nombre de pièges dans le HK : q. L'impact des pièges dans le HK : η_2

On a montré, dans le Chapitre 3, que le ΔV_T induit par les pièges présents dans les deux couches obéit à une loi exponentielle.

De ce fait, les PDF relatifs aux pièges des deux couches sont donnés par l'équation 4.2 du DCM. On obtient donc les PDF des pièges dans l'IL () et le HK () :

$$f_{1,p}(x) = \frac{e^{-\frac{x}{\eta_1}}}{(p-1)!} \frac{x^{p-1}}{\eta_1^p} \quad (4.21)$$

$$f_{2,q}(x) = \frac{e^{-\frac{x}{\eta_2}}}{(q-1)!} \frac{x^{q-1}}{\eta_2^q} \quad (4.22)$$

La PDF d'une distribution de dispositifs comportant $N=p+q$ pièges, $f_N^{IL/HK}$, s'obtient en convoluant les PDF 4.21 et 4.22 :

$$\begin{aligned} f_N^{IL/HK} &= f_{1,p} \circ f_{2,q} \\ &= \int_0^x \frac{e^{-\frac{t}{\eta_1}}}{(p-1)!} \frac{t^{p-1}}{\eta_1^p} \frac{e^{-\frac{x-t}{\eta_2}}}{(q-1)!} \frac{(x-t)^{q-1}}{\eta_2^q} dt \\ &= \frac{e^{-\frac{x}{\eta_2}}}{\eta_1^p \eta_2^q (n-1)!(q-1)!} \int_0^x t^{p-1} (x-t)^{q-1} e^{-t\left(\frac{1}{\eta_1} - \frac{1}{\eta_2}\right)} dt \end{aligned}$$

On pose $\eta_g^{-1} = \eta_1^{-1} - \eta_2^{-1}$ et on développe $(x-t)^{q-1}$ par la formule du binôme de Newton :

$$\begin{aligned} f_N^{IL/HK} &= \frac{e^{-\frac{x}{\eta_2}}}{\eta_1^p \eta_2^q (n-1)!(q-1)!} \int_0^x t^{p-1} \left[\sum_{i=0}^{q-1} \binom{q-1}{i} (-1)^i t^i x^{q-1-i} \right] e^{-\frac{t}{\eta_g}} dt \\ &= \frac{e^{-\frac{x}{\eta_2}}}{\eta_1^p \eta_2^q (n-1)!(q-1)!} \left[\sum_{i=0}^{q-1} \binom{q-1}{i} (-1)^i t^i x^{q-1-i} \int_0^x t^{i+p-1} e^{-\frac{t}{\eta_g}} dt \right] \end{aligned}$$

A ce niveau, nous introduisons la fonction $I_n(x, \alpha)$ définie par :

$$I_n(x, \alpha) = \int_0^x t^n e^{-\alpha t} dt \quad (4.23)$$

On développe $I_n(x, \alpha)$ par intégration par partie :

$$\begin{aligned} I_n(x, \alpha) &= \left[-t^n \frac{e^{-\alpha t}}{\alpha} \right]_0^x + \frac{n}{\alpha} \int_0^x t^{n-1} e^{-\alpha t} dt \\ &= -\frac{x^n}{\alpha} e^{-\alpha x} + \frac{n}{\alpha} I_{n-1}(x, \alpha) \end{aligned}$$

De la même façon, on a :

$$I_{n-1}(x, \alpha) = -\frac{x^{n-1}}{\alpha}e^{-\alpha x} + \frac{n-1}{\alpha}I_{n-2}(x, \alpha)$$

D'où :

$$\begin{aligned} I_n(x, \alpha) &= -\frac{x^n}{\alpha}e^{-\alpha x} + \frac{n}{\alpha} \left[-\frac{x^{n-1}}{\alpha}e^{-\alpha x} + \frac{n-1}{\alpha}I_{n-2}(x, \alpha) \right] \\ &= -e^{-\alpha x} \left[\frac{x^n}{\alpha} + \frac{nx^{n-1}}{\alpha^2} \right] + \frac{n(n-1)}{\alpha^2}I_{n-2}(x, \alpha) \\ &= -e^{-\alpha x} \left[\frac{x^n}{\alpha} + \frac{nx^{n-1}}{\alpha^2} + \frac{n(n-1)x^{n-2}}{\alpha^3} \right] + \frac{n(n-1)(n-2)}{\alpha^3}I_{n-3}(x, \alpha) \end{aligned}$$

En développant on obtient :

$$I_n(x, \alpha) = -e^{-\alpha x} \left[\sum_{k=0}^{n-1} \frac{x^{n-k}}{\alpha^{k+1}} \frac{n!}{(n-k)!} \right] + \frac{n!}{\alpha^n}I_0(x, \alpha)$$

Avec :

$$\begin{aligned} I_0(x, \alpha) &= \int_0^x e^{-\alpha t} dt \\ &= \frac{1}{\alpha} [1 - e^{-\alpha x}] \end{aligned} \tag{4.24}$$

$$\tag{4.25}$$

On en déduit l'expression finale de $I_n(x, \alpha)$:

$$I_n(x, \alpha) = -e^{-\alpha x} \left[\sum_{k=0}^n \frac{x^{n-k}}{\alpha^{k+1}} \frac{n!}{(n-k)!} \right] + \frac{n!}{\alpha^{n+1}} \tag{4.26}$$

Grâce à l'expression de $I_n(x, \alpha)$, on en déduit l'expression finale de la PDF $f_N^{IL/HK}$:

$$f_N^{IL/HK}(x) = \frac{e^{-\frac{x}{\eta_2}}}{\eta_1^p \eta_2^q (n-1)!(q-1)!} \sum_{i=0}^{q-1} \binom{q-1}{i} (-1)^i x^{q-1-i} \left[\eta_g^{i+p} (i+p-1)! - e^{-\frac{x}{\eta_g}} \sum_{k=0}^{i+p-1} x^{i+p-1-k} \eta_g^{k+1} \frac{(i+p-1)!}{(i+p-1-k)!} \right] \quad (4.27)$$

La CDF de la distribution, $F_N^{IL/HK}$, est simplement obtenue en intégrant la PDF. On ne détaillera pas les calculs qui consisteront juste à intégrer les expressions $e^{-x/\eta_2} x^{q-1-i}$ et $e^{-x/\eta_1} x^{p+q-k-2}$ qui sont de ce fait des expressions de $I_n(x, \alpha)$. L'expression finale de la CDF est donc donnée par la formule :

$$F_N^{IL/HK}(x) = \frac{1}{\eta_1^p \eta_2^q (n-1)!(q-1)!} \sum_{i=0}^{q-1} \binom{q-1}{i} (-1)^i \eta_g^{i+p} (i+p-1)! I_{q-1-i} \left(x, \frac{1}{\eta_2} \right) - \frac{1}{\eta_1^p \eta_2^q (n-1)!(q-1)!} \sum_{i=0}^{q-1} \binom{q-1}{i} (-1)^i \sum_{k=0}^{i+p-1} \eta_g^{k+1} \frac{(i+p-1)!}{(i+p-1-k)!} I_{p+q-k-2} \left(x, \frac{1}{\eta_1} \right) \quad (4.28)$$

Cette formule donne donc la CDF d'une population de dispositifs dont le nombre de défauts dans les couches d'oxyde interfacial IL et de diélectrique HK sont égaux à p et q respectivement et dont l'influence des pièges dans chaque couche, sur le V_T , suit une loi exponentielle.

Liste des publications de l'auteur

Conférences internationales

- A. Subirats**, X. Garros, J. Mazurier, J. El Hussein, O. Rozeau, G. Reimbold, O. Faynot and G. Ghibaudo "Impact of Dynamic Variability on SRAM Functionality and Performance in Nano-Scaled CMOS Technologies", International Reliability Physics Symposium (IRPS), 2013, pp. 4A.6.1 - 4A.6.5.
- A. Subirats**, X. Garros, J. Cluzel, J. El Hussein, F. Cacho, X. Federspiel, V. Huard, M. Rafik, G. Reimbold, O. Faynot and G. Ghibaudo "A New Gate Pattern Measurement Technique For Evaluating The BTI Degradation In Circuit Conditions", International Reliability Physics Symposium (IRPS), 2014, pp. 5D.1.1 - 5D.1.5.
- J. El Hussein, **A. Subirats**, X. Garros et al, "Accurate modeling of dynamic variability of SRAM cell in 28 nm FDSOI technology", International Conference on Microelectronic Test Structure (ICMTS), 2014, pp. 41-46.
- X. Garros, **A. Subirats**, C. Le Royer, G. Reimbold and G. Ghibaudo, "NBTI-induced Variability Of Ultra-Scaled FDSOI MOSFETs", Semiconductor Interface Specialists Conference (SISC), Dec 2013
- J. El Hussein, X. Garros, **A. Subirats**, A. Makosiej, O. Weber, O. Thomas, V. Huard, X. Federspiel and G. Reimbold, "Direct measurement of the dynamic variability of 0.120 μm^2 SRAM cells in 28nm FDSOI technology", Symposium on VLSI technology (VLSI), 2014, pp.196-197.
- G. Besnard, X. Garros, **A. Subirats**, F. Andrieu, X. Federspiel, M. Rafik, G. Reimbold, O. Faynot and S. Cristoloveanu, "Performance and reliability of strained SOI transistors for advanced planar FDSOI technology", International Reliability Physics Symposium (IRPS), 2015, accepted for oral presentation
- L. Brunet, X. Garros, A. Bravaix, **A. Subirats**, F. Andrieu, O. Weber, P. Scheiblin, M. Rafik, E. Vincent and G. Reimbold "Impact of backside interface on Hot Carriers degradation of thin film FDSOI Nmosfets", International Reliability Physics Symposium (IRPS), 2012, pp.3B.2.1-3B.2.5

Journaux scientifiques

- A. Subirats**, X. Garros, J. El Hussein, C. Le Royer, G. Reimbold and G. Ghibaudo, “Impact of Single Charge Trapping on the Variability of Ultrascaled Planar and Trigate FDSOI MOSFETs : Experiment Versus Simulation”, Transaction on Electron Device (TED), vol. 60, no. 8, Aug. 2013
- A. Subirats**, X. Garros, J. El Hussein, E. Vincent, G. Reimbold, and G. Ghibaudo, “Modeling The Dynamic Variability Induced By Charged Traps In a Bi-Layer Gate Oxide”, Transaction on Electron Device (TED), submitted.
- J. El Hussein, X. Garros, J. Cluzel, **A. Subirats**, A. Makosiej, O. Weber, O. Thomas, V. Huard, X. Federspiel and G. Reimbold, “Modeling The Dynamic Variability Induced By Charged Traps In a Bi-Layer Gate Oxide”, Transaction on Electron Device (TED), to be published

Caractérisation et modélisation de la fiabilité relative au piégeage dans des transistors décananométriques et des mémoires SRAM en technologie FDSOI

L'industrie microélectronique arrive aujourd'hui à concevoir des transistors atteignant quelques dizaines de nanomètres. A de telles dimensions, les problématiques de fiabilité et de variabilité des dispositifs prennent une ampleur toujours plus importante. Notamment, le couplage de ces deux difficultés nécessite une étude approfondie pour garantir des estimations correctes de la durée de vie des dispositifs. Aujourd'hui, la dégradation BTI (pour Bias Temperature Instability), due principalement aux mécanismes de piégeage dans l'oxyde de grille, apparaît comme étant la principale source de dégradation responsable du vieillissement des transistors. Ce manuscrit présente une étude complète de la dégradation BTI intervenant sur des transistors de petites et grandes dimensions et sur des cellules mémoires SRAM (pour Static Random Access Memory). Dans un premier temps, une présentation des différentes méthodes de caractérisations rapides permettant de mesurer correctement cette dégradation est faite. L'importance de l'utilisation de techniques de mesures rapides afin de limiter les effets de relaxation qui succèdent à la dégradation BTI est clairement exposée. Puis, à l'aide de ces techniques de mesures, une étude exclusivement consacrée à la caractérisation et la modélisation de la dégradation NBTI (pour Negative BTI) sur des dispositifs de grandes dimensions est réalisée. Ensuite, le manuscrit se focalise sur la dégradation intervenant dans des dispositifs de petites dimensions : transistors et cellules mémoires. Tout d'abord, une modélisation des phénomènes de piégeages dans l'oxyde de grille de petits transistors est effectuée. En particulier, des simulations 3D électrostatiques ont permis d'expliquer l'influence des pièges d'oxyde sur la tension de seuil (V_T) dans des transistors décananométriques. Enfin, une étude de la fiabilité de cellules SRAM est présentée. Notamment, nous montrons comment évoluent les performances et le fonctionnement des cellules lorsque les transistors qui les constituent sont affectés par une dégradation BTI.

Mots-clés : Microélectronique, FDSOI, variabilité, BTI, caractérisation électrique, modélisation

Characterization and modelling of the reliability due to carrier trapping in decanometer transistors and SRAM memory fabricated in FDSOI technology

Nowadays, microelectronic industry is able to manufacture transistors with gate length down to 30nm. At such scales, the variability and reliability issues are a growing concern. Hence, understanding the interplay between these two concerns is essential to guarantee good lifetime estimation of the devices. Currently, the Bias Temperature Instability (BTI), which is mostly due to the carrier trapping occurring in the gate oxide, appears to be the principal source of degradation responsible for the ageing of transistor device. This manuscript presents a complete study of the BTI degradation occurring on small and big transistors and on Static Random Access Memory (SRAM) cells. Thus, as a first step, several electrical characterization techniques to evaluate the BTI degradation are presented. The necessity of fast measurement in order to avoid most of the relaxation effect occurring after the BTI stress is emphasized. Then, using these fast measurement techniques, a complete study of the Negative BTI (NBTI) on large devices is presented. Then, the manuscript focuses on the small devices: transistors and memory cells. First, a modeling of the trapping mechanism in the gate oxide of small transistor is presented. In particular, 3D electrostatic simulations allowed us to understand the particular influence of the traps over the threshold voltage (V_T) of the small transistors. Finally, the case of the SRAM is studied. Finally, the impact of the degradation occurring at transistor level and impacting the functioning of the SRAM bitcells is investigated.

Keywords : Microelectronic, FDSOI, variability, electrical characterization, modelling